

RL78/G14

用户手册 硬件篇

16 位 单片上微控制器

本资料中包含的所有信息，包括产品和产品规格，仅代表文件发布时的产品信息，随时可能被瑞萨电子公司更改，恕不另行通知。请通过各种方式查阅瑞萨电子公司发布的最新信息，包括瑞萨电子公司网站(<http://www.renesas.com>)。

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

关于 CMOS 器件的注意事项

① 输入引脚处的施加电压波形

输入噪声或由反射引起的波形失真可能导致故障发生。如果由于噪声等影响，使CMOS器件的输入电压范围处于在 V_{IL} (MAX) 和 V_{IH} (MIN) 之间，器件可能发生故障。在输入电平固定时以及输入电平从 V_{IL} (MAX) 到 V_{IH} (MIN) 的过渡期间，要谨防尖峰噪声进入器件。

② 未使用的输入引脚的处理

CMOS器件上未连接的输入端可能是故障源。如果一个输入引脚未被连接，则由于噪声等原因可能会产生内部输入电平，从而导致故障。CMOS器件的工作方式与双极性或NMOS器件不同。CMOS器件的输入电平必须借助上拉或下拉电路固定于高电平或低电平。每一个未使用引脚只要有可能成为输出引脚时，都应该通过附加电阻连接到 V_{DD} 或GND。对未使用引脚的处理因器件而异，必须遵循与器件相关的规格和说明。

③ ESD防护措施

如果MOS器件周围有强电场，将会击穿氧化栅极，降低器件的工作性能。因此必须采取措施，尽可能防止静电产生。一旦有静电，必须立即释放。环境必须控制适当。如果空气干燥，应当使用加湿器。建议避免使用容易产生静电的绝缘体。半导体器件的存放和运输必须使用抗静电容器、静电屏蔽袋或导电材料包装。所有包括工作台和工作面的测试和测量工具必须良好接地。操作员应当佩戴手腕带以保证良好接地。不能用手直接接触半导体器件。对于装配有半导体器件的PW板也应采取类似的静电防范措施。

④ 初始化之前的状态

上电并不一定定义MOS器件的初始状态。刚接通电源时，具有复位功能的MOS器件并没有被初始化。因此上电不能保证输出引脚的电平、I/O设置和寄存器的内容。器件在收到复位信号后才进行初始化。具有复位功能的器件在上电后必须立即进行复位操作。

⑤ 电源上电/断电序列

器件内部工作和外部接口使用不同电源的情况下，原则上应先在接通内部电源之后再接通外部电源。当关闭电源时，原则上先关闭外部电源再关闭内部电源。如果电源开关顺序相反，可能会对器件的内部元件施加电压，从而由于异常电流的流过而造成故障和降低元件的性能。须视具体器件和支配器件的相关规格来单独决定正确的上电/断电序列。

⑥ 断电状态期间的信号输入

不要在器件断电时输入信号或I/O上拉电源。因为输入信号或提供I/O上拉电源将引起电流注入，从而引起器件的误操作，并且此时流过器件的异常电流引起内部元件性能劣化。须视具体器件和支配器件的相关规格来单独决定断电状态期间的信号输入。

本手册的使用方法

读者

本手册适用于那些希望了解 **RL78/G14** 的功能，并使用这些产品设计开发应用系统、应用程序的用户工程师。

对象产品如下。

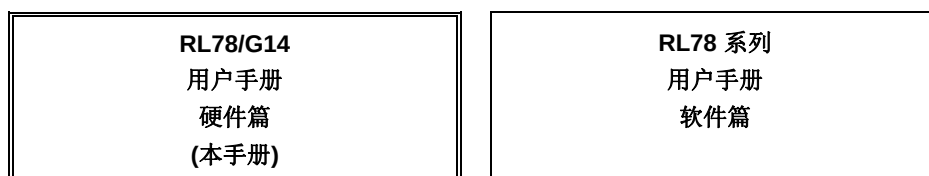
- 30 针: R5F104Ax (x = A, C 至 G)
- 32 针: R5F104Bx (x = A, C 至 G)
- 36 针: R5F104Cx (x = A, C 至 G)
- 40 针: R5F104Ex (x = A, C 至 H)
- 44 针: R5F104Fx (x = A, C 至 H, J)
- 48 针: R5F104Gx (x = A, C 至 H, J)
- 52 针: R5F104Jx (x = C 至 H, J)
- 64 针: R5F104Lx (x = C 至 H, J)
- 80 针: R5F104Mx (x = F, G, H, J)
- 100 针: R5F104Px (x = F, G, H, J)

目的

本手册适用于帮助用户了解下述**结构**中所述的 RL78/G14 的硬件功能。

结构

RL78/G14 手册分为两个部分：本手册和软件篇 (RL78 系共通)。



- 引脚功能
- 内部块功能
- 中断功能
- 其他片上外设功能
- 电特性
- CPU 功能
- 指令集
- 各指令的说明

如何阅读本手册

假定本手册的读者具备电气工程、逻辑电路以及微控制器领域的常识。

- 寄存器格式的说明:
 - 关于尖括 (<>) 内的位数, 其名称在汇编程序中定义为保留字, 并在编译器中使用 `#pragma sfr` 指令定义为 `sfr` 变量。
- 要了解 RL78/G14 微控制器指令功能的详细情况:
 - 参见单独文件 **RL78 族 用户手册 软件篇 (R01US0015E)**。

惯例

数据有效位：

高位在左，低位在右 低电平有效表示

有效低电平表示：

⌘⌘⌘ (在引脚或信号名称上有上划线)

注：

正文中使用'注'标记的脚注

注意事项：

需特别注意的信息

备注：

补充信息

数字表示法：

二进制

…⌘⌘⌘⌘ 或 ⌘⌘⌘⌘B

十进制

…⌘⌘⌘⌘

十六进制

…⌘⌘⌘⌘H

相关文档

本手册中的相关文档可能包括初稿版本。但是，初稿版本并未特别标注。

设备相关文档

文档名称	文档编号
RL78/G14 用户手册 硬件篇	本手册
RL78 族 用户手册 软件篇	R01US0015E

闪存编程器相关文档

文档名称	文档编号
PG-FP5 闪存编程器 用户手册	R20UT0008E

注意事项 上述列出的文件随时可能被更改，恕不另行通知。设计时，请确保使用各个文件的最新版本。

其他文件

文件名称	文件编号
瑞萨微型计算机整体目录	R01CS0001E
半导体设备安装手册	注
预防静电放电(ESD)损坏半导体设备	C11892E

注 请参阅“半导体设备安装手册”网站
(<http://www.renesas.com/products/package/manual/index.jsp>)

注意事项 上述列出的文件随时可能被更改，恕不另行通知。设计时，请确保使用各个文件的最新版本。

所有商标及注册商标分别归属于其所有者。
本用户手册仅为参考译文，对应的日文版和英文版具有正式效力。

目录

第一章 概述	1
1.1 特点	1
1.2 订购信息	3
1.3 引脚配置 (顶视图).....	6
1.3.1 30 针产品.....	6
1.3.2 32 针产品.....	7
1.3.3 36 针产品.....	8
1.3.4 40 针产品.....	9
1.3.5 44 针产品.....	10
1.3.6 48 针产品.....	11
1.3.7 52 针产品.....	13
1.3.8 64 针产品.....	14
1.3.9 80 针产品.....	17
1.3.10 100 针产品.....	18
1.4 引脚名称	20
1.5 框图	21
1.5.1 30 针产品.....	21
1.5.2 32 针产品.....	22
1.5.3 36 针产品.....	23
1.5.4 40 针产品.....	24
1.5.5 44 针产品.....	25
1.5.6 48 针产品.....	26
1.5.7 52 针产品.....	27
1.5.8 64 针产品.....	28
1.5.9 80 针产品.....	29
1.5.10 100 针产品.....	30
1.6 功能概述	31
第二章 引脚功能.....	41
2.1 引脚功能列表.....	41
2.1.1 30 针产品.....	42
2.1.2 32 针产品.....	44
2.1.3 36 针产品.....	46
2.1.4 40 针产品.....	48
2.1.5 44 针产品.....	50
2.1.6 48 针产品.....	52
2.1.7 52 针产品.....	54

2.1.8 64 针产品.....	56
2.1.9 80 针产品.....	58
2.1.10 100 针产品.....	61
2.1.11 各种产品的引脚（端口引脚以外的引脚）	64
2.2 引脚功能的描述	70
2.2.1 P00 至 P06 (端口 0).....	70
2.2.2 P10 至 P17 (端口 1).....	71
2.2.3 P20 至 P27 (端口 2).....	72
2.2.4 P30, P31 (端口 3)	73
2.2.5 P40 至 P47 (端口 4).....	74
2.2.6 P50 至 P55(端口 5).....	75
2.2.7 P60 至 P67 (端口 6).....	76
2.2.8 P70 至 P77 (端口 7).....	76
2.2.9 P80 至 P87 (端口 8).....	77
2.2.10 P100 至 P102 (端口 10).....	77
2.2.11 P110, P111 (端口 11)	78
2.2.12 P120 至 P124 (端口 12).....	78
2.2.13 P130 和 P137 (端口 13).....	79
2.2.14 P140 至 P147 (端口 14).....	79
2.2.15 P150 至 P156 (端口 15).....	80
2.2.16 VDD, EVDD0, EVDD1, VSS, EVSS0, EVSS1	81
2.2.17 RESET	81
2.2.18 REGC.....	81
2.3 引脚的输入/输出电路和未使用引脚的推荐连接	82
第三章 CPU 架构	88
3.1 存储空间	88
3.1.1 内部程序存储空间.....	100
3.1.2 镜像区域.....	103
3.1.3 内部数据存储空间.....	105
3.1.4 特殊功能寄存器（SFR）区域.....	106
3.1.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器) 区域	106
3.1.6 数据存储器寻址	107
3.2 处理器寄存器.....	116
3.2.1 控制寄存器	116
3.2.2 通用寄存器	119
3.2.3 ES 和 CS 寄存器	121
3.2.4 特殊功能寄存器(SFR).....	122
3.2.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器)	128
3.3 指令地址寻址.....	138
3.3.1 相对寻址	138

3.3.2 立即寻址	138
3.3.3 表间接寻址	139
3.3.4 寄存器直接寻址	140
3.4 处理数据地址的寻址	141
3.4.1 隐含寻址	141
3.4.2 寄存器寻址	141
3.4.3 直接寻址	142
3.4.4 短直接寻址	143
3.4.5 SFR 寻址	144
3.4.6 寄存器间接寻址	145
3.4.7 基址寻址	146
3.4.8 基址变址寻址	149
3.4.9 堆栈寻址	150
第四章 端口功能	151
4.1 端口功能	151
4.2 端口配置	152
4.2.1 端口 0	153
4.2.2 端口 1	162
4.2.3 端口 2	172
4.2.4 端口 3	175
4.2.5 端口 4	179
4.2.6 端口 5	187
4.2.7 端口 6	196
4.2.8 端口 7	199
4.2.9 端口 8	205
4.2.10 端口 10	209
4.2.11 端口 11	212
4.2.12 端口 12	214
4.2.13 端口 13	218
4.2.14 端口 14	221
4.2.15 端口 15	229
4.3 控制端口功能的寄存器	231
4.4 端口功能的操作	251
4.4.1 写入输入/输出端口	251
4.4.2 读取输入/输出端口	251
4.4.3 操作输入/输出端口	251
4.4.4 连接至电位不同的外部器件(1.8 V、2.5 V、3 V)	252
4.5 使用复用功能时端口模式寄存器和输出锁存器的设置	254
4.6 使用端口功能时的注意事项	262
4.6.1 用于端口寄存器 n (Pn) 的 1 位操作指令的注意事项	262

4.6.2 100 针以外的产品引脚设置的注意事项	263
第五章 时钟发生电路	264
5.1 时钟发生电路的功能	264
5.2 时钟发生电路的配置	266
5.3 控制时钟发生电路的寄存器	268
5.4 系统时钟振荡电路	286
5.4.1 X1 振荡电路	286
5.4.2 XT1 振荡电路	286
5.4.3 高速片上振荡器	290
5.4.4 低速片上振荡器	290
5.5 时钟发生电路的操作	291
5.6 控制时钟	293
5.6.1 高速片上振荡器的设置示例	293
5.6.2 X1 振荡电路的设置示例	295
5.6.3 XT1 振荡电路的设置示例	296
5.6.4 CPU 时钟状态转换图	297
5.6.5 转换 CPU 时钟之前的条件以及转换 CPU 时钟之后的处理	303
5.6.6 切换 CPU 时钟和切换主系统时钟所需要的时间	305
5.6.7 停止时钟振荡前的条件	306
5.7 操作经验证的谐振器和参考振荡器常数 截止到 2011 年 12 月	307
第六章 定时器阵列单元	311
6.1 定时器阵列单元功能	313
6.1.1 单独通道操作功能	313
6.1.2 多个通道联动操作功能	314
6.1.3 8 位定时器操作功能（仅限通道 1 和 3）	315
6.1.4 支持 LIN-bus 功能（仅限单元 0 的通道 3）	316
6.2 定时器阵列单元的配置	317
6.3 控制定时器阵列单元的寄存器	323
6.4 定时器阵列单元的基本规则	348
6.4.1 多个通道联动操作功能的基本规则	348
6.4.2 8 位定时器操作功能的基本规则（仅限通道 1 和 3）	350
6.5 计数器的操作时序	351
6.5.1 计数时钟(f_{TCLK})	351
6.5.2 计数器的开始时序	353
6.6 通道输出（TOMn 引脚）控制	359
6.6.1 TOMn 引脚输出电路配置	359
6.6.2 TOMn 引脚输出设置	360
6.6.3 通道输出操作的注意事项	361
6.6.4 TOMn 位的集中操作	367

6.6.5 计数操作开始时的定时器中断和 T0mn 引脚输出	368
6.7 定时器阵列单元的单独通道操作功能.....	369
6.7.1 作为间隔定时器/方波输出的操作	369
6.7.2 作为外部事件计数器操作	375
6.7.3 作为分频器的操作(仅限单元 0 的通道 0).....	380
6.7.4 作为输入脉冲间隔测量的操作	384
6.7.5 输入信号高/低电平宽度测量的操作	388
6.7.6 作为延迟计数器的操作	392
6.8 定时器阵列单元的多个通道联动操作功能	397
6.8.1 作为单触发脉冲输出功能操作	397
6.8.2 作为 PWM 功能的操作	404
6.8.3 作为多重 PWM 输出功能的操作	411
6.9 使用定时器阵列单元时的注意事项	419
6.9.1 使用定时器输出时的注意事项	419
第七章 定时器 RJ.....	420
7.1 概述	420
7.2 输入/输出引脚.....	421
7.3 寄存器.....	422
7.3.1 外围允许寄存器 1 (PER1).....	423
7.3.2 操作速度模式控制寄存器 (OSMC).....	424
7.3.3 定时器 RJ 计数器寄存器 0 (TRJ0), 定时器 RJ 重加载寄存器	425
7.3.4 定时器 RJ 控制寄存器 0 (TRJCR0)	426
7.3.5 定时器 RJ 输入/输出控制寄存器 0 (TRJIOC0).....	428
7.3.6 定时器 RJ 控制寄存器 0 (TRJMR0).....	430
7.3.7 定时器 RJ 事件引脚选择寄存器 0 (TRJISR0)	431
7.3.8 端口模式寄存器 0、3、4、5 (PM0、PM3、PM4、PM5)	432
7.4 操作	433
7.4.1 重加载寄存器和计数器的重写操作.....	433
7.4.2 定时器模式	434
7.4.3 脉冲输出模式	435
7.4.4 事件计数器模式	436
7.4.5 脉冲宽度测量模式	437
7.4.6 脉冲周期测量模式	438
7.4.7 与事件链接控制器 (ELC)的协作	439
7.4.8 各模式的输出设置	439
7.5 定时器 RJ 使用上的注意事项	440
7.5.1 计数操作开始和停止控制	440
7.5.2 标志的存取 (TRJCR0 寄存器中的 TEDGF 和 TUNDF 位)	440
7.5.3 计数器寄存器的存取	440
7.5.4 更改模式时	440

7.5.5 引脚 TRJO0 和 TRJIO0 的设置步骤	441
7.5.6 当定时器 RJ 未使用时	441
7.5.7 当定时器 RJ 工作时钟停止时	441
7.5.8 设置 STOP 模式的步骤 (事件计数器模式)	441
7.5.9 STOP 模式下的功能限制 (仅限事件计数器模式)	442
7.5.10 通过 TSTOP 位强行停止计数时	442
7.5.11 数字滤波器	442
7.5.12 将 f _{IL} 选为计数源时	442
第八章 定时器 RD	443
8.1 概要	443
8.2 寄存器	445
8.2.1 外围允许寄存器 1 (PER1)	446
8.2.2 定时器 RD ELC 寄存器 (TRDEL C)	447
8.2.3 定时器 RD 开始寄存器 (TRDSTR)	448
8.2.4 定时器 RD 模式寄存器 (TRDMR)	449
8.2.5 定时器 RD PWM 功能选择寄存器 (TRDPMR)	450
8.2.6 定时器 RD 功能控制寄存器 (TRDFCR)	451
8.2.7 定时器 RD 输出主允许寄存器 1 (TRDOER1)	453
8.2.8 定时器 RD 输出主允许寄存器 2 (TRDOER2)	454
8.2.9 定时器 RD 输出控制寄存器 (TRDOCR)	455
8.2.10 定时器 RD 数字滤波器功能选择寄存器 i (TRDDFi) (i = 0 或 1)	458
8.2.11 定时器 RD 控制寄存器 i (TRDCRi) (i = 0 或 1)	460
8.2.12 定时器 RD 输入/输出控制寄存器 Ai (TRDIORAi) (i = 0 或 1)	465
8.2.13 定时器 RD 输入/输出控制寄存器 Ci (TRDIORCi) (i = 0 或 1)	467
8.2.14 定时器 RD 状态寄存器 i (TRDSRi) (i = 0 或 1)	469
8.2.15 定时器 RD 中断允许寄存器 i (TRDIERi) (i = 0 或 1)	473
8.2.16 定时器 RD PWM 功能输出电平控制寄存器 i (TRDPOCRi) (i = 0 或 1)	474
8.2.17 定时器 RD 计数器 i (TRDi) (i = 0 或 1)	475
8.2.18 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0 或 1)	477
8.2.19 端口模式寄存器 1 (PM1)	486
8.3 操作	487
8.3.1 多种模式共有的项目	487
8.3.2 输入捕捉功能	495
8.3.3 输出比较功能	499
8.3.4 PWM 功能	504
8.3.5 复位同步 PWM 模式	508
8.3.6 互补 PWM 模式	511
8.3.7 PWM3 模式	515
8.4 定时器 RD 中断	518
8.5 定时器 RD 的注意事项	519

8.5.1 SFR 读/写存取	519
8.5.2 模式切换	519
8.5.3 计数源	520
8.5.4 输入捕捉功能	520
8.5.5 设置 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚的设置步骤 (i = 0 或 1)	520
8.5.6 外部时钟 TRDCLK	520
8.5.7 复位同步 PWM 模式	521
8.5.8 互补 PWM 模式	521
第九章 定时器 RG	526
9.1 概要	526
9.2 寄存器	528
9.2.1 外围允许寄存器(PER1)	529
9.2.2 定时器 RG 模式寄存器(TRGMR)	530
9.2.3 定时器 RG 计数控制寄存器(TRGCNTC)	532
9.2.4 定时器 RG 控制寄存器(TRGCR)	534
9.2.5 定时器 RG 中断允许寄存器(TRGIER)	535
9.2.6 定时器 RG 状态寄存器(TRGSR)	536
9.2.7 定时器 RG 输入/输出控制寄存器(TRGIOR)	538
9.2.8 定时器 RG 计数器(TRG)	540
9.2.9 定时器 RG 通用寄存器 A、B、C 和 D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)	541
9.2.10 端口模式寄存器 0、5 (PM0, PM5)	543
9.3 操作	544
9.3.1 复数个模式和功能的共通事项	544
9.3.2 定时器模式 (输入捕捉功能)	549
9.3.3 定时器模式 (输出比较功能)	552
9.3.4 PWM 模式	556
9.3.5 相位计数模式	560
9.4 定时器 RG 使用上的注意事项	563
9.4.1 相位计数模式下的相位差、重叠和脉冲宽度	563
9.4.2 模式切换	563
9.4.3 计数源切换	563
9.4.4 TRGIOA 和 TRGIOB 引脚的设置步骤	563
9.4.5 外部时钟 TRGCLKA、TRGCLKB	564
9.4.6 SFR 读/写存取	564
9.4.7 停止计数时的输入捕捉操作	564
第十章 实时时钟	563
10.1 实时时钟的功能	563
10.2 实时时钟的配置	563
10.3 控制实时时钟的寄存器	565

10.4 实时时钟的操作	580
10.4.1 开始实时时钟的操作	580
10.4.2 开始操作后切换至 STOP 模式	581
10.4.3 读/写实时时钟	582
10.4.4 设置实时时钟的报警	584
10.4.5 实时时钟的 1 Hz 输出	585
10.4.6 实时时钟的钟表误差修正示例	586
第十一章 12 位间隔定时器	589
11.1 12 位间隔定时器的功能	589
11.2 12 位间隔定时器的配置	589
11.3 控制 12 位间隔定时器的寄存器	590
11.4 12 位间隔定时器的操作	593
第十二章 时钟输出/蜂鸣器输出控制电路	594
12.1 时钟输出/蜂鸣器输出控制电路的功能	594
12.2 时钟输出/蜂鸣器输出控制电路的配置	596
12.3 控制时钟输出/蜂鸣器输出控制电路的寄存器	596
12.4 时钟输出/蜂鸣器输出控制电路的操作	599
12.4.1 作为输出引脚的操作	599
第十三章 看门狗定时器	600
13.1 看门狗定时器的功能	600
13.2 看门狗定时器的配置	601
13.3 控制看门狗定时器的寄存器	602
13.4 看门狗定时器的操作	603
13.4.1 控制看门狗定时器的操作	603
13.4.2 设置看门狗定时器的溢出时间	604
13.4.3 设置看门狗定时器的窗口打开期间	605
13.4.4 设置看门狗定时器的间隔中断	606
第十四章 A/D 转换器	607
14.1 A/D 转换器的功能	607
14.2 A/D 转换器的配置	609
14.3 A/D 转换器中使用的寄存器	611
14.4 A/D 转换器的转换操作	636
14.5 输入电压和转换结果	638
14.6 A/D 转换器的操作模式	639
14.6.1 软件触发模式（选择模式，连续转换模式）	639
14.6.2 软件触发模式（选择模式，单触发转换模式）	640

14.6.3 软件触发模式（扫描模式，连续转换模式）	641
14.6.4 软件触发模式（扫描模式，单触发转换模式）	642
14.6.5 硬件触发无等待模式（选择模式，连续转换模式）	643
14.6.6 硬件触发无等待模式（选择模式，单触发转换模式）	644
14.6.7 硬件触发无等待模式（扫描模式，连续转换模式）	645
14.6.8 硬件触发无等待模式（扫描模式，单触发转换模式）	646
14.6.9 硬件触发等待模式（选择模式，连续转换模式）	647
14.6.10 硬件触发等待模式（选择模式，单触发转换模式）	648
14.6.11 硬件触发等待模式（扫描模式，连续转换模式）	649
14.6.12 硬件触发等待模式（扫描模式，单触发转换模式）	650
14.7 A/D 转换器的设置流程图	651
14.7.1 设置软件触发模式	652
14.7.2 设置硬件触发无等待模式	653
14.7.3 设置硬件触发等待模式	654
14.7.4 使用温度传感器时的设置 (软件触发模式和单触发转换模式下的示例)	655
14.7.5 设置测试模式	656
14.8 SNOOZE 模式功能	657
14.9 如何阅读 A/D 转换器特性表	660
14.10 A/D 转换器的注意事项	662
第十五章 D/A 转换器	666
15.1 D/A 转换器的功能	666
15.2 D/A 转换器的配置	667
15.3 A/D 转换器的配置	668
15.4 D/A 转换器的操作	671
15.4.1 正常模式时的操作	671
15.4.2 实时输出模式时的操作	672
15.5 D/A 转换器使用上的注意事项	673
第十六章 比较器	674
16.1 概要	674
16.2 输入/输出引脚	675
16.3 寄存器	676
16.4 操作	683
16.4.1 比较器 i 数字滤波器(i = 0 或 1)	686
16.4.2 比较器 i 中断(i = 0 或 1)	686
16.4.3 比较器 i ELC 事件输出 (i = 0 或 1)	687
16.4.4 比较器 i 输出 (i = 0 或 1)	688
16.4.5 停止或供应比较器时钟	688
第十七章 串行阵列单元	689

17.1 串行阵列单元的功能	691
17.1.1 3 线串行 I/O (CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31)	691
17.1.2 UART (UART0 至 UART3)	692
17.1.3 简化 I ² C (IIC00、IIC01、IIC10、IIC11、IIC20、IIC21、IIC30、IIC31)	693
17.2 串行阵列单元的配置	694
17.3 控制串行阵列单元的寄存器	700
17.4 操作停止模式	726
17.4.1 以单元单位停止操作	727
17.4.2 以通道单位停止操作时	728
17.5 3 线串行 I/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信的操作	729
17.5.1 主发送	732
17.5.2 主接收	742
17.5.3 主发送/接收	751
17.5.4 从属发送	760
17.5.5 从属接收	769
17.5.6 从属发送/接收	776
17.5.7 SNOOZE 模式功能	786
17.5.8 计算传送时钟频率	790
17.5.9 3 线串行 I/O (CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31) 通信过程中发 生错误时的处理步骤	792
17.6 具有从属选择输入功能的时钟同步串行通信	793
17.6.1 从属发送	797
17.6.2 从属接收	807
17.6.3 从属发送/接收	814
17.6.4 计算传送时钟频率	824
17.6.5 从属选择输入功能通信过程中发生错误时的处理步骤	826
17.7 UART(UART0 至 UART3) 通信的操作	827
17.7.1 UART 发送	830
17.7.2 UART 接收	840
17.7.3 SNOOZE 模式功能	847
17.7.4 计算波特率	852
17.7.5 UART(UART0 至 UART3) 通信时的发生错误时的处理步骤	856
17.8 LIN 通信操作	857
17.8.1 LIN 发送	857
17.8.2 LIN 接收	860
17.9 简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信的操作	865
17.9.1 地址字段发送	868
17.9.2 数据发送	874
17.9.3 数据接收	878
17.9.4 产生停止条件	883
17.9.5 计算传送速率	884

17.9.6 简化I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)通信时的发生错误时的处理步骤 ..	887

第十八章 串行接口 IICA..... 888

18.1 串行接口 IICA 的功能..... 888

18.2 串行接口 IICA 的配置..... 891

18.3 控制串行接口 IICA 的寄存器..... 894

18.4 I²C总线模式功能..... 908

18.4.1 引脚配置..... 908

18.4.2 利用 IICWL0 和 IICWH0 寄存器设置传送时钟..... 909

18.5 I²C总线定义和控制方法..... 911

18.5.1 开始条件..... 911

18.5.2 地址..... 912

18.5.3 指定传送方向..... 912

18.5.4 应答 (ACK)..... 913

18.5.5 停止条件..... 914

18.5.6 等待..... 915

18.5.7 取消等待..... 917

18.5.8 控制中断请求(INTIICA0) 的产生时序和等待..... 918

18.5.9 地址匹配检测方法..... 919

18.5.10 检测错误..... 919

18.5.11 扩展代码..... 919

18.5.12 仲裁..... 919

18.5.13 唤醒功能..... 922

18.5.14 通信预约..... 925

18.5.15 注意事项..... 929

18.5.16 通信操作..... 930

18.5.17 I²C 中断请求(INTIICA0)的发生时序..... 937

18.6 时序图..... 958

第十九章 DTC 973

19.1 概要..... 973

19.2 寄存器..... 975

19.2.1 DTC 控制数据区和 DTC 向量表区的分配..... 976

19.2.2 DTC 控制数据的配置..... 977

19.2.3 DTC 向量表..... 978

19.2.4 外围允许寄存器 1 (PER1)..... 981

19.2.5 DTC 控制寄存器 j (DTCCRj) (j = 0 至 23)..... 982

19.2.6 DTC 块大小寄存器 j (DTBLSj) (j = 0 至 23)..... 983

19.2.7 DTC 传送次数寄存器 j (DTCCTj) (j = 0 至 23)..... 983

19.2.8 DTC 传送次数重载寄存器 j (DTRLDj) (j = 0 至 23)..... 984

19.2.9 DTC 源地址寄存器 j (DTSARj) (j = 0 至 23)..... 984

19.2.10 DTC 目标地址寄存器 j (DTDARj) (j = 0 至 23)	984
19.2.11 DTC 启动允许寄存器 i (DTCENi) (i = 0 至 4)	985
19.2.12 DTC 基址寄存器(DTCBAR)	988
19.3 操作	989
19.3.1 启动源	989
19.3.2 普通模式	990
19.3.3 重复模式	993
19.3.4 链传送	997
19.4 DTC 的使用注意事项	999
19.4.1 设置 DTC 寄存器和向量表	999
19.4.2 DTC 控制数据区和 DTC 向量表区的分配	999
19.4.3 DTC 保留指令	1000
19.4.4 存取数据闪存空间时的操作	1000
19.4.5 DTC 执行时钟周期数	1001
19.4.6 DTC 响应时间	1002
19.4.7 DTC 启动源	1002
19.4.8 备用模式时的操作	1003
第二十章 事件链接控制器 (ELC)	1004
20.1 概要	1004
20.2 寄存器	1005
20.2.1 事件输出目标选择寄存器 n (ELSELRn) (n = 00 至 25)	1006
20.3 操作	1009
第二十一章 中断功能	1010
21.1 中断功能类型	1010
21.2 中断源和配置	1010
21.3 控制中断功能的寄存器	1017
21.4 中断处理的操作	1029
21.4.1 可屏蔽中断请求受理	1029
21.4.2 软件中断请求受理	1032
21.4.3 多重中断处理	1032
21.4.4 除法指令中的中断处理	1036
21.4.5 保留中断请求	1037
第二十二章 按键中断功能	1038
22.1 按键中断的功能	1038
22.2 按键中断的配置	1038
22.3 控制按键中断的寄存器	1040
第二十三章 待机功能	1041

23.1 待机功能和配置	1041
23.1.1 待机功能	1041
23.1.2 控制待机功能的寄存器	1042
23.2 待机功能操作	1045
23.2.1 HALT 模式	1045
23.2.2 STOP 模式	1050
23.2.3 SNOOZE 模式	1055
第二十四章 复位功能	1058
24.1 确认复位源的寄存器	1068
第二十五章 上电复位电路	1070
25.1 上电复位电路的功能	1070
25.2 上电复位电路的配置	1071
25.3 上电复位电路的操作	1071
25.4 上电复位电路的注意事项	1074
第二十六章 电压检测电路	1076
26.1 电压检测电路的功能	1076
26.2 电压检测电路的配置	1077
26.3 控制电压检测电路的寄存器	1077
26.4 电压检测电路的操作	1083
26.4.1 使用复位模式时	1083
26.4.2 使用中断模式时	1085
26.4.3 使用中断和复位模式时	1087
26.5 电压检测电路的注意事项	1093
第二十七章 安全功能	1095
27.1 安全功能的概述	1095
27.2 安全功能使用的寄存器	1096
27.3 安全功能的操作	1096
27.3.1 闪存 CRC 运算功能(高速 CRC)	1096
27.3.2 CRC 运算功能(通用 CRC)	1100
27.3.3 RAM 奇偶校验错误检测功能	1102
27.3.4 RAM 保护功能	1103
27.3.5 SFR 保护功能	1104
27.3.6 非法存储器存取检测功能	1105
27.3.7 频率检测功能	1107
27.3.8 A/D 测试功能	1109
27.3.9 I/O 端口的数字输出信号等级检测功能	1113

第二十八章 稳压器	1113
28.1 稳压器的概述	1113
第二十九章 选项字节	1114
29.1 选项字节的功能	1114
29.1.1 用户选项字节 (000C0H 至 000C2H/010C0H 至 010C2H)	1114
29.1.2 片上调试选项字节 (000C3H/ 010C3H)	1115
29.2 用户选项字节的格式	1116
29.3 片上调试选项字节的格式	1122
29.4 选项字节的设置	1123
第三十章 闪存	1124
30.1 使用闪存编程器写入闪存	1125
30.1.1 编程环境	1127
30.1.2 通信模式	1127
30.2 使用外部器件写入到闪存（内置的 UART）	1128
30.2.1 编程环境	1128
30.2.2 通信模式	1129
30.3 板上引脚连接	1130
30.3.1 P40/TOOL0 引脚	1130
30.3.2 RESET 引脚	1130
30.3.3 端口引脚	1131
30.3.4 REGC 引脚	1131
30.3.5 X1 和 X2 引脚	1131
30.3.6 电源	1131
30.4 数据闪存	1132
30.4.1 数据闪存概述	1132
30.4.2 控制数据闪存的寄存器	1133
30.4.3 存取数据闪存的步骤	1134
30.5 编程方法	1135
30.5.1 控制闪存	1135
30.5.2 闪存编程模式	1136
30.5.3 选择通信模式	1137
30.5.4 通信命令	1138
30.5.5 签名数据的说明	1139
30.6 安全设置	1140
30.7 通过自编程对闪存编程	1142
30.7.1 引导交换功能	1144
30.7.2 Flash 屏蔽窗口功能	1146

第三十一章 On-chip 调试功能.....	1147
31.1 将 E1 片上调试仿真器连接至 RL78/G14.....	1147
31.2 片上调试安全 ID	1148
31.3 用户资源的确保	1148
第三十二章 十进制调整(BCD)电路	1150
32.1 十进制调整电路的功能	1150
32.2 十进制调整电路使用的寄存器.....	1150
32.3 十进制调整电路的操作	1151
第三十三章 指令集.....	1153
33.1 应用操作表.....	1154
33.1.1 操作标识符和指定方法.....	1154
33.1.2 操作栏的说明	1155
33.1.3 标志操作栏的说明.....	1156
33.1.4 PREFIX 指令	1156
33.2 操作列表	1157
第三十四章 电特性.....	1175
34.1 安装的引脚（具体视产品而定）	1175
34.1.1 端口功能	1175
34.1.2 端口以外的引脚	1175
34.2 最大绝对额定值	1176
34.3 振荡电路特性.....	1178
34.3.1 主系统时钟振荡电路特性	1178
34.3.2 片上振荡器特性	1179
34.3.3 副系统时钟振荡器特性.....	1180
34.4 DC 特性	1181
34.4.1 引脚特性	1181
34.4.2 电源电流特性	1186
34.5 AC 特性	1196
34.5.1 基本操作	1196
34.6 外围功能特性.....	1198
34.6.1 串行阵列单元.....	1198
34.6.2 串行接口 IICA.....	1222
34.6.3 片上调试 (UART).....	1223
34.7 模拟特性	1223
34.7.1 A/D 转换特性	1223
34.7.2 温度传感器特性	1227
34.7.3 D/A 转换器特性	1227

34.7.4 比较器.....	1228
34.7.5 POR 电路特性	1228
34.7.6 LVD 电路特性	1229
34.8 电源上升时间	1231
34.9 数据存储器 STOP 模式低电源电压数据保持特性.....	1231
34.10 闪存编程特性	1231
34.11 切换模式时的时序规格	1232
第三十五章 封装尺寸图.....	1233
35.1 30 针产品.....	1234
35.2 32 针产品.....	1235
35.3 36 针产品.....	1237
35.4 40 针产品.....	1238
35.5 44 针产品.....	1239
35.6 48 针产品.....	1240
35.7 52 针产品.....	1242
35.8 64 针产品.....	1243
35.9 80 针产品.....	1247
35.10 100 针产品.....	1249
附录 A 修订记录.....	1251
A.1 修订记录.....	1251

第一章 概述

1.1 特点

- 最短指令执行时间可在高速(0.03125 μ s:@ 32 MHz 高速片上振荡器时钟运行时)至超低速(30.5 μ s:@ 32.768 kHz 副系统时钟运行时)之间更改
- 通用寄存器: 8 位 $\times$ 32 个寄存器(8 位 $\times$ 8 个寄存器 $\times$ 4 组)
- ROM: 16 至 256 KB, RAM: 2.5 至 24 KB, 数据闪存: 4/8 KB
- 内置高速片上振荡器时钟
 - 可从 64 MHz (TYP.), 48 MHz (TYP.), 32 MHz (TYP.), 24 MHz (TYP.), 16 MHz (TYP.), 12 MHz (TYP.), 8 MHz (TYP.), 4 MHz (TYP.)和 1 MHz (TYP.)中选择
- 片上单电源闪存(具有禁止块擦除/写入功能)
- 自编程 (具有引导交换功能/flash 屏蔽窗口功能)
- 片内调试功能
- 片上上电复位(POR)电路和电压检测器(LVD)
- 片上看门狗定时器(可在专用低速片上振荡器时钟下运行)
- 支持乘法/除法/乘法累加和运算指令
- 片上按键中断功能
- 片上时钟输出/蜂鸣器输出控制器
- 片上 BCD 调整
- I/O 端口: 26 至 92 (N 沟道开路漏极:2 至 4)
- 定时器
 - 16 位定时器 : 8 至 12 通道
(TAU: 4 至 8 通道, 定时器 RJ: 1 通道, 定时器 RD: 2 通道, 定时器 RG: 1 通道)
 - 看门狗定时器 : 1 通道
 - 实时时钟 : 1 通道 (校正时钟输出)
 - 12 位间隔定时器 : 1 通道
- 串行接口
 - CSI
 - UART/UART (支持LIN-bus)
 - I²C/简化I²C通信
- 不同电位接口: 在 4.0 V 至 5.5 V 下运行时, 可以连接 2.5/3 V 运行器件
- 8/10 位分辨率 A/D 转换器 ($V_{DD} = EV_{DD} = 1.6$ 至 5.5 V): 8 至 20 通道
- 待机功能: HALT, STOP, SNOOZE 模式
- 片上 D/A 转换器
- 片上比较器
- 片上数据传输控制器 (DTC)
- 片上事件链接控制器 (ELC)
- 电源电压: $V_{DD} = 1.6$ 至 5.5 V
- 电源电压: $V_{DD} = 1.6$ 至 5.5 V

备注 安装的功能因产品而异。请参阅 1.6 功能概述。

○ ROM, RAM 容量

Flash ROM	数据 flash	RAM	RL78/G14			
			30 针	32 针	36 针	40 针
192 KB	8 KB	20 KB	--	--	--	R5F104EH
128 KB	8 KB	16KB	R5F104AG	R5F104BG	R5F104CG	R5F104EG
96 KB	8KB	12 KB	R5F104AF	R5F104BF	R5F104CF	R5F104EF
64 KB	4 KB	5.5 KB ^{注1}	R5F104AE	R5F104BE	R5F104CE	R5F104EE
48 KB	4 KB	5.5 KB ^{注1}	R5F104AD	R5F104BD	R5F104CD	R5F104ED
32 KB	4 KB	4 KB	R5F104AC	R5F104BC	R5F104CC	R5F104EC
16 KB	4 KB	2.5 KB	R5F104AA	R5F104BA	R5F104CA	R5F104EA

Flash ROM	数据 flash	RAM	RL78/G14			
			44 针	48 针	52 针	64 针
256 KB	8 KB	24 KB ^{注2}	R5F104FJ	R5F104GJ	R5F104JJ	R5F104LJ
192 KB	8 KB	20 KB	R5F104FH	R5F104GH	R5F104JH	R5F104LH
128 KB	8 KB	16 KB	R5F104FG	R5F104GG	R5F104JG	R5F104LG
96 KB	8 KB	12 KB	R5F104FF	R5F104GF	R5F104JF	R5F104LF
64 KB	4 KB	5.5 KB ^{注1}	R5F104FE	R5F104GE	R5F104JE	R5F104LE
48 KB	4 KB	5.5 KB ^{注1}	R5F104FD	R5F104GD	R5F104JD	R5F104LD
32 KB	4 KB	4 KB	R5F104FC	R5F104GC	R5F104JC	R5F104LC
16 KB	4 KB	2.5 KB	R5F104FA	R5F104GA	--	--

Flash ROM	数据 flash	RAM	RL78/G14	
			80 针	100 针
256 KB	8 KB	24 KB ^{注2}	R5F104MJ	R5F104PJ
192 KB	8 KB	20 KB	R5F104MH	R5F104PH
128 KB	8 KB	16 KB	R5F104MG	R5F104PG
96 KB	8 KB	12 KB	R5F104MF	R5F104PF

注 1. 使用自编程功能和数据 flash 功能时，该值约为 4.5KB。(有关详情，请参阅第三章)

2. 使用自编程功能和数据 flash 功能时，该值约为 23KB。(有关详情，请参阅第三章)

1.2 订购信息

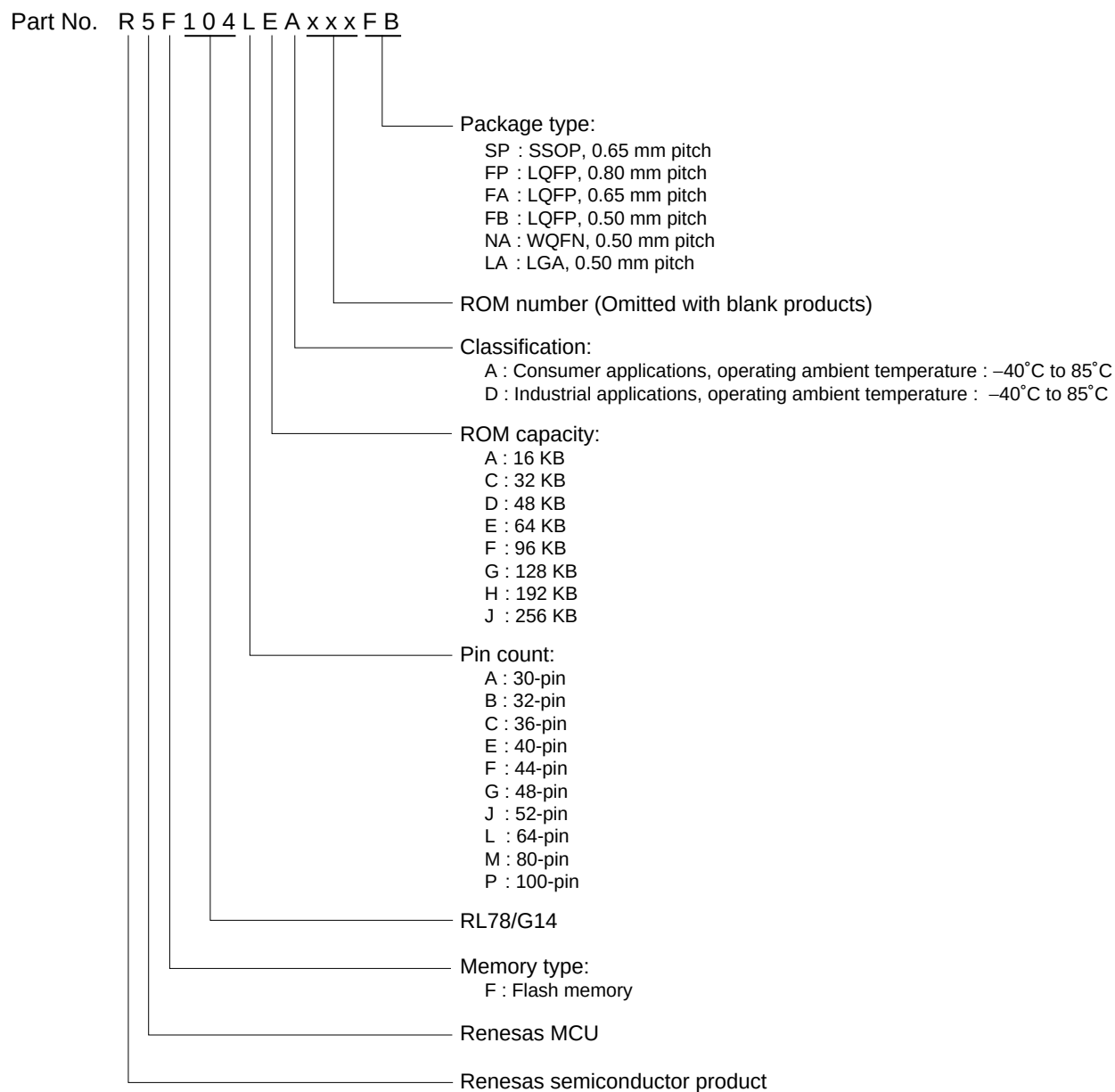
(1/2)

引脚数量	封装	部件编号
30针	30针塑封 SSOP (7.62 mm (300))	R5F104AAASP, R5F104ACASP, R5F104ADASP, R5F104AEASP, R5F104AFASP, R5F104AGASP R5F104AADSP, R5F104ACDSP, R5F104ADDSP, R5F104AEDSP, R5F104AFDSP, R5F104AGDSP
32针	32针塑封 WQFN (密间距) (5 × 5)	R5F104BAANA, R5F104BCANA, R5F104BDANA, R5F104BEANA, R5F104BFANA, R5F104BGANA R5F104BADNA, R5F104BCDNA, R5F104BDDNA, R5F104BEDNA, R5F104BFDNA, R5F104BGDNA
	32针塑封 LQFP (7 × 7)	R5F104BAAFP, R5F104BCAFP, R5F104BDAFP, R5F104BEAFP, R5F104BFAFP, R5F104BGAFP R5F104BADFP, R5F104BCDFP, R5F104BDDFP, R5F104BEDFP, R5F104BFDFP, R5F104BGDFP
36针	36针塑封 FLGA (4 × 4)	R5F104CAALA, R5F104CCALA, R5F104CDALA, R5F104CEALA, R5F104CFALA, R5F104CGALA R5F104CADLA, R5F104CCDLA, R5F104CDDLAL, R5F104CEDLA, R5F104CFDLA, R5F104CGDLA
40针	40针塑封 WQFN (密间距)(6 × 6)	R5F104EAANA, R5F104ECANA, R5F104EDANA, R5F104EEANA, R5F104EFANA, R5F104EGANA, R5F104EHANA R5F104EADNA, R5F104ECDNA, R5F104EDDNA, R5F104EEDNA, R5F104EFDNA, R5F104EGDNA, R5F104EHDNA
44针	44针塑封 LQFP (10 × 10)	R5F104FAAFP, R5F104FCAFP, R5F104FDAFP, R5F104FEAFP, R5F104FFAFP, R5F104FGAFP, R5F104FHAFP, R5F104FJAFP R5F104FADFP, R5F104FCDFP, R5F104FDDFP, R5F104FEDFP, R5F104FFDFP, R5F104FGDFP, R5F104FHDFP, R5F104FJDFP
48针	48针塑封 LQFP (密间距) (7 × 7)	R5F104GAAFB, R5F104GCAFB, R5F104GDAFB, R5F104GEAFB, R5F104GFAFB, R5F104GGAFB, R5F104GHAFB, R5F104GJAFB R5F104GADFB, R5F104GCDFB, R5F104GDDFB, R5F104GEDFB, R5F104GDFB, R5F104GGDFB, R5F104GHDFB, R5F104GJDFB
	48针塑封 WQFN (7 × 7)	R5F104GAANA, R5F104GCANA, R5F104GDANA, R5F104GEANA, R5F104GFANA, R5F104GGANA, R5F104GHANA, R5F104GJANA R5F104GADNA, R5F104GCDNA, R5F104GDDNA, R5F104GEDNA, R5F104GFDNA, R5F104GGDNA, R5F104GHDNA, R5F104GJDNA
52针	52针塑封 LQFP (10 × 10)	R5F104JCAFA, R5F104JDAFA, R5F104JEAFA, R5F104JFAFA, R5F104JGAFA, R5F104JHAFA, R5F104JJJFAFA R5F104JCDF, R5F104JDDFA, R5F104JEDFA, R5F104JFDFA, R5F104JGDF, R5F104JHDF, R5F104JJJDF

(2/2)

引脚数量	封装	部件编号
64针	64针塑封 LQFP (12 × 12)	R5F104LCAFA, R5F104LDAFA, R5F104LEAFA, R5F104LFAFA, R5F104LGAF A, R5F104LHAFA, R5F104LJAFA R5F104LCDFA, R5F104LDDFA, R5F104LEDFA, R5F104LFDFA, R5F104LG DFA, R5F104LH DFA, R5F104LJ DFA
	64针塑封 LQFP (密间距) (10 × 10)	R5F104LCAFB, R5F104LDAFB, R5F104LEAFB, R5F104LFAFB, R5F104LG AFB, R5F104LHA FB, R5F104LJA FB R5F104LCDFB, R5F104LDDFB, R5F104LEDFB, R5F104LFD FB, R5F104LG DFB, R5F104LH DFB, R5F104LJ DFB
	64针塑封 FLGA (5 × 5)	R5F104LCALA, R5F104LDALA, R5F104LEALA, R5F104LFALA, R5F104LGALA, R5F104LHALA, R5F104LJALA R5F104LCDLA, R5F104LDDL A, R5F104LEDLA, R5F104LFDLA, R5F104LG DLA, R5F104LH DLA, R5F104LJ DLA
	64针塑封 LQFP (14 × 14)	R5F104LCAFP, R5F104LDAFP, R5F104LEAFP, R5F104LFAFP, R5F104LG AFP, R5F104LHA FP, R5F104LJA FP R5F104LCDFP, R5F104LDDFP, R5F104LEDFP, R5F104LFD FP, R5F104LG DFP, R5F104LH DFP, R5F104LJ DFP
80针	80针塑封 LQFP (密间距) (12 × 12)	R5F104MFAFB, R5F104MGAFB, R5F104MHA FB, R5F104MJAFB R5F104MFD FB, R5F104MG DFB, R5F104MH DFB, R5F104MJ DFB
	80针塑封 LQFP (14 × 14)	R5F104MFAFA, R5F104MG AFA, R5F104MHA FA, R5F104MJ AFA R5F104MFD FA, R5F104MG DFA, R5F104MH DFA, R5F104MJ DFA
100针	100针塑封 LQFP (密间距) (14 × 14)	R5F104PFAFB, R5F104PGA FB, R5F104PHA FB, R5F104PJAFB R5F104PFD FB, R5F104PG DFB, R5F104PH DFB, R5F104PJ DFB
	100针塑封 LQFP (14 × 20)	R5F104PFAFA, R5F104PG AFA, R5F104PHA FA, R5F104PJ AFA R5F104PFD FA, R5F104PG DFA, R5F104PH DFA, R5F104PJ DFA

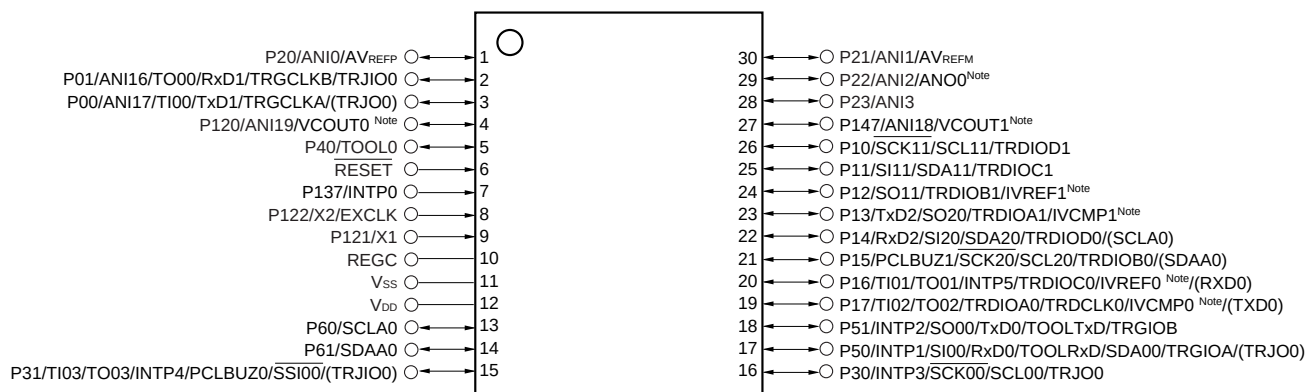
图 1-1. RL78/G14 的部件编号，存储器尺寸和封装



1.3 引脚配置 (顶视图)

1.3.1 30 针产品

- 30 针塑封 SSOP (7.62 mm (300))



注 安装在代码闪存为 96 KB 或更大的产品上。

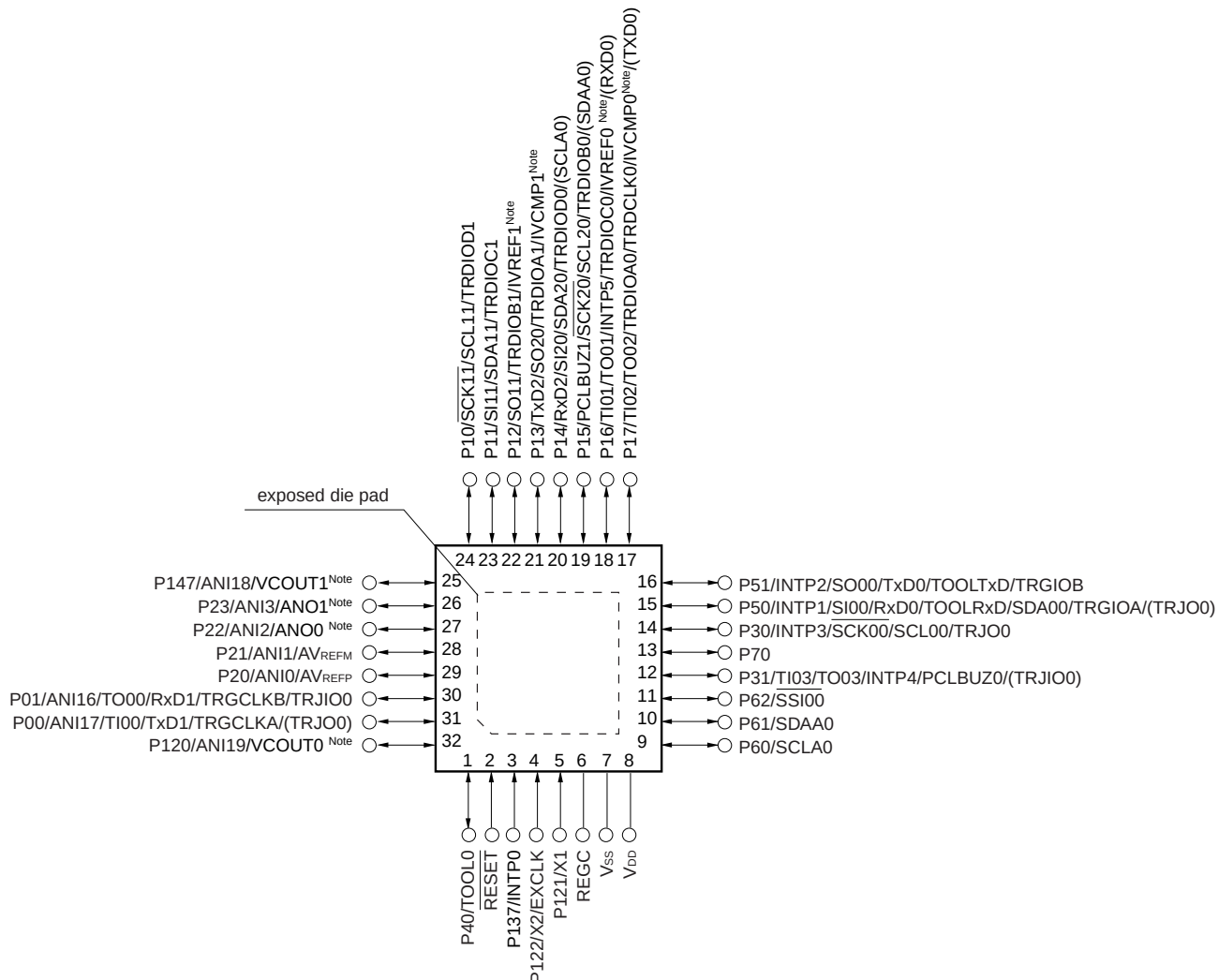
注意事项 通过一个电容 (0.47 至 1 μ F) 将 REGC 引脚连接至 Vss。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

1.3.2 32 针产品

- 32 针塑封 WQFN (密间距) (5 × 5)
- 32 针塑封 LQFP (7 × 7)



注 安装在代码闪存为 96 KB 或更大的产品上。

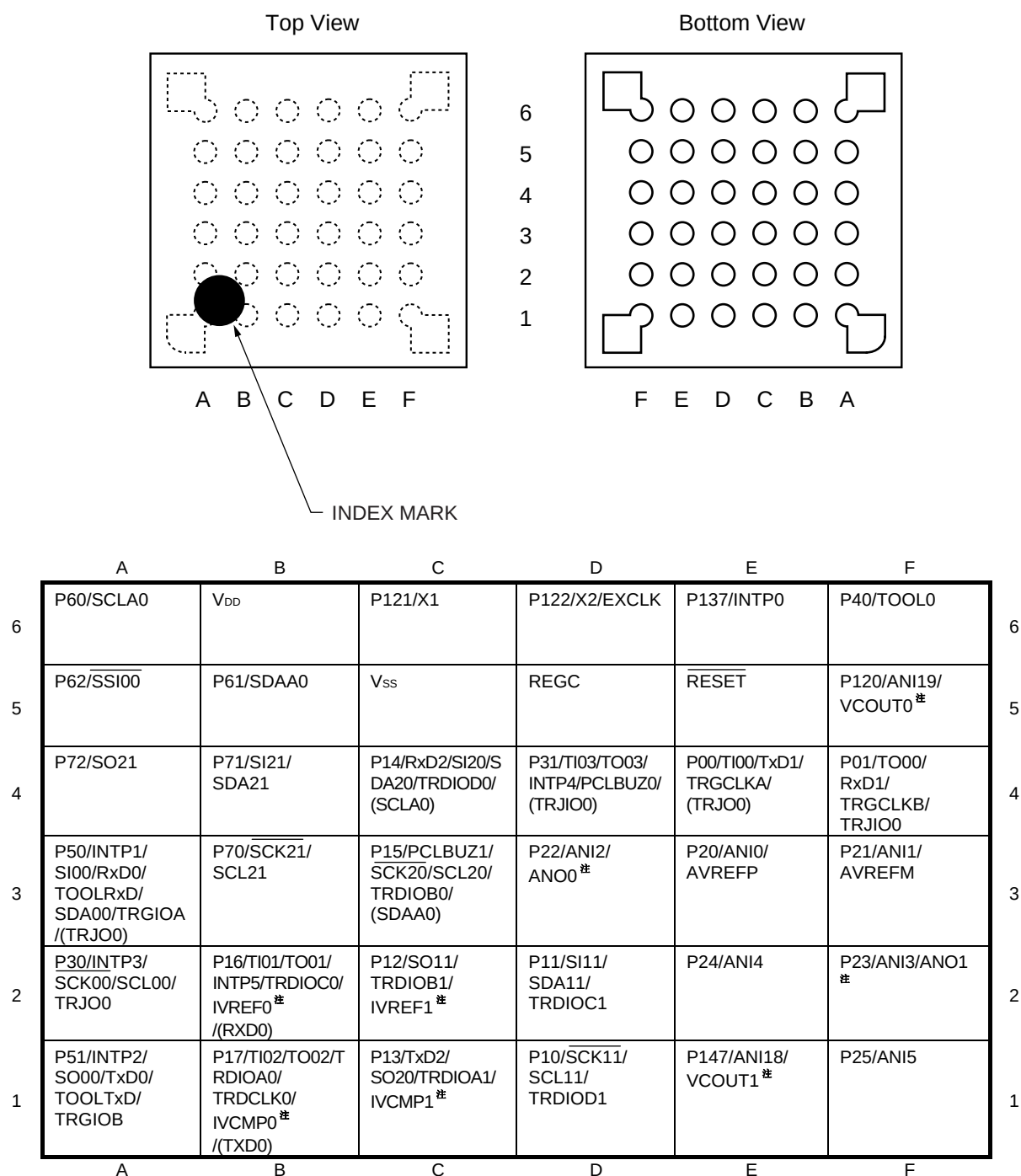
注意事项 通过一个电容 (0.47 至 1 μ F) 将 REGC 引脚连接至 Vss。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

1.3.3 36 针产品

- 36 针塑封 FLGA (4 × 4)



注 安装在代码闪存为 96 KB 或更大的产品上。

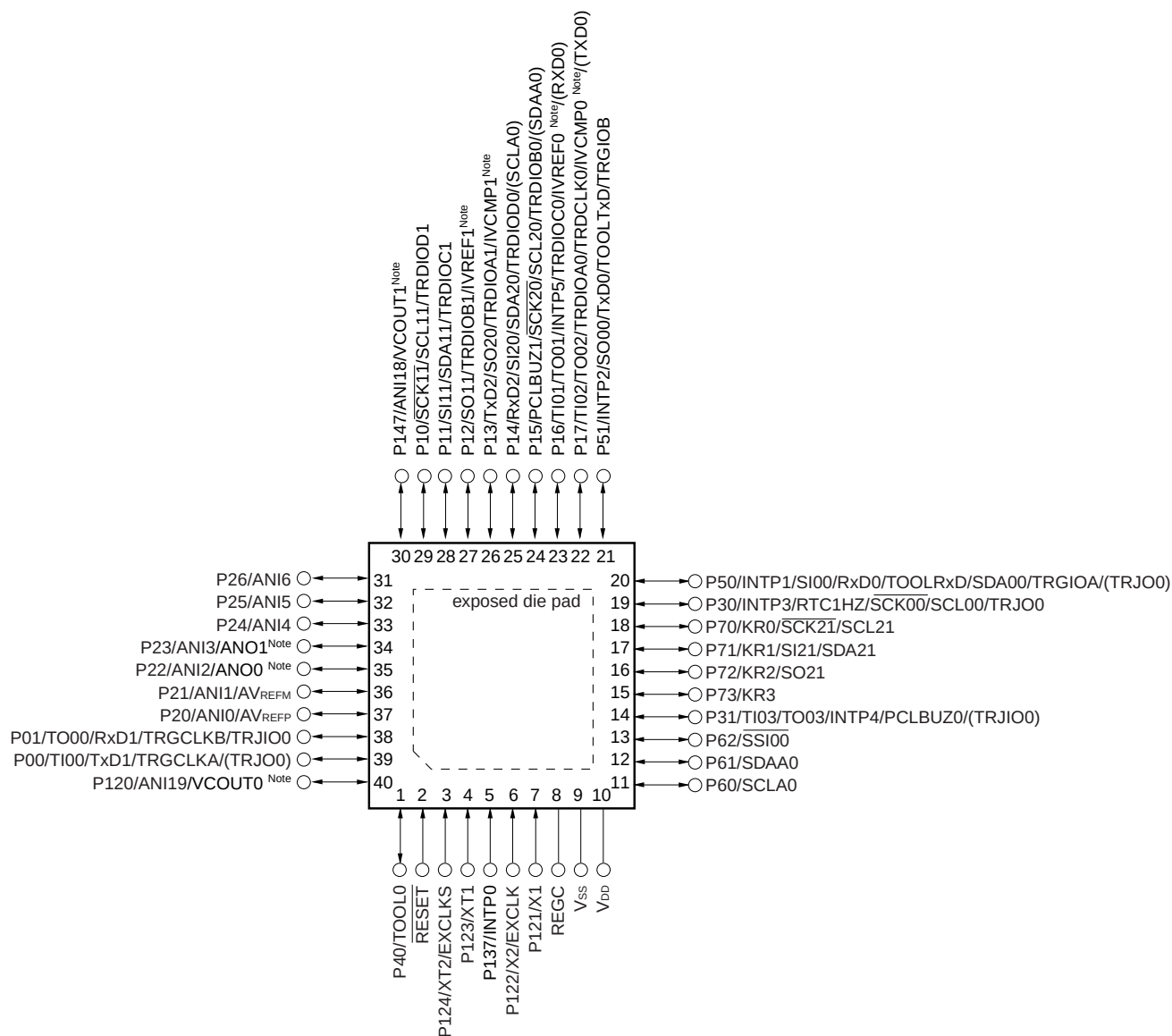
注意事项 通过一个电容 (0.47 至 1 μ F) 将 REGC 引脚连接至 V_{SS}。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

1.3.4 40 针产品

- 40 针塑封 WQFN (密间距) (6 × 6)



注 安装在代码闪存为 96 KB 或更大的产品上。

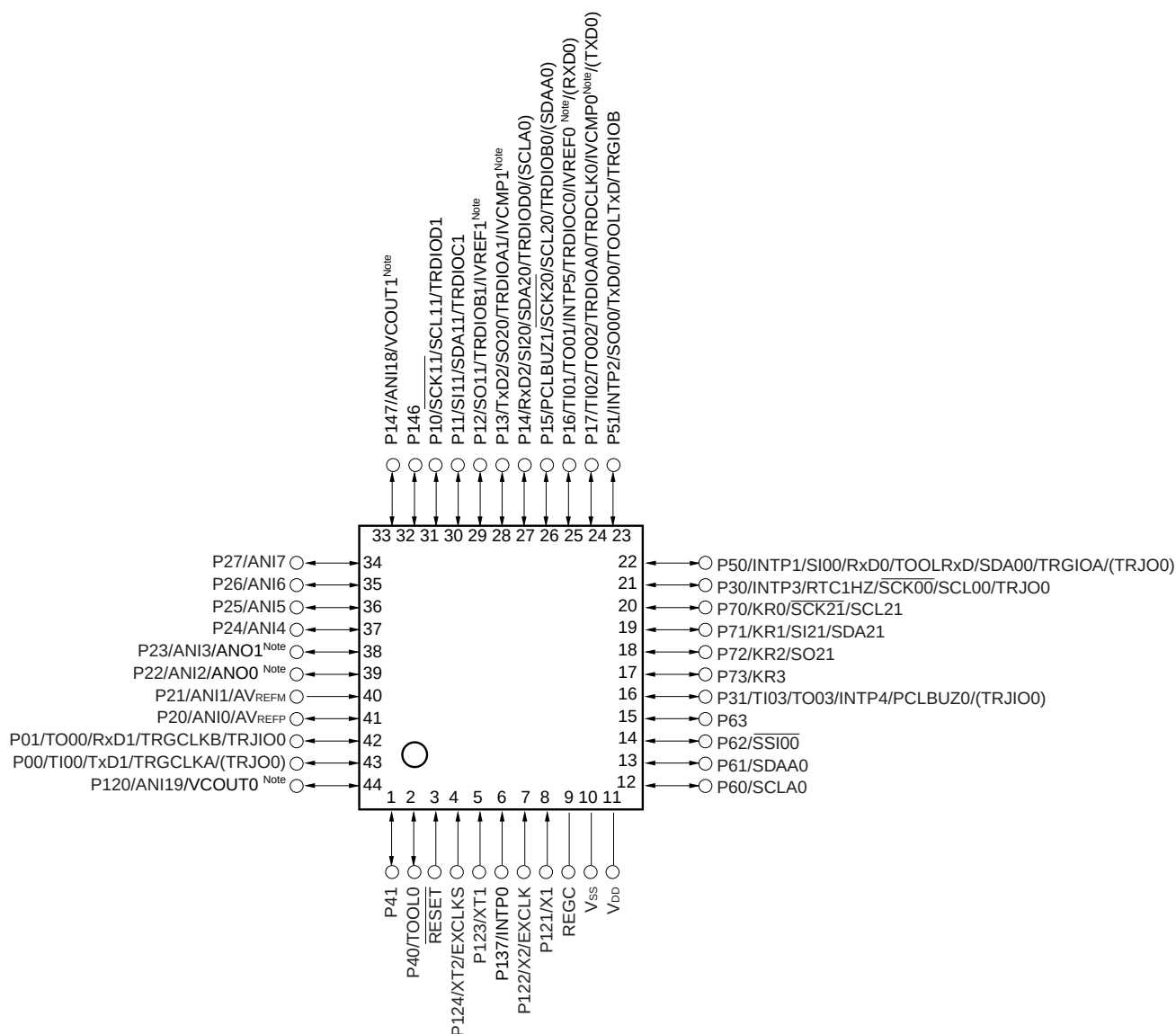
注意事项 通过一个电容 (0.47 至 1 μ F) 将 REGC 引脚连接至 VSS。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

1.3.5 44 针产品

- 44 针塑封 LQFP (10 × 10)



注 安装在代码闪存为 96 KB 或更大的产品上。

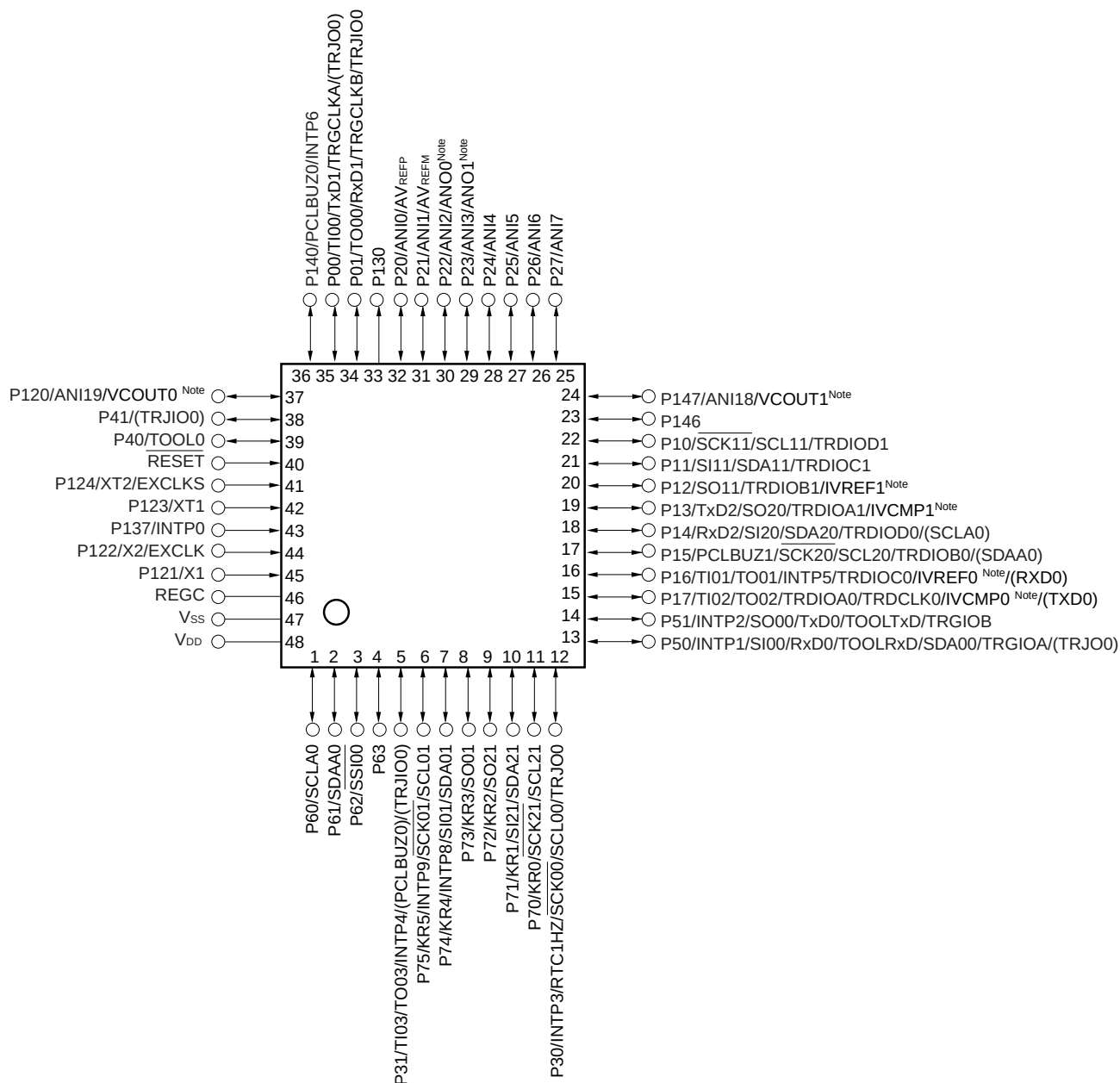
注意事项 通过一个电容 (0.47 至 1 μ F) 将 REGC 引脚连接至 V_{SS}。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

1.3.6 48 针产品

- 48 针塑封 LQFP (密间距) (7 × 7)



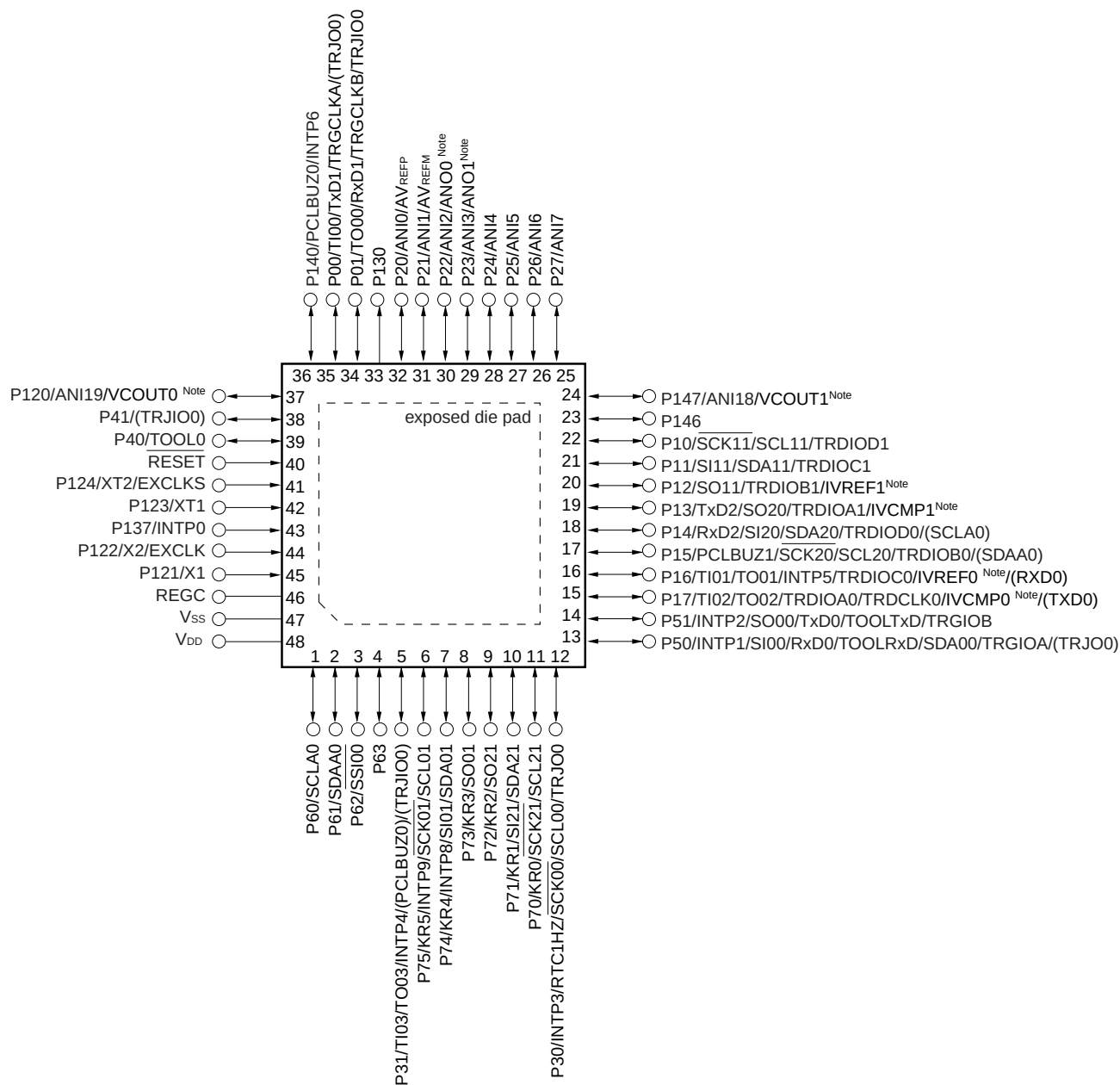
注 安装在代码闪存为 96 KB 或更大的产品上。

注意事项 通过一个电容 (0.47 至 1 μ F) 将 REGC 引脚连接至 VSS。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

- 48 针塑封 WQFN (7 × 7)



注 安装在代码闪存为 96 KB 或更大的产品上。

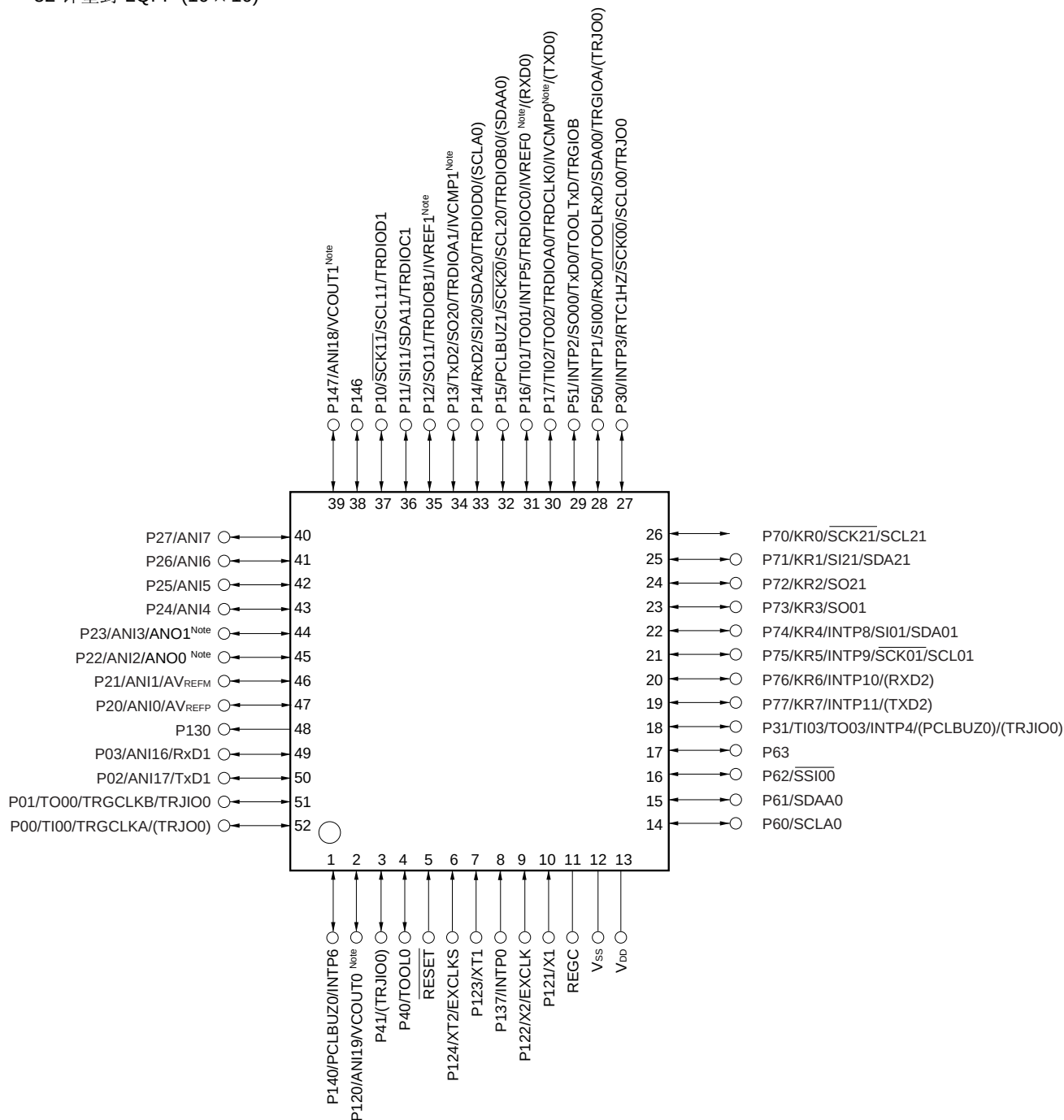
注意事项 通过一个电容 (0.47 至 1 μ F) 将 REGC 引脚连接至 V_{SS}。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

1.3.7 52 针产品

- 52 针塑封 LQFP (10 × 10)



注 安装在代码闪存为 96 KB 或更大的产品上。

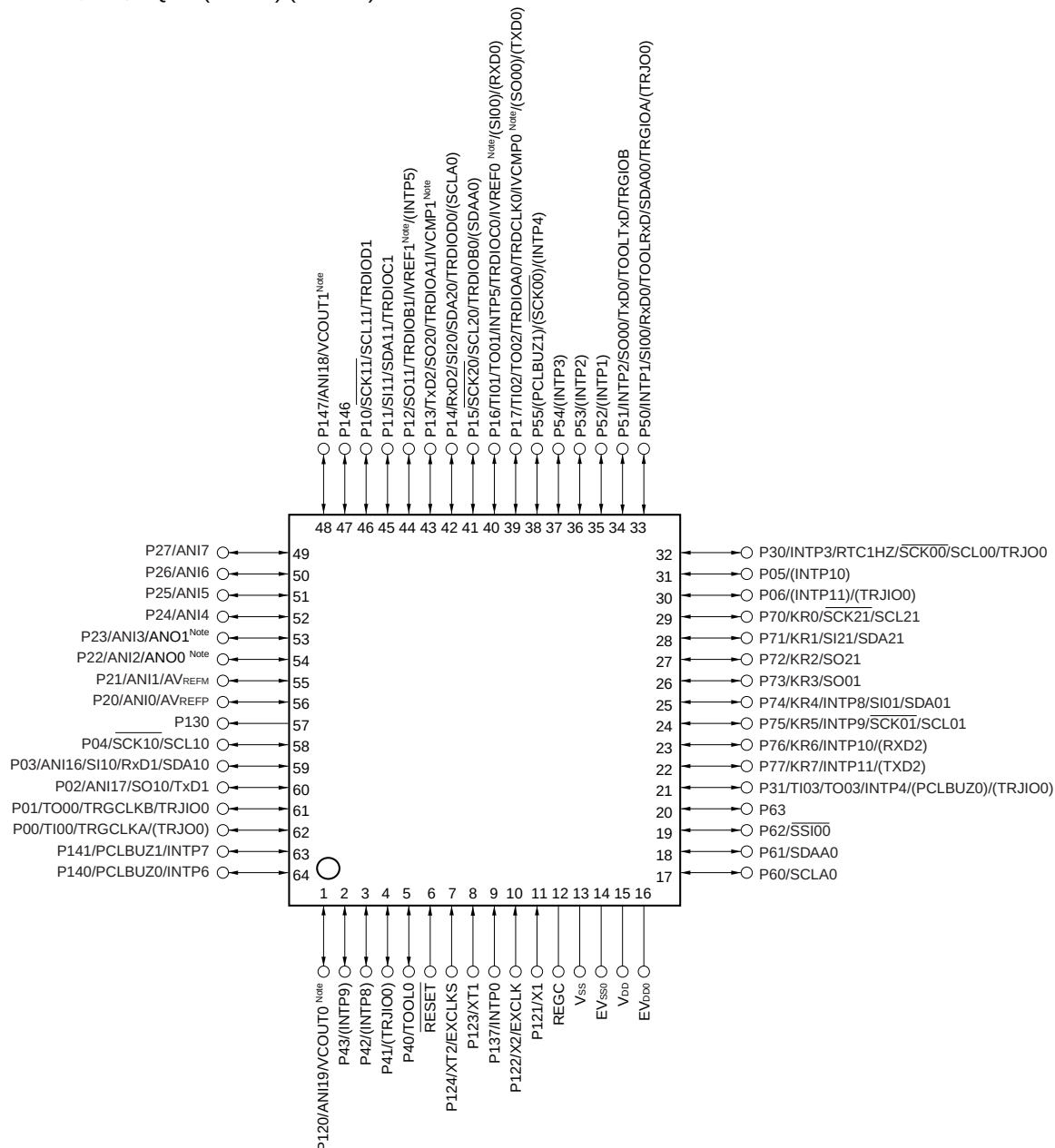
注意事项 通过一个电容 (0.47 至 1 μ F) 将 REGC 引脚连接至 V_{SS}。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

1.3.8 64 针产品

- 64 针塑封 LQFP (14 × 14)
- 64 针塑封 LQFP (12 × 12)
- 64 针塑封 LQFP (密间距) (10 × 10)



注 安装在代码闪存为 96 KB 或更大的产品上。

注意事项 1. 将 EV_{SS0} 引脚设置为与 V_{SS} 引脚相同的电位。

2. 将 V_{DD} 引脚设置为与 EV_{DD0} 引脚相同或更高的电位。

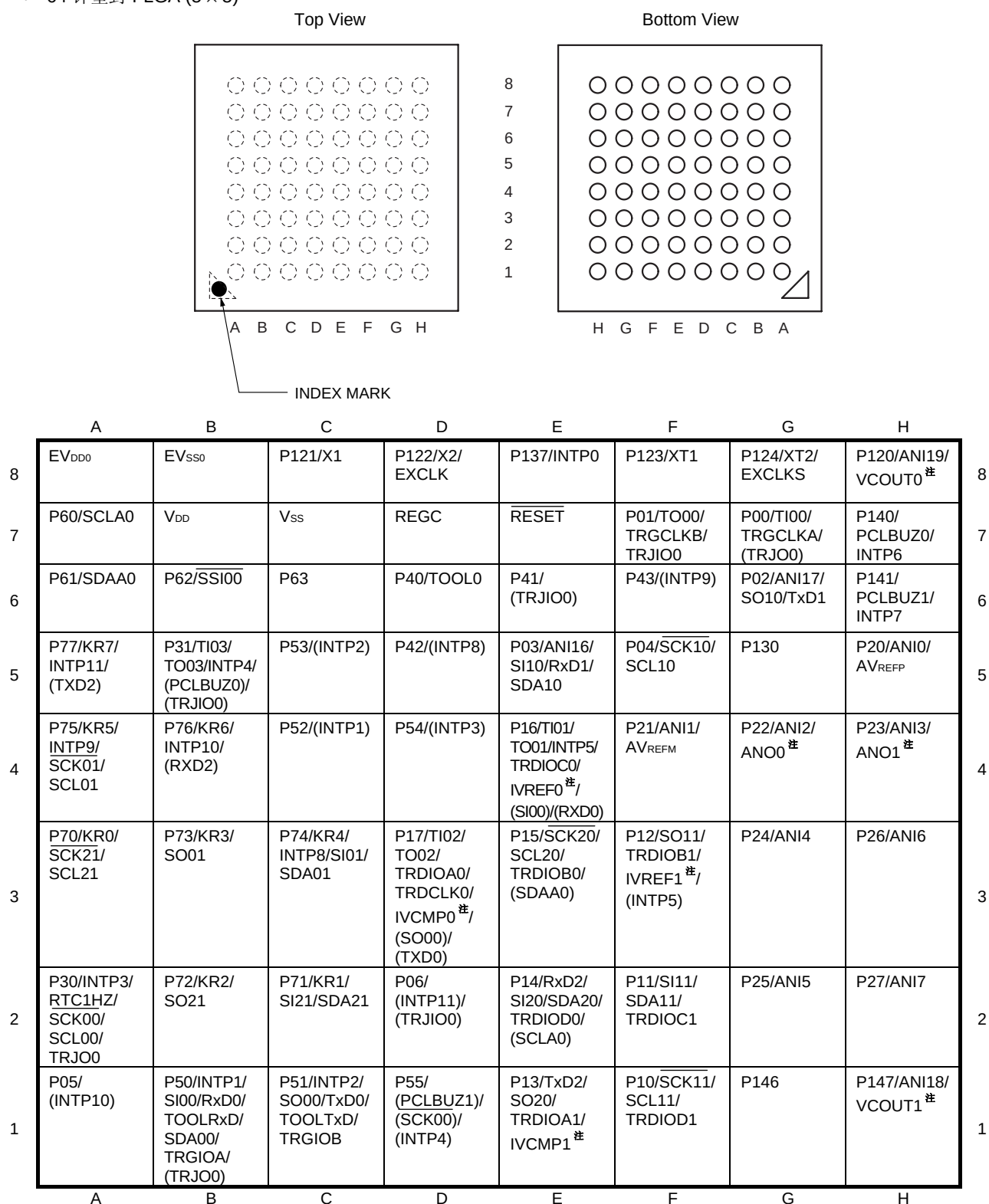
3. 通过一个电容 (0.47 至 1 μF) 将 REGC 引脚连接至 V_{SS}。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 在必须降低微控制器内部产生的噪声的应用领域使用时, 建议采取向 V_{DD} 和 EV_{DD0} 引脚单独供电, 将 V_{SS} 和 EV_{SS0} 引脚连接至不同的地线等等防止噪声的措施。

3. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1)来分配上图括号内的功能。

- 64 针塑封 FLGA (5 × 5)



注 安装在代码闪存为 96 KB 或更大的产品上。

注意事项 1. 将 EV_{SS0} 引脚设置为与 V_{SS} 引脚相同的电位。

2. 将 V_{DD} 引脚设置为与 EV_{DD0} 引脚相同或更高的电位。

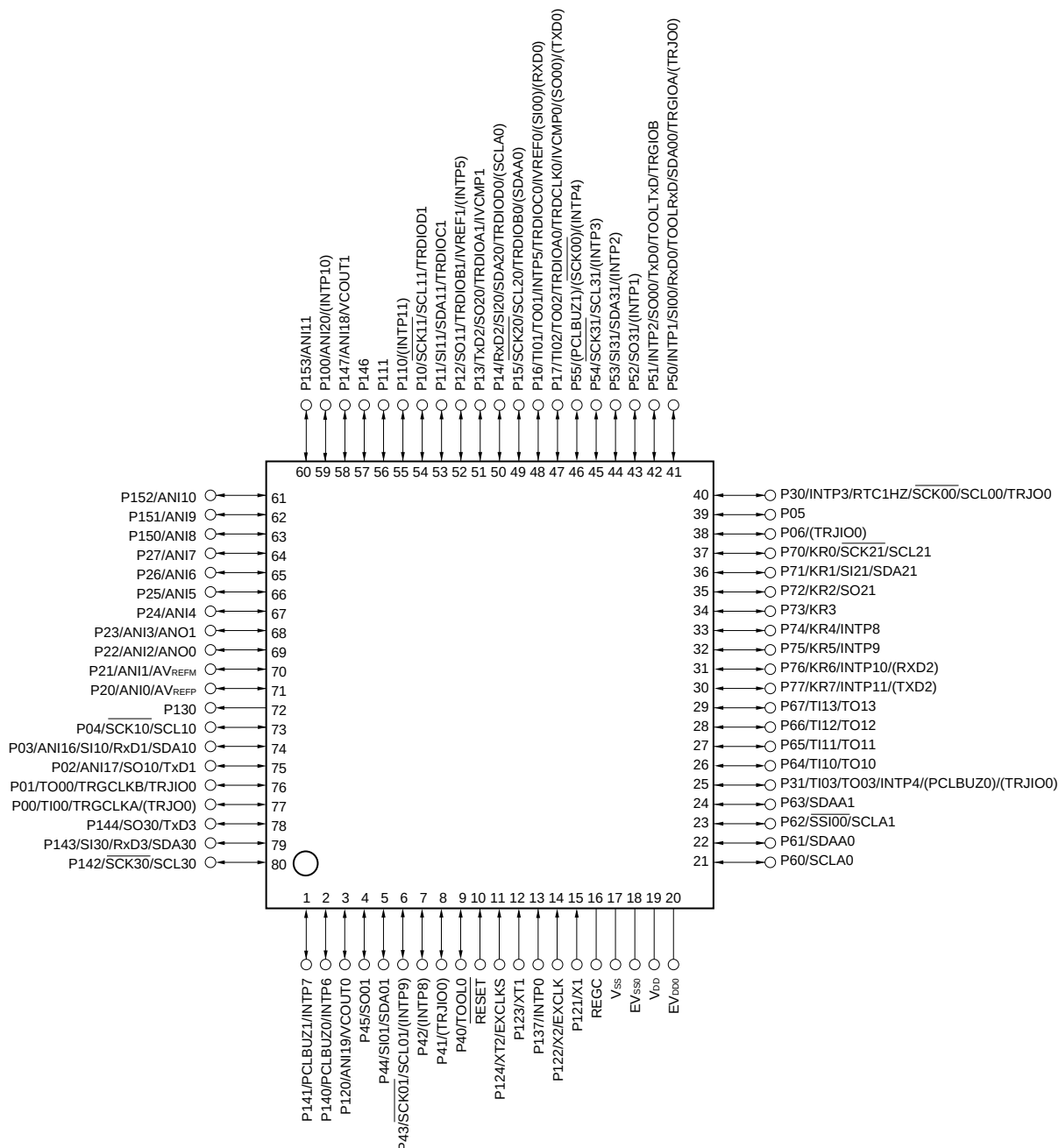
3. 通过一个电容 (0.47 至 1 μ F) 将 REGC 引脚连接至 V_{SS}。

(备注如下页所示。)

- 备注 1.** 有关引脚名称，请参阅 **1.4 引脚名称**。
- 2.** 在必须降低微控制器内部产生的噪声的应用领域使用时，建议采取向 V_{DD} 和 EV_{DD0} 引脚单独供电，将 V_{SS} 和 EV_{SS0} 引脚连接至不同的地线等等防止噪声的措施。
 - 3.** 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1)来分配上图括号内的功能。

1.3.9 80 针产品

- 80 针塑封 LQFP (14 × 14)
- 80 针塑封 LQFP (密间距) (12 × 12)

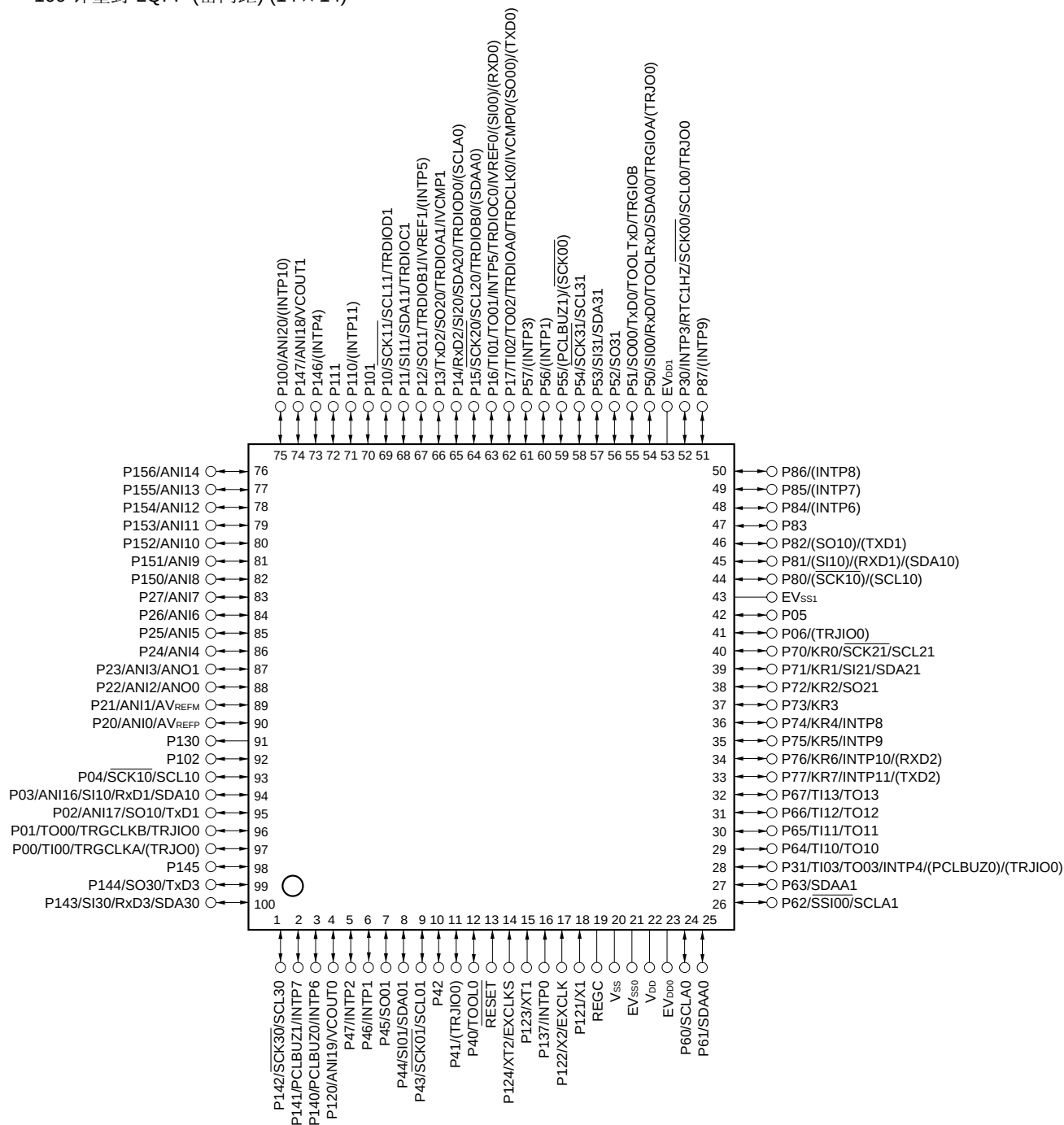


- 注意事项**
1. 将 EV_{SS0} 引脚设置为与 V_{SS} 引脚相同的电位。
 2. 将 V_{DD} 引脚设置为与 EV_{DD0} 引脚相同或更高的电位。
 3. 通过一个电容 (0.47 至 1 μF) 将 REGC 引脚连接至 V_{SS}。

- 备注**
1. 有关引脚名称, 请参阅 1.4 引脚名称。
 2. 在必须降低微控制器内部产生的噪声的应用领域使用时, 建议采取向 V_{DD} 和 EV_{DD0} 引脚单独供电, 将 V_{SS} 和 EV_{SS0} 引脚连接至不同的地线等等防止噪声的措施。
 3. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

1.3.10 100 针产品

- 100 针塑封 LQFP (密间距) (14 × 14)



注意事项 1. 将 EV_{SS0} 引脚设置为与 V_{SS} 引脚相同的电位。

2. 将 V_{DD} 引脚设置为与 EV_{DD0} 引脚相同或更高的电位。将 EV_{DD1} 引脚设置为与 EV_{DD0} 引脚相同的电位。

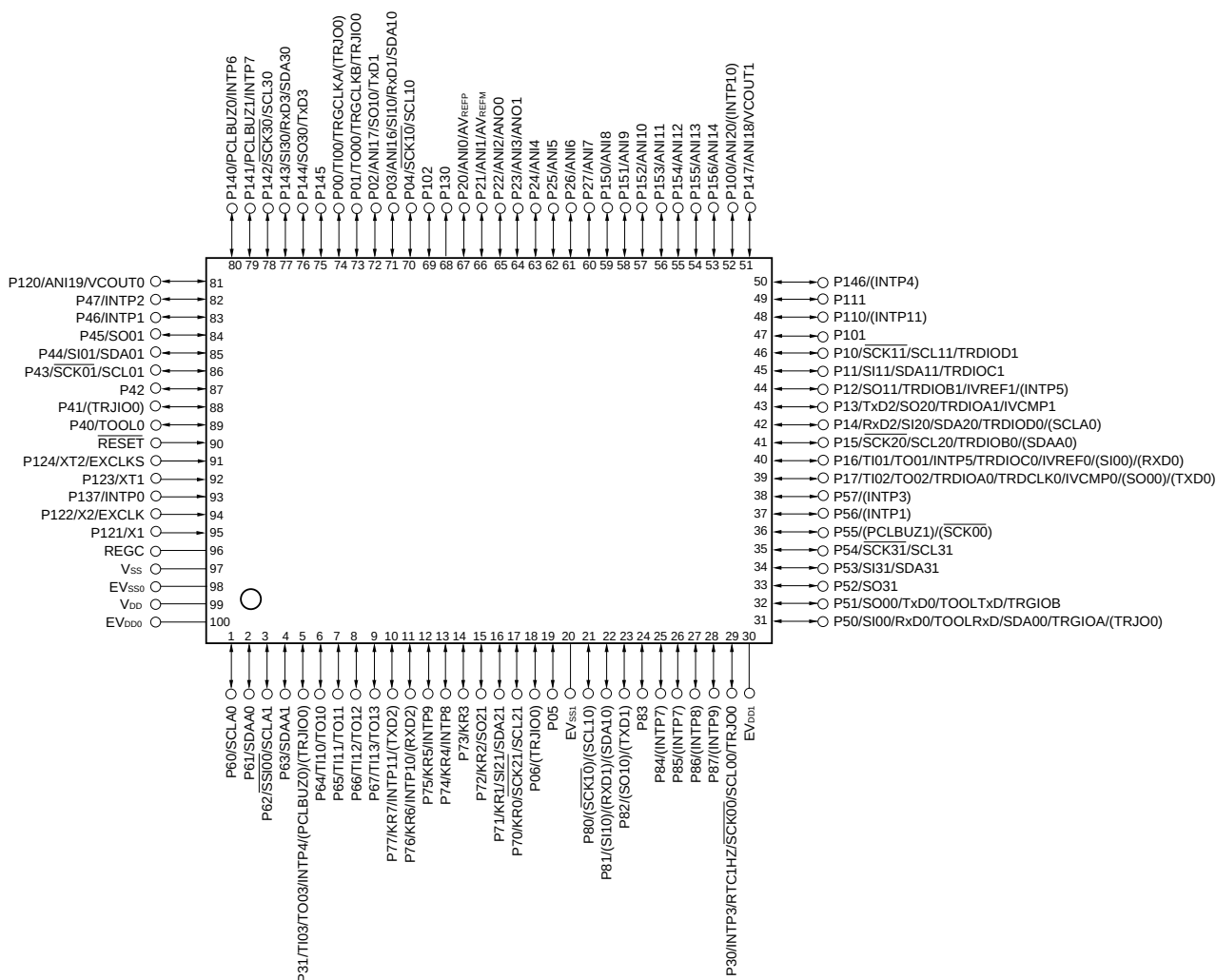
3. 通过一个电容 (0.47 至 1 μF) 将 REGC 引脚连接至 V_{SS}。

备注 1. 有关引脚名称, 请参阅 1.4 引脚名称。

2. 在必须降低微控制器内部产生的噪声的应用领域使用时, 建议采取向 V_{DD} 和 EV_{DD0} 引脚单独供电, 将 V_{SS} 和 EV_{SS0} 引脚连接至不同的地线等等防止噪声的措施。

3. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

- 100 针塑封 LQFP (密间距) (14 × 20)



- 注意事项**
1. 将 EV_{SS0} 引脚设置为与 V_{SS} 引脚相同的电位。
 2. 将 V_{DD} 引脚设置为与 EV_{DD0} 引脚相同或更高的电位。将 EV_{DD1} 引脚设置为与 V_{DD0} 引脚相同的电位。
 3. 通过一个电容 (0.47 至 1 μF) 将 $REGC$ 引脚连接至 V_{SS} 。

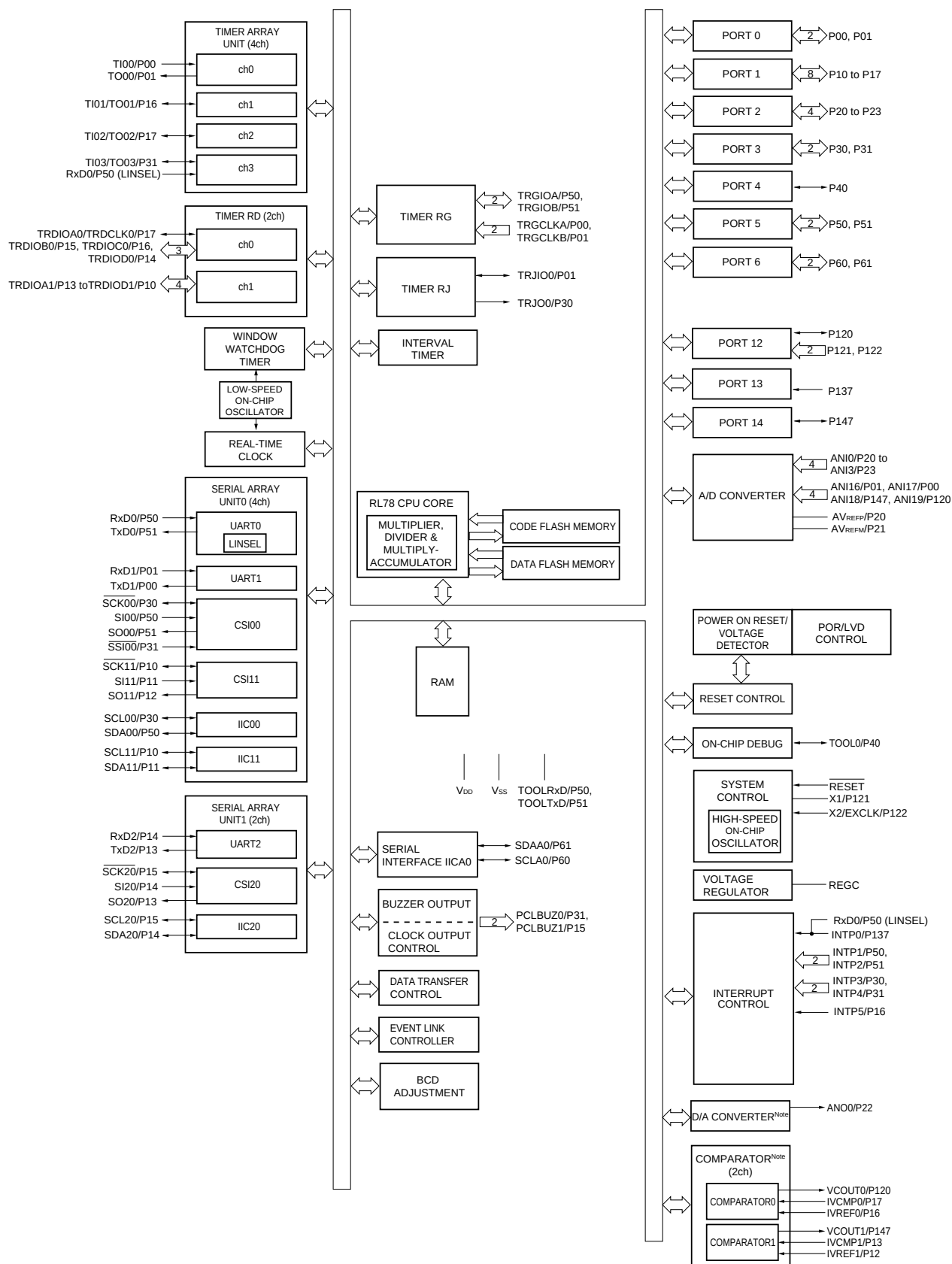
- 备注**
1. 有关引脚名称, 请参阅 1.4 引脚名称。
 2. 在必须降低微控制器内部产生的噪声的应用领域使用时, 建议采取向 V_{DD} 和 EV_{DD0} 引脚单独供电, 将 V_{SS} 和 EV_{SS0} 引脚连接至不同的地线等等防止噪声的措施。
 3. 可以通过设置外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 来分配上图括号内的功能。

1.4 引脚名称

ANIO 至 ANI14, :	模拟输入	RxD0 至 RxD3:	接收数据
ANI16 至 ANI20		$\overline{\text{SCK00}}, \overline{\text{SCK01}}, \overline{\text{SCK10}},$	串行时钟输入/输出
ANO0, ANO1:	模拟输出	$\overline{\text{SCK11}}, \overline{\text{SCK20}}, \overline{\text{SCK21}},$	
AVREFM:	A/D 转换器基准电位(-极)输入	$\overline{\text{SCK30}}, \overline{\text{SCK31}}$	
AVREFP:	A/D 转换器基准电位(+极)输入	SCLA0, SCLA1, SCL00,:	串行时钟输入/输出
EVDD0, EVDD1:	端口电源	SCL01, SCL10, SCL11,	
EVSS0, EVSS1:	端口接地	SCL20, SCL21, SCL30,	
EXCLK:	外部时钟输入 (主系统时钟)	SCL31	
EXCLKS:	外部时钟输入 (副系统时钟)	SDAA0, SDAA1, SDA00,:	串行时钟输入/输出
INTP0 至 INTP11:	外部中断输入	SDA01, SDA10, SDA11,	
IVCMP0, IVCMP1:	比较器输入	SDA20, SDA21, SDA30,	
IVREF0, IVREF1:	比较器基准输入	SDA31	
KR0 至 KR7:	按键返回	SI00, SI01, SI10, SI11,:	串行数据输入
P00 至 P06:	端口 0	SI20, SI21, SI30, SI31	
P10 至 P17:	端口 1	SO00, SO01, SO10, :	串行数据输出
P20 至 P27:	端口 2	SO11, SO20, SO21,	
P30, P31:	端口 3	SO30, SO31	
P40 至 P47:	端口 4	$\overline{\text{SSI00}}:$	串行接口芯片选择输入
P50 至 P57:	端口 5	TI00 至 TI03, TI10 至 TI13:	定时器输入
P60 至 P67:	端口 6	TO00 至 TO03,:	定时器输出
P70 至 P77:	端口 7	TO10 至 TO13, TRJ00	
P80 至 P87:	端口 8	TOOL0:	工具用数据输入/输出
P100 至 P102:	端口 10	TOOLRxD, TOOLTxD:	外部器件用数据输入/输出
P110, P111:	端口 11	TRDCLK0, TRGCLKA, :	定时器外部输入时钟
P120 至 P124:	端口 12	TRGCLKB	
P130, P137:	端口 13	TRDIOA0, TRDIOB0,:	定时器输入/输出
P140 至 P147:	端口 14	TRDIOC0, TRDIOD0,	
P150 至 P156:	端口 15	TRDIOA1, TRDIOB1,	
PCLBUZ0, PCLBUZ1:	可编程的时钟输出/ 蜂鸣器输出	TRDIOC1, TRDIOD1,	
REGC:	稳压器电容	TRGIOA, TRGIOB, TRJIO0	
$\overline{\text{RESET}}:$	复位	TxD0 至 TxD3:	发送数据
RTC1HZ:	实时时钟校正时钟(1 Hz) 输出	VCOU0, VCOU1:	比较器输出
		VDD:	电源
		VSS:	接地
		X1, X2:	晶振 (主系统时钟)
		XT1, XT2:	晶振 (副系统时钟)

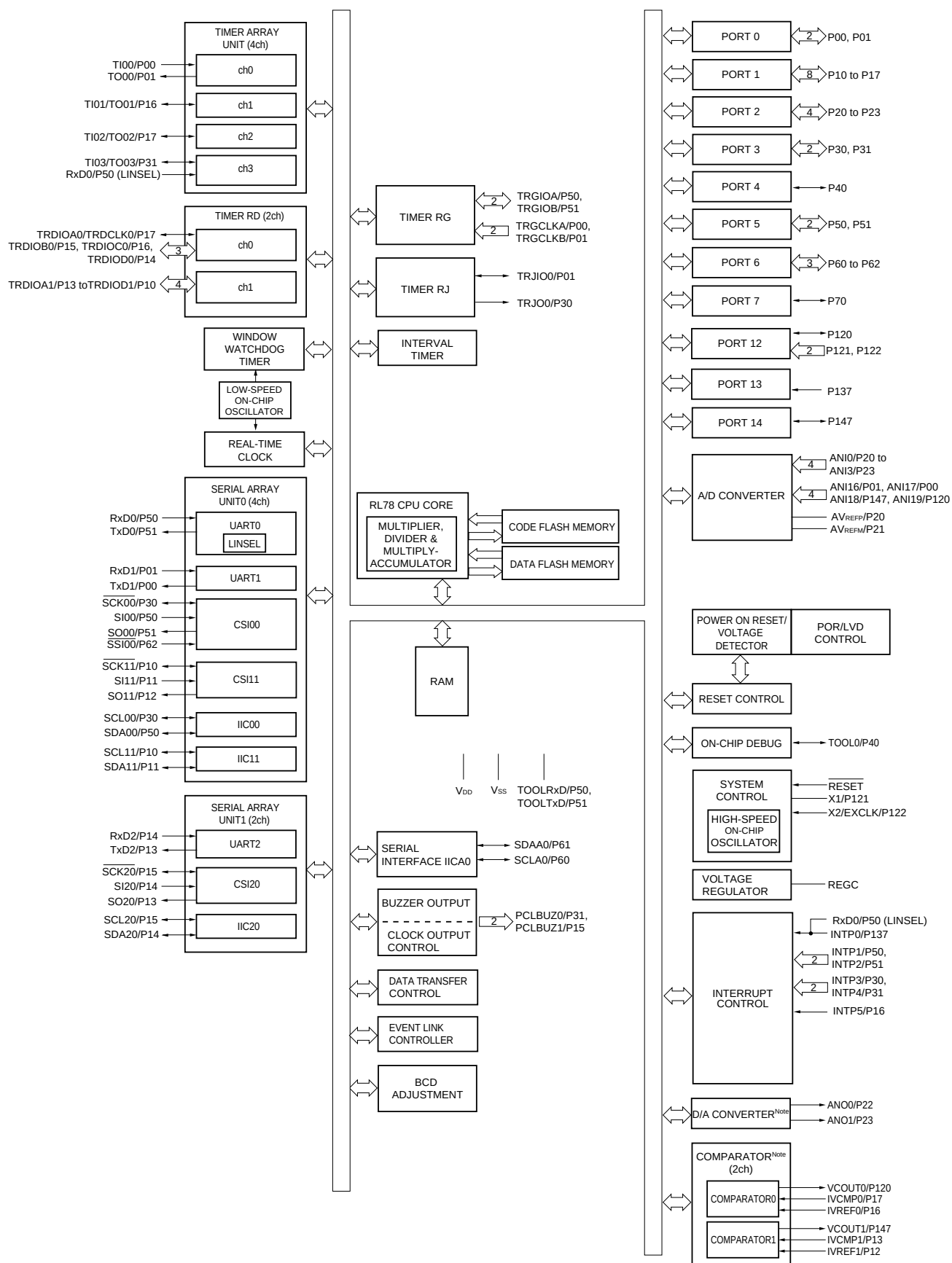
1.5 框图

1.5.1 30 针产品



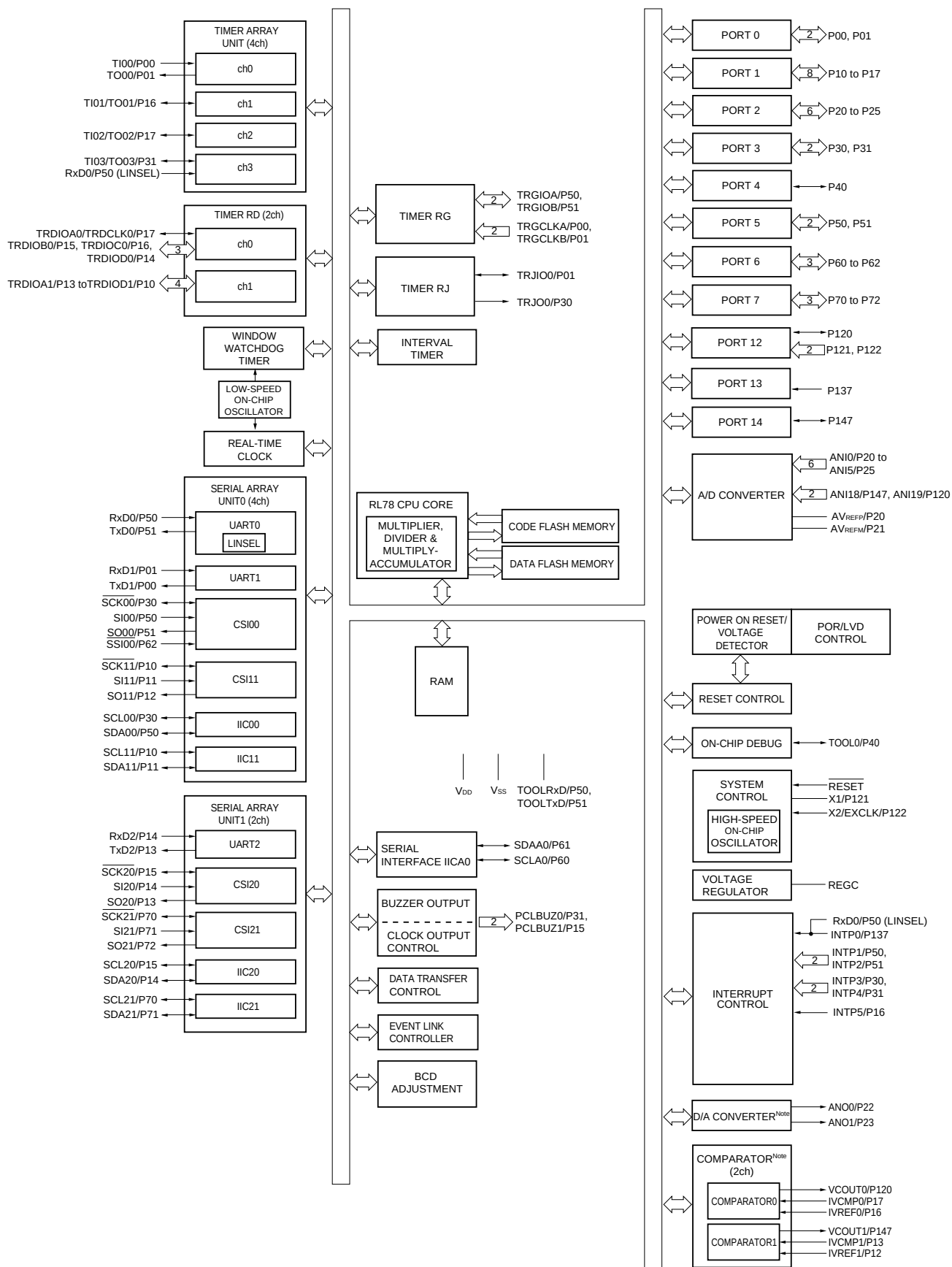
注 安装在代码闪存为 96 KB 或更大的产品上。

1.5.2 32 针产品



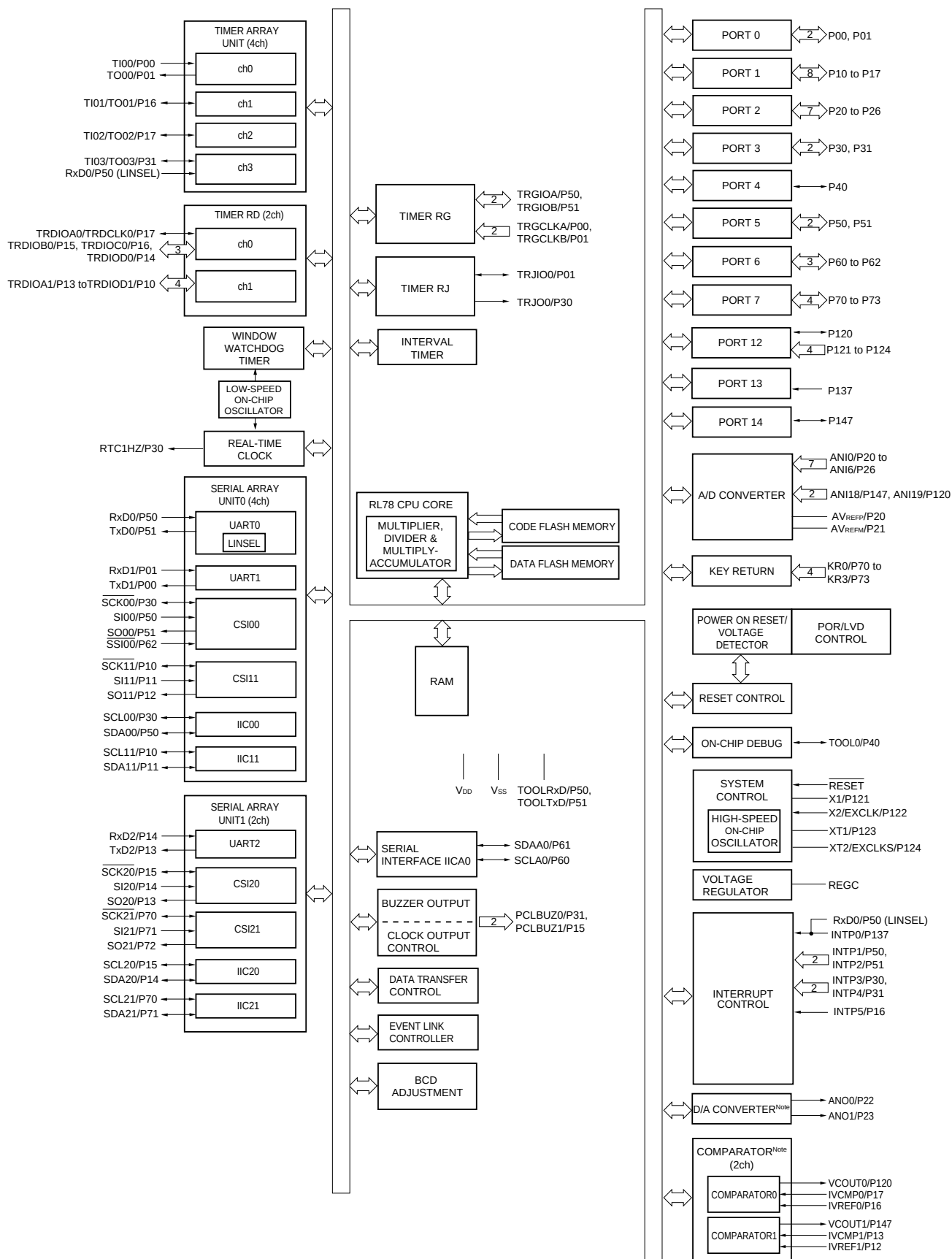
注 安装在代码闪存为 96 KB 或更大的产品上。

1.5.3 36 针产品



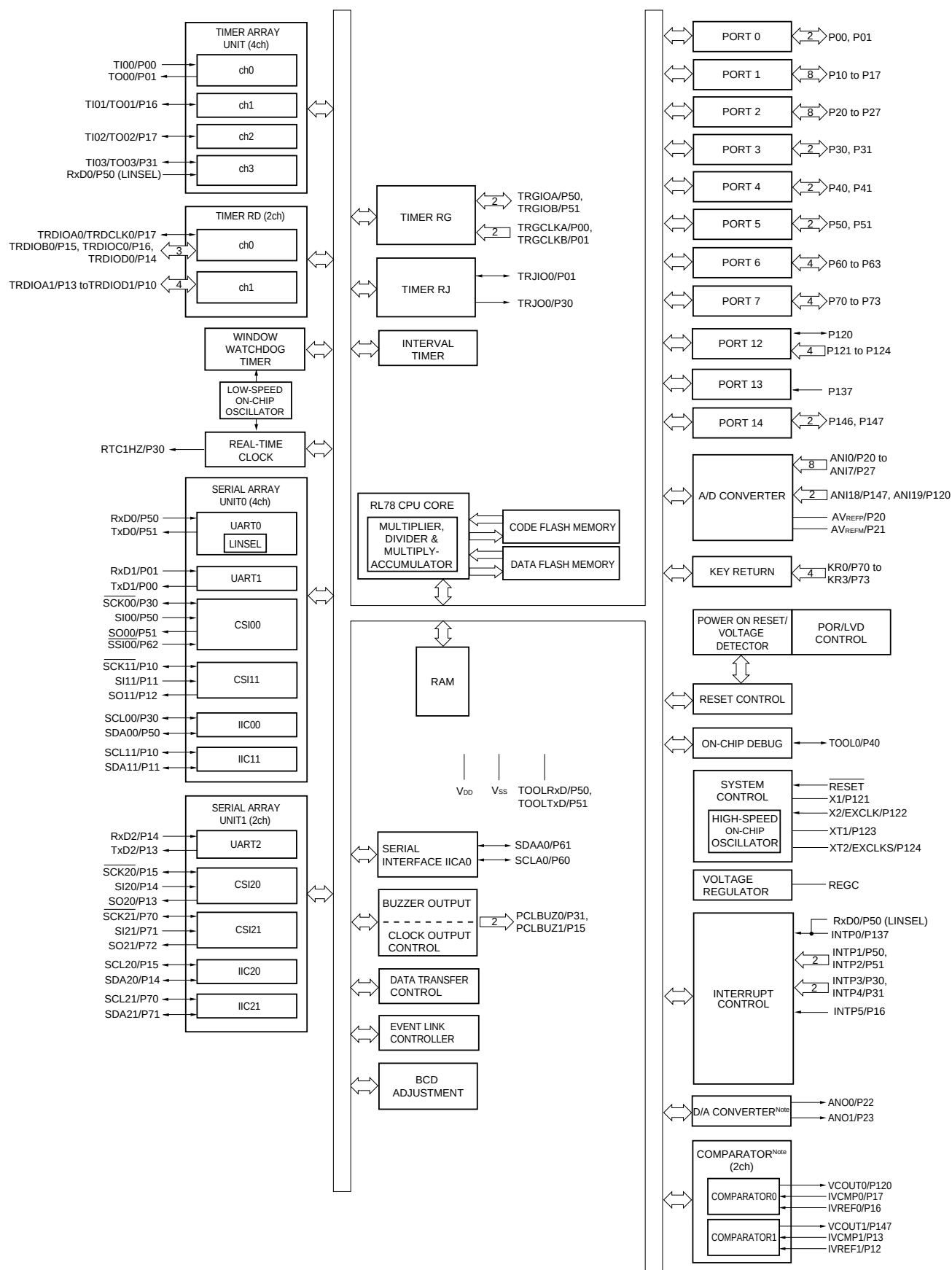
注 安装在代码闪存为 96 KB 或更大的产品上。

1.5.4 40 针产品



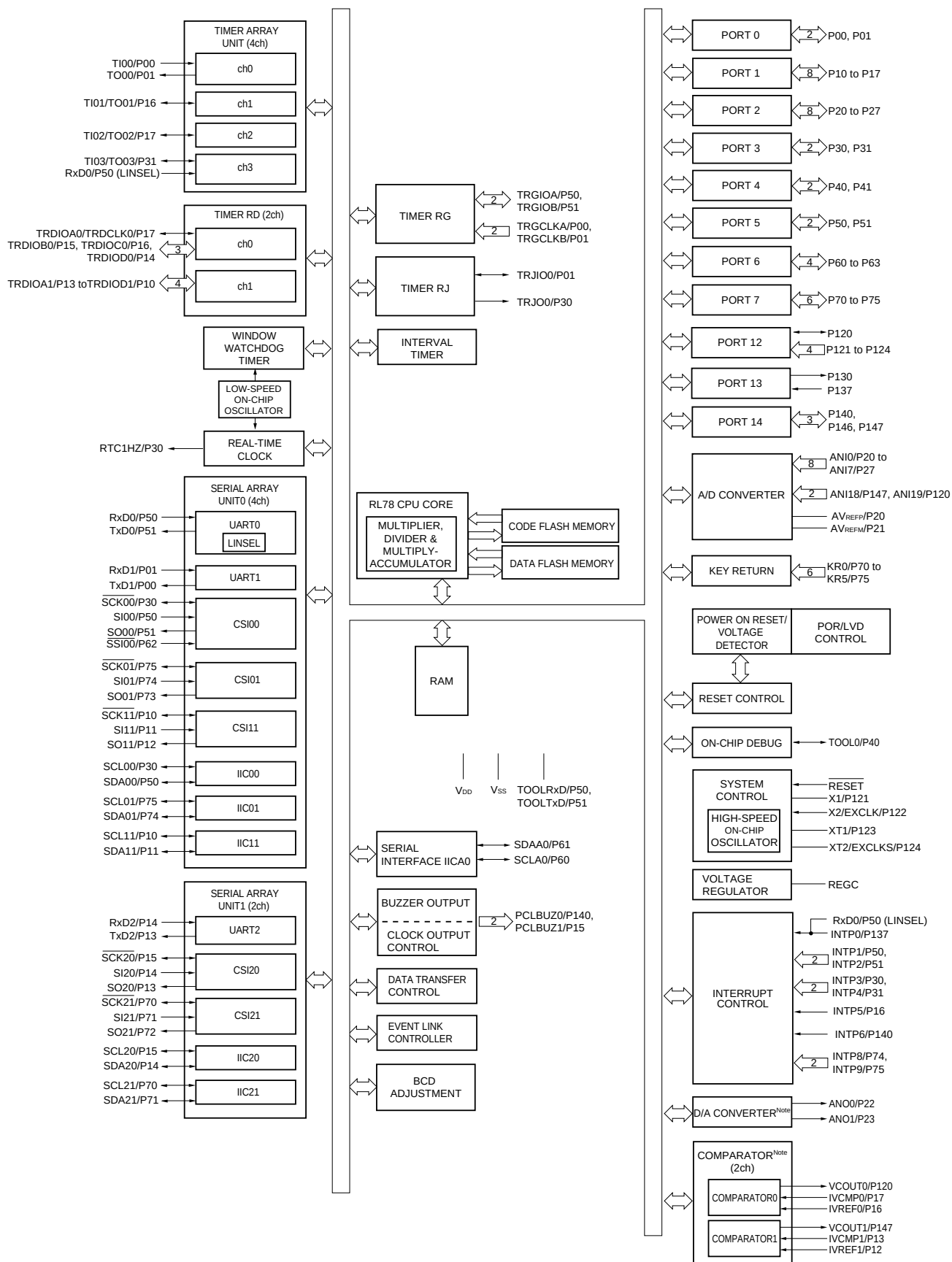
注 安装在代码闪存为 96 KB 或更大的产品上。

1.5.5 44 针产品



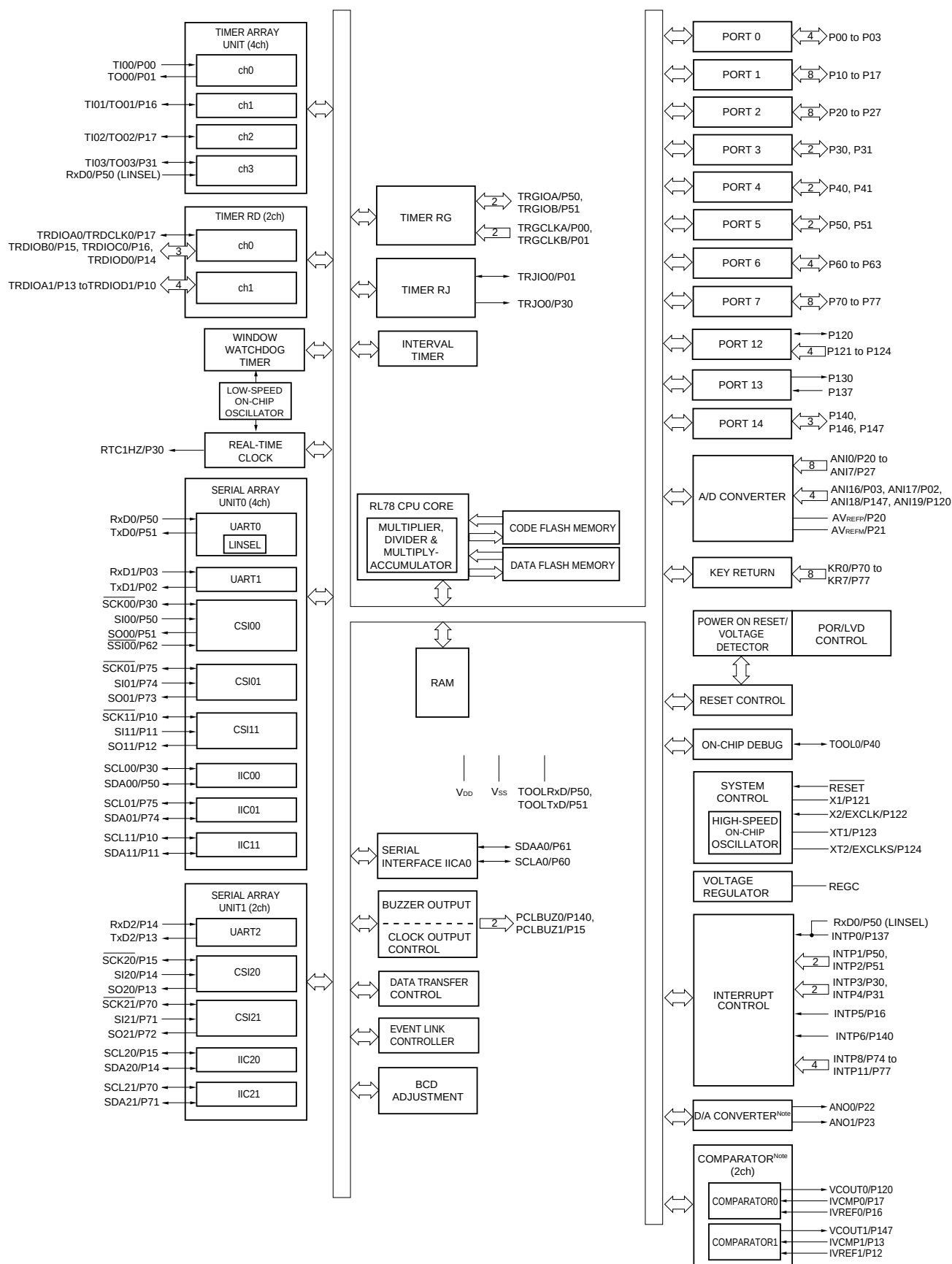
注 安装在代码闪存为 96 KB 或更大的产品上。

1.5.6 48 针产品



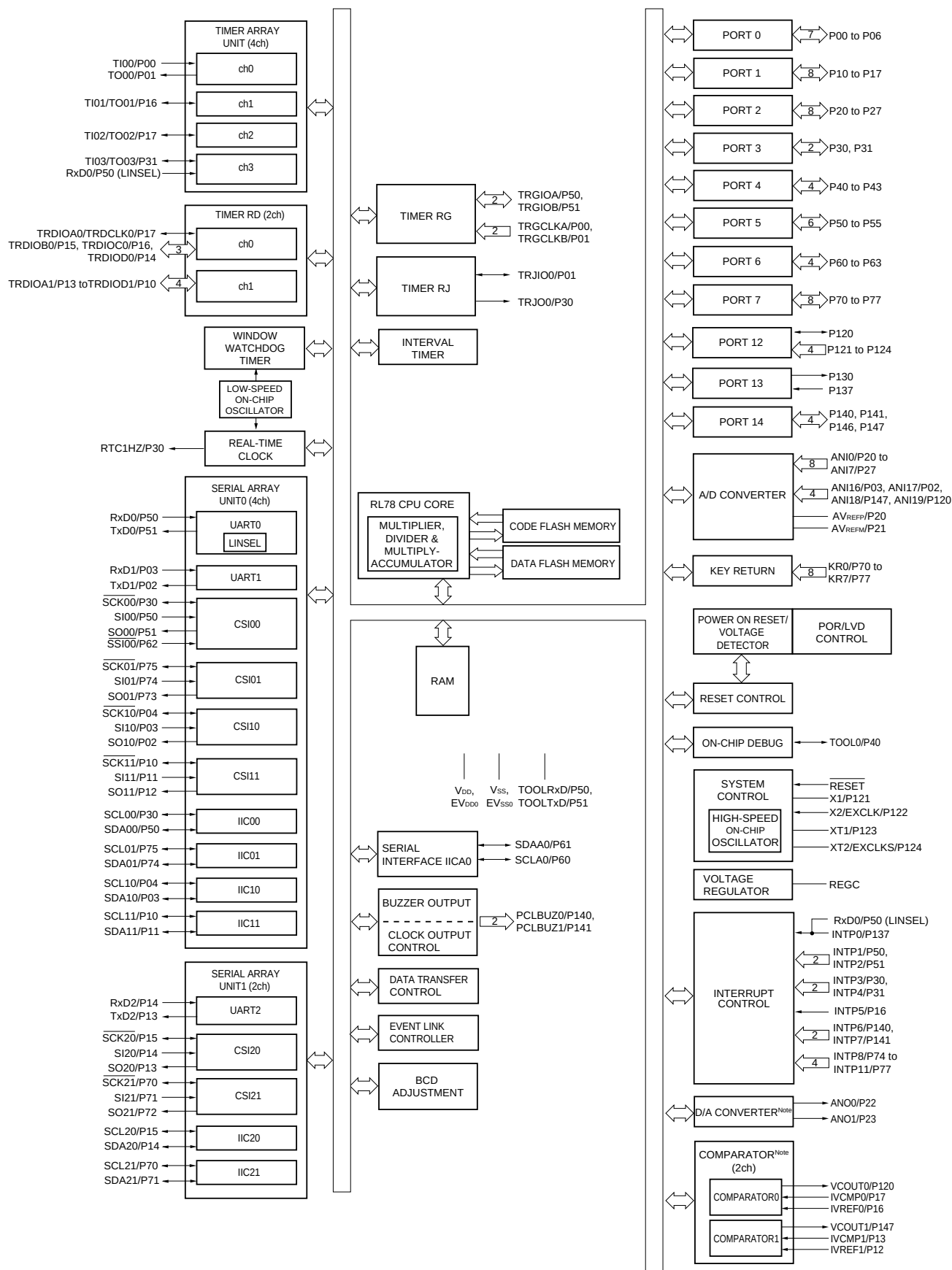
注 安装在代码闪存为 96 KB 或更大的产品上。

1.5.7 52 针产品



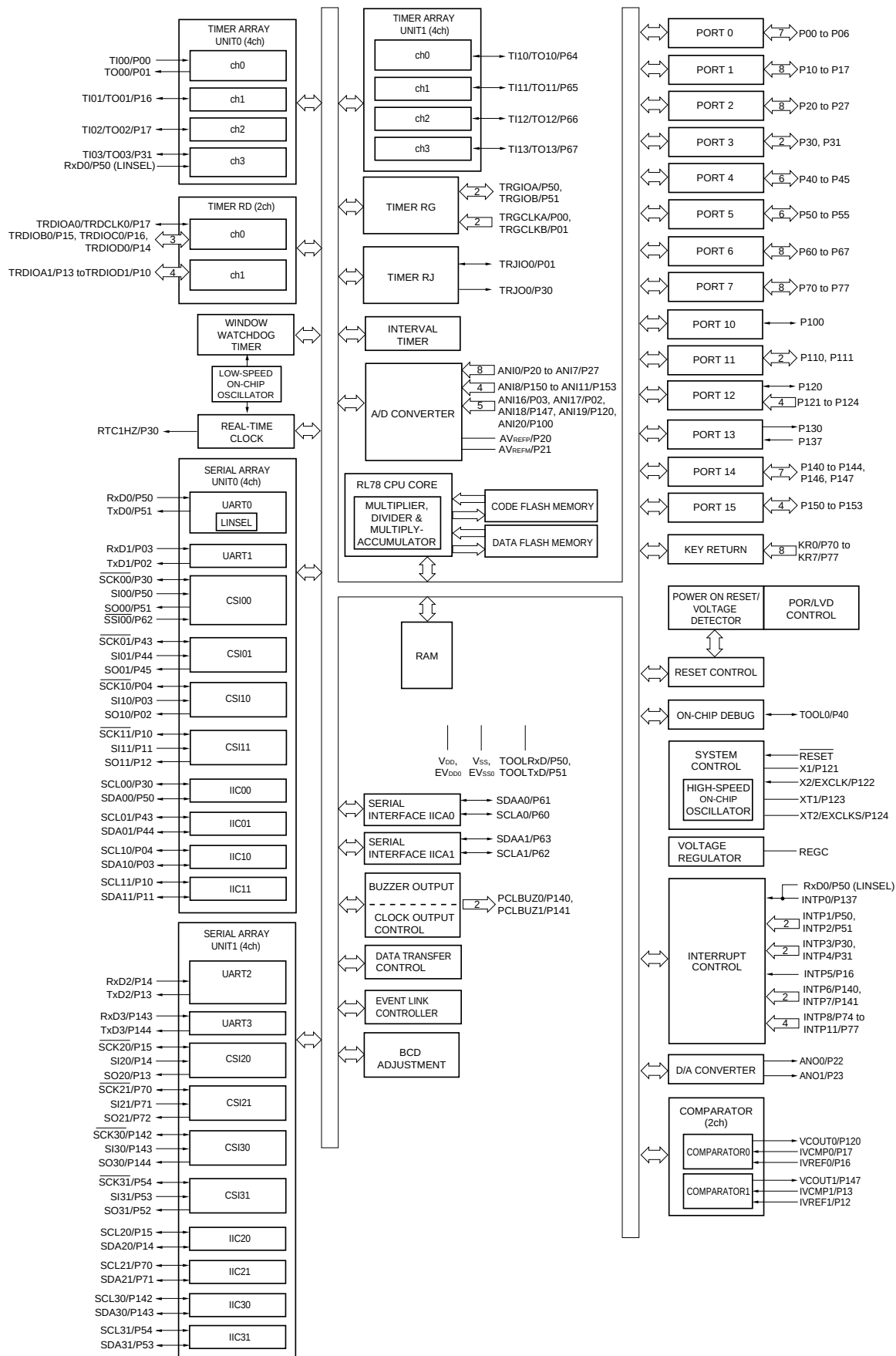
注 安装在代码闪存为 96 KB 或更大的产品上。

1.5.8 64 针产品

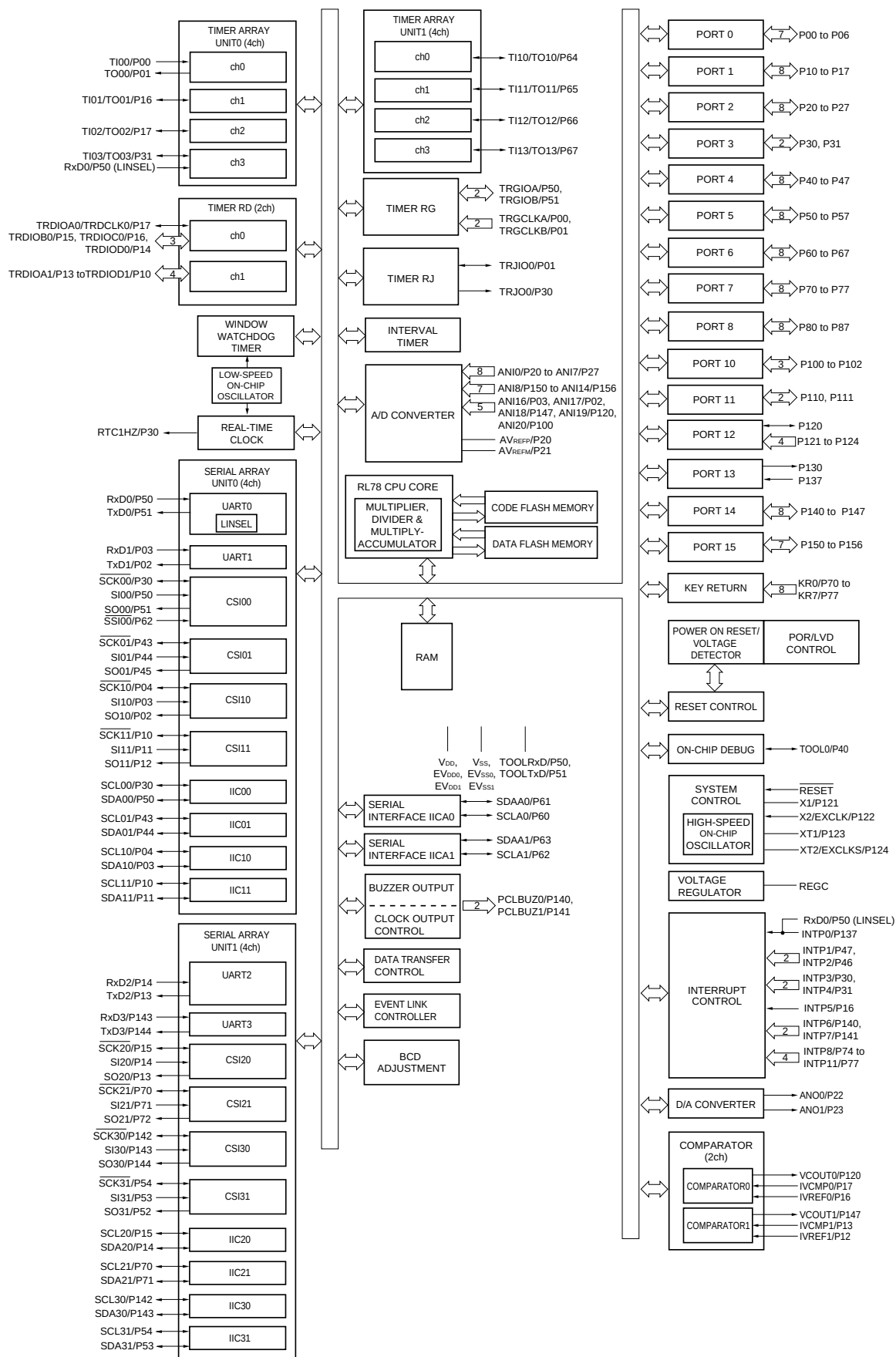


注 安装在代码闪存为 96 KB 或更大的产品上。

1.5.9 80 针产品



1.5.10 100 针产品



1.6 功能概述

[30 针, 32 针, 36 针, 40 针产品 (代码闪存 16 KB 至 64 KB)]

注意事项 本概述描述将外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 设置为 00H 时的功能。

(1/2)

项目		30 针	32 针	36 针	40 针
		R5F104Ax (x = A, C 至 E)	R5F104Bx (x = A, C 至 E)	R5F104Cx (x = A, C 至 E)	R5F104Ex (x = A, C 至 E)
代码闪存 (KB)		16 至 64	16 至 64	16 至 64	16 至 64
数据闪存 (KB)		4	4	4	4
RAM (KB)		2.5 至 5.5 [※]	2.5 至 5.5 [※]	2.5 至 5.5 [※]	2.5 至 5.5 [※]
存储空间		1 MB			
主系统时钟	高速系统时钟	X1 (晶体/陶瓷) 振荡, 外部主系统时钟输入 (EXCLK) 1 至 20 MHz: V _{DD} = 2.7 至 5.5 V, 1 至 8 MHz: V _{DD} = 1.8 至 2.7 V, 1 至 4 MHz: V _{DD} = 1.6 至 1.8 V			
	高速片上振荡器时钟 (f _{IH})	高速运行: 1 至 32 MHz (V _{DD} = 2.7 至 5.5 V), 高速运行: 1 至 16 MHz (V _{DD} = 2.4 至 5.5 V), 低速运行: 1 至 8 MHz (V _{DD} = 1.8 至 5.5 V), 低电压运行: 1 至 4 MHz (V _{DD} = 1.6 至 5.5 V)			
副系统时钟		—			XT1 (晶体) 振荡 32.768 kHz (TYP.): V _{DD} = 1.6 至 5.5 V
低速片上振荡器时钟		15 kHz (TYP.): V _{DD} = 1.6 至 5.5 V			
通用寄存器		8 位×32 个寄存器(8 位×8 个寄存器×4 组)			
最短指令执行时间		0.03125 μs (高速片上振荡器时钟: f _{IH} = 32 MHz 运行时)			
		0.05 μs (高速系统时钟: f _{MX} = 20 MHz 运行时)			
		—			30.5 μs (副系统时钟: f _{SUB} = 32.768 kHz 运行时)
指令集		• 数据传输 (8/16 位) • 加减法/逻辑运算 (8/16 位) • 乘法 (8 位×8 位, 16 位×16 位), 除法 (16 位÷16 位, 32 位÷32 位) • 乘法和累积运算 (16 位×16 位+32 位) • 旋转, 桶式移位和位操作 (设置, 复位, 测试和布尔运算)等			
I/O 端口	总数	26	28	32	36
	CMOS I/O	21	22	26	28
	CMOS 输入	3	3	3	5
	CMOS 输出	—	—	—	—
	N 沟道开路漏极 I/O (6 V 耐压)	2	3	3	3
定时器	16 位定时器	8 通道 (TAU: 4 通道, 定时器 RJ: 1 通道, 定时器 RD: 2 通道, 定时器 RG: 1 通道)			
	看门狗定时器	1 通道			
	实时时钟 (RTC)	1 通道			
	12 位间隔定时器	1 通道			
	定时器输出	16 (TAU: 4, 定时器 RJ: 2, 定时器 RD: 8, 定时器 RG: 2) PWM 输出: 10 (TAU: 3, 定时器 RD: 6, 定时器 RG: 1)			
	RTC 输出	—			1 • 1 Hz (副系统时钟: f _{SUB} = 32.768 kHz)

注 在值为 5.5KB 的情况下, 使用自编程功能和数据 flash 功能时, 该值约为 4.5KB。(有关详情, 请参阅第三章)

(2/2)

项目		30 针	32 针	36 针	40 针
		R5F104Ax (x = A, C 至 E)	R5F104Bx (x = A, C 至 E)	R5F104Cx (x = A, C 至 E)	R5F104Ex (x = A, C 至 E)
时钟输出/蜂鸣器输出		2	2	2	2
		[30 针, 32 针, 36 针产品] • 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (主系统时钟: $f_{\text{MAIN}} = 20 \text{ MHz}$ 运行时) [40 针产品] • 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (主系统时钟: $f_{\text{MAIN}} = 20 \text{ MHz}$ 运行时) • 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (副系统时钟: $f_{\text{SUB}} = 32.768 \text{ kHz}$ 运行时)			
8/10 位分辨率 A/D 转换器		8 通道	8 通道	8 通道	9 通道
串行接口		[30 针, 32 针产品] • CSI: 1 通道/UART (支持LIN-bus的UART): 1 通道/简化 I ² C: 1 通道 • CSI: 1 通道/UART: 1 通道/简化 I ² C: 1 通道 • CSI: 1 通道/UART: 1 通道/简化 I ² C: 1 通道 [36 针, 40 针产品] • CSI: 1 通道/UART (支持LIN-bus的UART): 1 通道/简化 I ² C: 1 通道 • CSI: 1 通道/UART: 1 通道/简化 I ² C: 1 通道 • CSI: 2 通道/UART: 1 通道/简化 I ² C: 2 通道			
	I ² C 总线	1 通道	1 通道	1 通道	1 通道
数据传输控制器 (DTC)		28 个源			29 个源
事件链接控制器 (ELC)		事件输入: 20 事件触发输出: 7			
向量中断源	内部	24	24	24	24
	外部	6	6	6	7
按键中断		—	—	—	4
复位		• 通过 $\overline{\text{RESET}}$ 引脚复位 • 通过看门狗定时器的内部复位 • 通过上电复位的内部复位 • 通过电压检测器的内部复位 • 通过执行非法指令*的内部复位 • 通过RAM奇偶检验错误的内部复位 • 通过非法存取内存的内部复位			
上电复位电路		• 上电复位: 1.51 ± 0.03 V • 掉电复位: 1.50 ± 0.03 V			
电压检测电路		1.63 V 至 4.06 V (14 个级别)			
片内调试功能		有			
电源电压		$V_{\text{DD}} = 1.6 \text{ 至 } 5.5 \text{ V}$			
运行环境温度		$T_{\text{A}} = -40 \text{ 至 } +85 \text{ }^{\circ}\text{C}$			

注 执行指令代码 FFH 时, 产生非法指令。

通过电路内置仿真器或片上调试仿真器进行仿真时, 不发生通过执行非法指令的内部复位。

[30 针, 32 针, 36 针, 40 针产品 (代码闪存 96 KB 至 256 KB)]

注意事项 本概述描述将外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 设置为 00H 时的功能。

(1/2)

项目		30 针	32 针	36 针	40 针
		R5F104Ax (x = F, G)	R5F104Bx (x = F, G)	R5F104Cx (x = F, G)	R5F104Ex (x = F 至 H)
代码闪存 (KB)		96 至 128	96 至 128	96 至 128	96 至 192
数据闪存 (KB)		8	8	8	8
RAM (KB)		12 至 16	12 至 16	12 至 16	12 至 20
存储空间		1 MB			
主系统时钟	高速系统时钟	X1 (晶体/陶瓷) 振荡, 外部主系统时钟输入 (EXCLK) 1 至 20 MHz: $V_{DD} = 2.7$ 至 5.5 V, 1 至 8 MHz: $V_{DD} = 1.8$ 至 2.7 V, 1 至 4 MHz: $V_{DD} = 1.6$ 至 1.8 V			
	高速片上振荡器时钟 (f_{IH})	高速运行: 1 至 32 MHz ($V_{DD} = 2.7$ 至 5.5 V), 高速运行: 1 至 16 MHz ($V_{DD} = 2.4$ 至 5.5 V), 低速运行: 1 至 8 MHz ($V_{DD} = 1.8$ 至 5.5 V), 低电压运行: 1 至 4 MHz ($V_{DD} = 1.6$ 至 5.5 V)			
副系统时钟		—			XT1 (晶体) 振荡 32.768 kHz (TYP.): $V_{DD} = 1.6$ 至 5.5 V
低速片上振荡器时钟		15 kHz (TYP.): $V_{DD} = 1.6$ 至 5.5 V			
通用寄存器		8 位×32 个寄存器(8 位×8 个寄存器×4 组)			
最短指令执行时间		0.03125 μ s (高速片上振荡器时钟: $f_{IH} = 32$ MHz 运行时)			
		0.05 μ s (高速系统时钟: $f_{MX} = 20$ MHz 运行时)			
		—			30.5 μ s (副系统时钟: $f_{SUB} = 32.768$ kHz 运行时)
指令集		• 数据传输 (8/16 位) • 加减法/逻辑运算 (8/16 位) • 乘法 (8 位×8 位, 16 位×16 位), 除法 (16 位÷16 位, 32 位÷32 位) • 乘法和累积运算 (16 位×16 位+32 位) • 旋转, 桶式移位和位操作 (设置, 复位, 测试和布尔运算)等			
I/O 端口	总数	26	28	32	36
	CMOS I/O	21	22	26	28
	CMOS 输入	3	3	3	5
	CMOS 输出	—	—	—	—
	N 沟道开路漏极 I/O (6 V 耐压)	2	3	3	3
定时器	16 位定时器	8 通道 (TAU: 4 通道, 定时器 RJ: 1 通道, 定时器 RD: 2 通道, 定时器 RG: 1 通道)			
	看门狗定时器	1 通道			
	实时时钟 (RTC)	1 通道			
	12 位间隔定时器	1 通道			
	定时器输出	16 (TAU: 4, 定时器 RJ: 2, 定时器 RD: 8, 定时器 RG: 2) PWM 输出: 10 (TAU: 3, 定时器 RD: 6, 定时器 RG: 1)			
	RTC 输出	—			1 • 1 Hz (副系统时钟: $f_{SUB} = 32.768$ kHz)

(2/2)

项目		30 针	32 针	36 针	40 针
		R5F104Ax (x = F, G)	R5F104Bx (x = F, G)	R5F104Cx (x = F, G)	R5F104Ex (x = F 至 H)
时钟输出/蜂鸣器输出		2	2	2	2
		[30 针, 32 针, 36 针产品] • 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (主系统时钟: $f_{\text{MAIN}} = 20 \text{ MHz}$ 运行时) [40 针产品] • 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (主系统时钟: $f_{\text{MAIN}} = 20 \text{ MHz}$ 运行时) • 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (副系统时钟: $f_{\text{SUB}} = 32.768 \text{ kHz}$ 运行时)			
8/10 位分辨率 A/D 转换器		8 通道	8 通道	8 通道	9 通道
D/A 转换器		1 通道	2 通道		
比较器		2 通道			
串行接口		[30 针, 32 针产品] • CSI: 1 通道/UART (支持LIN-bus的UART): 1 通道/简化 I ² C: 1 通道 • CSI: 1 通道/UART: 1 通道/简化 I ² C: 1 通道 • CSI: 1 通道/UART: 1 通道/简化 I ² C: 1 通道 [36 针, 40 针产品] • CSI: 1 通道/UART (支持LIN-bus的UART): 1 通道/简化 I ² C: 1 通道 • CSI: 1 通道/UART: 1 通道/简化 I ² C: 1 通道 • CSI: 2 通道/UART: 1 通道/简化 I ² C: 2 通道			
	I ² C总线	1 通道	1 通道	1 通道	1 通道
数据传输控制器 (DTC)		28 个源			29 个源
事件链接控制器 (ELC)		事件输入: 20 事件触发输出: 7			
向量中断源	内部	24	24	24	24
	外部	6	6	6	7
按键中断		—	—	—	4
复位		• 通过RESET引脚复位n • 通过看门狗定时器的内部复位 • 通过上电复位的内部复位 • 通过电压检测器的内部复位 • 通过执行非法指令 ^注 的内部复位 • 通过RAM奇偶检验错误的内部复位 • 通过非法存取内存的内部复位			
上电复位电路		• 上电复位: 1.51 ±0.03 V • 掉电复位: 1.50 ±0.03 V			
电压检测电路		1.63 V 至 4.06 V (14 个级别)			
片内调试功能		有			
电源电压		V _{DD} = 1.6 至 5.5 V			
运行环境温度		T _A = -40 至 +85 °C			

注 执行指令代码 FFH 时, 产生非法指令。

通过电路内置仿真器或片上调试仿真器进行仿真时, 不发生通过执行非法指令的内部复位。

[30 针, 32 针, 36 针, 40 针产品 (代码闪存 16 KB 至 64 KB)]

注意事项 本概述描述将外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 设置为 00H 时的功能。

(1/2)

项目		44 针	48 针	52 针	64 针
		R5F104Fx (x = A, C 至 E)	R5F104Gx (x = A, C 至 E)	R5F104Jx (x = C 至 E)	R5F104Lx (x = C 至 E)
代码闪存 (KB)		16 至 64	16 至 64	32 至 64	32 至 64
数据闪存 (KB)		4	4	4	4
RAM (KB)		2.5 至 5.5 [#]	2.5 至 5.5 [#]	4 至 5.5 [#]	4 至 5.5 [#]
存储空间		1 MB			
主系统时钟	高速系统时钟	X1 (晶体/陶瓷) 振荡, 外部主系统时钟输入 (EXCLK) 1 至 20 MHz: V _{DD} = 2.7 至 5.5 V, 1 至 8 MHz: V _{DD} = 1.8 至 2.7 V, 1 至 4 MHz: V _{DD} = 1.6 至 1.8 V			
	高速片上振荡器时钟 (f _{IH})	高速运行: 1 至 32 MHz (V _{DD} = 2.7 至 5.5 V), 高速运行: 1 至 16 MHz (V _{DD} = 2.4 至 5.5 V), 低速运行: 1 至 8 MHz (V _{DD} = 1.8 至 5.5 V), 低电压运行: 1 至 4 MHz (V _{DD} = 1.6 至 5.5 V)			
副系统时钟		XT1 (晶体) 振荡 32.768 kHz (TYP.): V _{DD} = 1.6 至 5.5 V			
低速片上振荡器时钟		15 kHz (TYP.): V _{DD} = 1.6 至 5.5 V			
通用寄存器		8 位×32 个寄存器(8 位×8 个寄存器×4 组)			
最短指令执行时间		0.03125 μs (高速片上振荡器时钟: f _{IH} = 32 MHz 运行时)			
		0.05 μs (高速系统时钟: f _{MX} = 20 MHz 运行时)			
		30.5 μs (副系统时钟: f _{SUB} = 32.768 kHz 运行时)			
指令集		• 数据传输 (8/16 位) • 加减法/逻辑运算 (8/16 位) • 乘法 (8 位 × 8 位, 16 位 × 16 位), 除法 (16 位 ÷ 16 位, 32 位 ÷ 32 位) • 乘法和累积运算 (16 位 × 16 位 + 32 位) • 旋转, 桶式移位和位操作 (设置, 复位, 测试和布尔运算)等			
I/O 端口	总数	40	44	48	58
	CMOS I/O	31	34	38	48
	CMOS 输入	5	5	5	5
	CMOS 输出	—	1	1	1
	N 沟道开路漏极 I/O (6 V 耐压)	4	4	4	4
定时器	16 位定时器	8 通道 (TAU: 4 通道, 定时器 RJ: 1 通道, 定时器 RD: 2 通道, 定时器 RG: 1 通道)			
	看门狗定时器	1 通道			
	实时时钟 (RTC)	1 通道			
	12 位间隔定时器	1 通道			
	定时器输出	16 (TAU: 4, 定时器 RJ: 2, 定时器 RD: 8, 定时器 RG: 2) PWM 输出: 10 (TAU: 3, 定时器 RD: 6, 定时器 RG: 1)			
	RTC 输出	1 • 1 Hz (副系统时钟: f _{SUB} = 32.768 kHz)			

注 在值为 5.5KB 的情况下, 使用自编程功能和数据 flash 功能时, 该值约为 4.5KB。(有关详情, 请参阅第三章)

(2/2)

项目		44 针	48 针	52 针	64 针
		R5F104Fx (x = A, C 至 E)	R5F104Gx (x = A, C 至 E)	R5F104Jx (x = C 至 E)	R5F104Lx (x = C 至 E)
时钟输出/蜂鸣器输出		2	2	2	2
		• 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (主系统时钟: f _{MAIN} = 20 MHz 运行时) • 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (副系统时钟: f _{SUB} = 32.768 kHz 运行时)			
8/10 位分辨率 A/D 转换器		10 通道	10 通道	12 通道	12 通道
串行接口		[44 针产品] • CSI: 1 通道/UART (支持LIN-bus的UART): 1 通道/简化 I ² C: 1 通道 • CSI: 1 通道/UART: 1 通道/简化 I ² C: 1 通道 • CSI: 2 通道/UART: 1 通道/简化 I ² C: 2 通道 [48 针, 52 针产品] • CSI: 2 通道/UART (支持LIN-bus的UART): 1 通道/简化 I ² C: 2 通道 • CSI: 1 通道/UART: 1 通道/简化 I ² C: 1 通道 • CSI: 2 通道/UART: 1 通道/简化 I ² C: 2 通道 [64 针产品] • CSI: 2 通道/UART(支持LIN-bus的UART): 1 通道/简化 I ² C: 2 通道 • CSI: 2 通道/UART: 1 通道/简化 I ² C: 2 通道 • CSI: 2 通道/UART: 1 通道/简化 I ² C: 2 通道			
		I ² C总线	1 通道	1 通道	1 通道
数据传输控制器 (DTC)		29 个源	30 个源		31 个源
事件链接控制器 (ELC)		事件输入: 20 事件触发输出: 7			
向量中断源	内部	24	24	24	24
	外部	7	10	12	13
按键中断		4	6	8	8
复位		• 通过RESET引脚复位 • 通过看门狗定时器的内部复位 • 通过上电复位的内部复位 • 通过电压检测器的内部复位 • 通过执行非法指令 ^注 的内部复位 • 通过RAM奇偶检验错误的内部复位 • 通过非法存取内存的内部复位			
上电复位电路		• 上电复位: 1.51 ±0.03 V • 掉电复位: 1.50 ±0.03 V			
电压检测电路		1.63 V 至 4.06 V (14 个级别)			
片内调试功能		有			
电源电压		V _{DD} = 1.6 至 5.5 V			
运行环境温度		T _A = -40 至 +85 °C			

注 执行指令代码 FFH 时, 产生非法指令。

通过电路内置仿真器或片上调试仿真器进行仿真时, 不发生通过执行非法指令的内部复位。

[30 针, 32 针, 36 针, 40 针产品 (代码闪存 96 KB 至 256 KB)]

注意事项 本概述描述将外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 设置为 00H 时的功能。

(1/2)

项目		44 针	48 针	52 针	64 针
		R5F104Fx (x = F 至 H, J)	R5F104Gx (x = F 至 H, J)	R5F104Jx (x = F 至 H, J)	R5F104Lx (x = F 至 H, J)
代码闪存 (KB)		96 至 256	96 至 256	96 至 256	96 至 256
数据闪存 (KB)		8	8	8	8
RAM (KB)		12 至 24 ^注	12 至 24 ^注	12 至 24 ^注	12 至 24 ^注
存储空间		1 MB			
主系统时钟	高速系统时钟	X1 (晶体/陶瓷) 振荡, 外部主系统时钟输入 (EXCLK) 1 至 20 MHz: V _{DD} = 2.7 至 5.5 V, 1 至 8 MHz: V _{DD} = 1.8 至 2.7 V, 1 至 4 MHz: V _{DD} = 1.6 至 1.8 V			
	高速片上振荡器时钟 (f _{IH})	高速运行: 1 至 32 MHz (V _{DD} = 2.7 至 5.5 V), 高速运行: 1 至 16 MHz (V _{DD} = 2.4 至 5.5 V), 低速运行: 1 至 8 MHz (V _{DD} = 1.8 至 5.5 V), 低电压运行: 1 至 4 MHz (V _{DD} = 1.6 至 5.5 V)			
副系统时钟		XT1 (晶体) 振荡 32.768 kHz (TYP.): V _{DD} = 1.6 至 5.5 V			
低速片上振荡器时钟		15 kHz (TYP.): V _{DD} = 1.6 至 5.5 V			
通用寄存器		8 位×32 个寄存器(8 位×8 个寄存器×4 组)			
最短指令执行时间		0.03125 μs (高速片上振荡器时钟: f _{IH} = 32 MHz 运行时)			
		0.05 μs (高速系统时钟: f _{MX} = 20 MHz 运行时)			
		30.5 μs (副系统时钟: f _{SUB} = 32.768 kHz 运行时)			
指令集		• 数据传输 (8/16 位) • 加减法/逻辑运算 (8/16 位) • 乘法 (8 位×8 位, 16 位×16 位), 除法 (16 位÷16 位, 32 位÷32 位) • 乘法和累积运算 (16 位×16 位+32 位) • 旋转, 桶式移位和位操作 (设置, 复位, 测试和布尔运算)等			
I/O 端口	总数	40	44	48	58
	CMOS I/O	31	34	38	48
	CMOS 输入	5	5	5	5
	CMOS 输出	—	1	1	1
	N 沟道开路漏极 I/O (6 V 耐压)	4	4	4	4
定时器	16 位定时器	8 通道 (TAU: 4 通道, 定时器 RJ: 1 通道, 定时器 RD: 2 通道, 定时器 RG: 1 通道)			
	看门狗定时器	1 通道			
	实时时钟 (RTC)	1 通道			
	12 位间隔定时器	1 通道			
	定时器输出	16 (TAU: 4, 定时器 RJ: 2, 定时器 RD: 8, 定时器 RG: 2) PWM 输出: 10 (TAU: 3, 定时器 RD: 6, 定时器 RG: 1)			
	RTC 输出	1 • 1 Hz (副系统时钟: f _{SUB} = 32.768 kHz)			

注 在值为 24KB 的情况下, 使用自编程功能和数据 flash 功能时, 该值约为 23KB。(有关详情, 请参阅第三章)

(2/2)

项目		44 针	48 针	52 针	64 针
		R5F104Fx (x = F 至 H, J)	R5F104Gx (x = F 至 H, J)	R5F104Jx (x = F 至 H, J)	R5F104Lx (x = F 至 H, J)
时钟输出/蜂鸣器输出		2	2	2	2
		2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (主系统时钟: f_{MAIN} = 20 MHz 运行时) 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (副系统时钟: f_{SUB} = 32.768 kHz 运行时)			
8/10 位分辨率 A/D 转换器		10 通道	10 通道	12 通道	12 通道
D/A 转换器		2 通道			
比较器		2 通道			
串行接口		[44 针产品] - CSI: 1 通道/UART (支持LIN-bus的UART): 1 通道/简化 I²C: 1 通道 - CSI: 1 通道/UART: 1 通道/简化 I²C: 1 通道 - CSI: 2 通道/UART: 1 通道/简化 I²C: 2 通道 [48 针, 52 针产品] - CSI: 2 通道/UART (支持LIN-bus的UART): 1 通道/简化 I²C: 2 通道 - CSI: 1 通道/UART: 1 通道/简化 I²C: 1 通道 - CSI: 2 通道/UART: 1 通道/简化 I²C: 2 通道 [64 针产品] - CSI: 2 通道/UART(支持LIN-bus的UART): 1 通道/简化 I²C: 2 通道 - CSI: 2 通道/UART: 1 通道/简化 I²C: 2 通道 - CSI: 2 通道/UART: 1 通道/简化 I²C: 2 通道			
		I ² C总线	1 通道	1 通道	1 通道
数据传输控制器 (DTC)		29 个源	30 个源		31 个源
事件链接控制器 (ELC)		事件输入: 20 事件触发输出: 7			
向量中断源	内部	24	24	24	24
	外部	7	10	12	13
按键中断		4	6	8	8
复位		- 通过RESET引脚复位 - 通过看门狗定时器的内部复位 - 通过上电复位的内部复位 - 通过电压检测器的内部复位 - 通过执行非法指令[※]的内部复位 - 通过RAM奇偶检验错误的内部复位 - 通过非法存取内存的内部复位			
上电复位电路		- 上电复位: 1.51 ±0.03 V - 掉电复位: 1.50 ±0.03 V			
电压检测电路		1.63 V 至 4.06 V (14 个级别)			
片内调试功能		有			
电源电压		V _{DD} = 1.6 至 5.5 V			
运行环境温度		T _A = -40 至 +85 °C			

注 执行指令代码 FFH 时, 产生非法指令。

通过电路内置仿真器或片上调试仿真器进行仿真时, 不发生通过执行非法指令的内部复位。

[80 针, 100 针产品 (代码闪存 96 KB 至 256 KB)]

注意事项 本概述描述将外围 I/O 重定向寄存器 0, 1 (PIOR0, 1) 设置为 00H 时的功能。

(1/2)

项目		80 针	100 针
		R5F104Mx (x = F 至 H, J)	R5F104Px (x = F 至 H, J)
代码闪存 (KB)		96 至 256	96 至 256
数据闪存 (KB)		8	8
RAM (KB)		12 至 24 [#]	12 至 24 [#]
存储空间		1 MB	
主系统时钟	高速系统时钟	X1 (晶体/陶瓷) 振荡, 外部主系统时钟输入 (EXCLK) 1 至 20 MHz: V _{DD} = 2.7 至 5.5 V, 1 至 8 MHz: V _{DD} = 1.8 至 2.7 V, 1 至 4 MHz: V _{DD} = 1.6 至 1.8 V	
	高速片上振荡器时钟 (f _{IH})	高速运行: 1 至 32 MHz (V _{DD} = 2.7 至 5.5 V), 高速运行: 1 至 16 MHz (V _{DD} = 2.4 至 5.5 V), 低速运行: 1 至 8 MHz (V _{DD} = 1.8 至 5.5 V), 低电压运行: 1 至 4 MHz (V _{DD} = 1.6 至 5.5 V)	
副系统时钟		XT1 (晶体) 振荡 32.768 kHz (TYP.): V _{DD} = 1.6 至 5.5 V	
低速片上振荡器时钟		15 kHz (TYP.): V _{DD} = 1.6 至 5.5 V	
通用寄存器		8 位×32 个寄存器(8 位×8 个寄存器×4 组)	
最短指令执行时间		0.03125 μs (高速片上振荡器时钟: f _{IH} = 32 MHz 运行时)	
		0.05 μs (高速系统时钟: f _{MX} = 20 MHz 运行时)	
		30.5 μs (副系统时钟: f _{SUB} = 32.768 kHz 运行时)	
指令集		• 数据传输 (8/16 位) • 加减法/逻辑运算 (8/16 位) • 乘法 (8 位×8 位, 16 位×16 位), 除法 (16 位÷16 位, 32 位÷32 位) • 乘法和累积运算 (16 位×16 位+32 位) • 旋转, 桶式移位和位操作 (设置, 复位, 测试和布尔运算)等	
I/O 端口	总数	74	92
	CMOS I/O	64	82
	CMOS 输入	5	5
	CMOS 输出	1	1
	N 沟道开路漏极 I/O (6 V 耐压)	4	4
定时器	16 位定时器	12 通道 (TAU: 8 通道, 定时器 RJ: 1 通道, 定时器 RD: 2 通道, 定时器 RG: 1 通道)	
	看门狗定时器	1 通道	
	实时时钟 (RTC)	1 通道	
	12 位间隔定时器	1 通道	
	定时器输出	20 (TAU: 8, 定时器 RJ: 2, 定时器 RD: 8, 定时器 RG: 2) PWM 输出: 13 (TAU: 6, 定时器 RD: 6, 定时器 RG: 1)	
	RTC 输出	1 • 1 Hz (副系统时钟: f _{SUB} = 32.768 kHz)	

注 在值为 24KB 的情况下, 使用自编程功能和数据 flash 功能时, 该值约为 23KB。 (有关详情, 请参阅第三章)

(2/2)

项目		80 针	100 针
		R5F104Mx (x = F 至 H, J)	R5F104Px (x = F 至 H, J)
时钟输出/蜂鸣器输出		2	2
		2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (主系统时钟: $f_{\text{MAIN}} = 20 \text{ MHz}$ 运行时) 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (副系统时钟: $f_{\text{SUB}} = 32.768 \text{ kHz}$ 运行时)	
8/10 位分辨率 A/D 转换器		17 通道	20 通道
D/A 转换器		2 通道	2 通道
比较器		2 通道	2 通道
串行接口		[80 针, 100 针产品] - CSI: 2 通道/UART (支持LIN-bus的UART): 1 通道/简化 I²C: 2 通道 - CSI: 2 通道/UART: 1 通道/简化 I²C: 2 通道 - CSI: 2 通道/UART: 1 通道/简化 I²C: 2 通道 - CSI: 2 通道/UART: 1 通道/简化 I²C: 2 通道	
	I ² C总线	2 通道	2 通道
数据传输控制器 (DTC)		39 个源	39 个源
事件链接控制器 (ELC)		事件输入: 26 事件触发输出: 9	
向量中断源	内部	32	32
	外部	13	13
按键中断		8	8
复位		- 通过RESET引脚复位 - 通过看门狗定时器的内部复位 - 通过上电复位的内部复位 - 通过电压检测器的内部复位 - 通过执行非法指令^{FE}的内部复位 - 通过RAM奇偶检验错误的内部复位 - 通过非法存取内存的内部复位	
上电复位电路		- 上电复位: 1.51 ± 0.03 V - 掉电复位: 1.50 ± 0.03 V	
电压检测电路		1.63 V 至 4.06 V (14 个级别)	
片内调试功能		有	
电源电压		V _{DD} = 1.6 至 5.5 V	
运行环境温度		T _A = -40 至 +85 °C	

注 执行指令代码 FFH 时, 产生非法指令。
 通过电路内置仿真器或片上调试仿真器进行仿真时, 不发生通过执行非法指令的内部复位。

第二章 引脚功能

2.1 引脚功能列表

引脚的输入/输出缓冲器电源因产品而异。各个电源和引脚的关系如下所示。

表 2-1. 引脚输入/输出缓冲器电源

(1) 30 针、32 针、36 针、40 针、44 针、48 针、52 针产品

电源	对应引脚
V _{DD}	所有引脚

(2) 64 针产品

电源	对应引脚
EV _{DD0}	除了 P20 至 P27、P121 至 P124 和 P137 以外的端口引脚
V _{DD}	• P20 至 P27、P121 至 P124 和 P137 • 端口引脚以外的引脚

(3) 80 针产品

电源	对应引脚
EV _{DD0}	除了 P20 至 P27、P121 至 P124、P137 和 P150 至 P153 以外的端口引脚
V _{DD}	• P20 至 P27、P121 至 P124、P137 和 P150 至 P153 • 端口引脚以外的引脚

(4) 100 针产品

电源	对应引脚
EV _{DD0} , EV _{DD1}	除了 P20 至 P27、P121 至 P124、P137 和 P150 至 P156 以外的端口引脚
V _{DD}	• P20 至 P27、P121 至 P124、P137 和 P150 至 P156 • 端口引脚以外的引脚

2.1.1 30 针产品

(1/2)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 2 位输入/输出端口。 P01 的输入可被设置为 TTL 输入缓冲器。 P00 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 P00 和 P01 可被设置为模拟输入。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	模拟输入 端口	ANI17/TI00/TxD1/ TRGCLKA/TRJ00
P01				ANI16/TO00/RxD1/ TRGCLKB/TRJIO0
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	SCK11/SCL11/ TRDIOD1
P11				SI11/SDA11/ TRDIOC1
P12				SO11/TRDIOB1/ IVREF1 [‡]
P13				TxD2/SO20/ TRDIOA1/IVCMP1 [‡]
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				PCLBUZ1/SCK20/ SCL20/TRDIOB0/ (SDAA0)
P16				TI01/TO01/INTP5/ TRDIOC0/IVREF0 [‡] / (RXD0)
P17				TI02/TO02/ TRDIOA0/TRDCLK0/ IVCMP0 [‡] /(TXD0)
P20	输入/输出	端口 2。 4 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入 端口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0 [‡]
P23				ANI3
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/SCK00/SCL00/ TRJ00
P31				TI03/TO03/INTP4/ PCLBUZ0/SSI00/ (TRJIO0)
P40	输入/输出	端口 4。 1 位输入/输出端口。 可以指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TOOL0

注 安装在代码闪存为 96 KB 或更大的产品上。

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 来分配上图括号内的功能。

2.1.2 32 针产品

(1/2)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 2 位输入/输出端口。 P01 的输入可被设置为 TTL 输入缓冲器。 P00 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 P00 和 P01 可被设置为模拟输入。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	模拟输入端口	ANI17/TI00/TxD1/ TRGCLKA/(TRJ00)
P01				ANI16/TO00/RxD1/ TRGCLKB/TRJIO0
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	SCK11/SCL11/ TRDIOD1
P11				SI11/SDA11/ TRDIOC1
P12				SO11/TRDIOB1/ IVREF1 [‡]
P13				TxD2/SO20/ TRDIOA1/IVCMP1 [‡]
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				PCLBUZ1/SCK20/ SCL20/TRDIOB0/ (SDAA0)
P16				TI01/TO01/INTP5/ TRDIOC0/IVREF0 [‡] / (RXD0)
P17				TI02/TO02/ TRDIOA0/TRDCLK0/ IVCMP0 [‡] /(TXD0)
P20	输入/输出	端口 2。 4 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0 [‡]
P23				ANI3/ANO1 [‡]
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/SCK00/SCL00/ TRJ00
P31				TI03/TO03/INTP4/ PCLBUZ0/(TRJIO0)
P40	输入/输出	端口 4。 1 位输入/输出端口。 可以指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TOOL0

注 安装在代码闪存为 96 KB 或更大的产品上。

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 来分配上图括号内的功能。

2.1.3 36 针产品

(1/2)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 2 位输入/输出端口。 P01 的输入可被设置为 TTL 输入缓冲器。 P00 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TI00/TxD1/ TRGCLKA/(TRJ00)
P01				TO00/RxD1/ TRGCLKB/(TRJIO0)
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	$\overline{\text{SCK11}}/\text{SCL11}/$ TRDIOD1
P11				SI11/SDA11/ TRDIOC1
P12				SO11/TRDIOB1/ IVREF1 ^注
P13				TxD2/SO20/ TRDIOA1/IVCMP1 ^注
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				PCLBUZ1/ $\overline{\text{SCK20}}/$ SCL20/TRDIOB0/ (SDAA0)
P16				TI01/TO01/INTP5/ TRDIOC0/IVREF0 ^注 / (RXD0)
P17				TI02/TO02/ TRDIOA0/TRDCLK0/ IVCMP0 ^注 /(TXD0)
P20	输入/输出	端口 2。 6 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0 ^注
P23				ANI3/ANO1 ^注
P24				ANI4
P25				ANI5
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/ $\overline{\text{SCK00}}/\text{SCL00}/$ TRJ00
P31				TI03/TO03/INTP4/ PCLBUZ0/(TRJIO0)
P40	输入/输出	端口 4。 1 位输入/输出端口。 可以指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TOOL0

注 安装在代码闪存为 96 KB 或更大的产品上。

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上图括号内的功能。

2.1.4 40 针产品

(1/2)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 2 位输入/输出端口。 P01 的输入可被设置为 TTL 输入缓冲器。 P00 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TI00/TxD1/ TRGCLKA/(TRJ00)
P01				TO00/RxD1/ TRGCLKB/(TRJIO0)
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	$\overline{\text{SCK11}}/\text{SCL11}/$ TRDIOD1
P11				SI11/SDA11/TRDIOC1
P12				SO11/TRDIOB1/ IVREF1 [※]
P13				TxD2/SO20/ TRDIOA1/IVCMP1 [※]
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				PCLBUZ1/ $\overline{\text{SCK20}}/$ SCL20/TRDIOB0/ (SDAA0)
P16				TI01/TO01/INTP5/ TRDIOC0/IVREF0 [※] / (RxD0)
P17				TI02/TO02/ TRDIOA0/TRDCLK0/ IVCMP0 [※] /(TXD0)
P20	输入/输出	端口 2。 7 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0 [※]
P23				ANI3/ANO1 [※]
P24				ANI4
P25				ANI5
P26				ANI6
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/RTC1HZ/ SCK00/SCL00/ TRJ00
P31				TI03/TO03/INTP4/ PCLBUZ0/(TRJIO0)
P40	输入/输出	端口 4。 1 位输入/输出端口。 可以指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TOOL0

注 安装在代码闪存为 96 KB 或更大的产品上。

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上图括号内的功能。

(2/2)

功能名称	输入/输出	功能	复位后	复用功能
P50	输入/输出	端口 5。 2 位输入/输出端口。 P50 的输入可被设置为 TTL 输入缓冲器。 P50 和 P51 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP1/SI00/RxD0/ TOOLRxD/SDA00/ TRGIOA/(TRJO0)
P51				INTP2/SO00/TxD0/ TOOLTxD/TRGIOB
P60	输入/输出	端口 6。 3 位输入/输出端口。 P60 至 P62 的输出为 N 沟道开路漏极输出(6 V 耐压)。 可以按 1 位单位指定为输入/输出。	输入端口	SCLA0
P61				SDAA0
P62				SSI00
P70	输入/输出	端口 7。 4 位输入/输出端口。 P71 的输出可被设置为 N 沟道开路漏极输出(EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	KR0/SCK21/SCL21
P71				KR1/SI21/SDA21
P72				KR2/SO21
P73				KR3
P120	输入/输出	端口 12。 1 位输入/输出端口和 4 位输入端口。 P120 可被设置为模拟输入。 仅限 P120 可被指定为输入/输出。 仅限 P120, 可通过软件设置使用片上上拉电阻。	模拟输入端 口	ANI19/VCOUT0 ^注
P121	输入		输入端口	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P137	输入	端口 13。 1 位输入端口。	输入端口	INTP0
P147	输入/输出	端口 14。 1 位输入/输出端口。 P147 可被设置为模拟输入。 可被指定为输入/输出。 可通过软件设置使用片上上拉电阻。	模拟输入端 口	ANI18/VCOUT1 ^注

注 安装在代码闪存为 96 KB 或更大的产品上。

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上图括号内的功能。

2.1.5 44 针产品

(1/2)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 2 位输入/输出端口。 P01 的输入可被设置为 TTL 输入缓冲器。 P00 的输出可被设置为 N 沟道开路漏极输出(EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TI00/TxD1/ TRGCLKA/(TRJ00)
P01				TO00/RxD1/ TRGCLKB/TRJIO0
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出(EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	SCK11/SCL11/ TRDIOD1
P11				SI11/SDA11/TRDIOC1
P12				SO11/TRDIOB1/ IVREF1 [‡]
P13				TxD2/SO20/ TRDIOA1/IVCMP1 [‡]
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				PCLBUZ1/ $\overline{\text{SCK20}}$ / SCL20/TRDIOB0/ (SDAA0)
P16				TI01/TO01/INTP5/ TRDIOC0/IVREF0 [‡] / (RXD0)
P17				TI02/TO02/ TRDIOA0/TRDCLK0/ IVCMP0 [‡] /(TXD0)
P20	输入/输出	端口 2。 8 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0 [‡]
P23				ANI3/ANO1 [‡]
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出(EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/RTC1HZ/ SCK00/SCL00/ TRJ00
P31				TI03/TO03/INTP4/ PCLBUZ0/(TRJIO0)
P40	输入/输出	端口 4。 2 位输入/输出端口。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TOOL0
P41				—

注 安装在代码闪存为 96 KB 或更大的产品上。

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上图括号内的功能。

2.1.6 48 针产品

(1/2)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 2 位输入/输出端口。 P01 的输入可被设置为 TTL 输入缓冲器。 P00 的输出可被设置为 N 沟道开路漏极输出(E_{VDD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TI00/TxD1/TRGCLKA/ (TRJO0)
P01				TO00/RxD1/ TRGCLKB/TRJIO0
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出(E_{VDD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	SCK11/SCL11/ TRDIOD1
P11				SI11/SDA11/TRDIOC1
P12				SO11/TRDIOB1/ IVREF1 ^注
P13				TxD2/SO20/ TRDIOA1/IVCMP1 ^注
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				PCLBUZ1/ $\overline{\text{SCK20}}$ / SCL20/TRDIOB0/ (SDAA0)
P16				TI01/TO01/INTP5/ TRDIOC0/IVREF0 ^注 / (RXD0)
P17				TI02/TO02/ TRDIOA0/TRDCLK0/ IVCMP0 ^注 /(TXD0)
P20	输入/输出	端口 2。 8 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端 口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0 ^注
P23				ANI3/ANO1 ^注
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出(E_{VDD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/RTC1HZ/ SCK00/SCL00/ TRJO0
P31				TI03/TO03/INTP4/ (PCLBUZ0)/(TRJIO0)
P40	输入/输出	端口 4。 2 位输入/输出端口。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TOOL0
P41				(TRJIO0)

注 安装在代码闪存为 96 KB 或更大的产品上。

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上图括号内的功能。

2.1.7 52 针产品

(1/2)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 4 位输入/输出端口。 P01 和 P03 的输入可被设置为 TTL 输入缓冲器。 P00、P02 和 P03 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 P02 和 P03 可被设置为模拟输入。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TI00/TRGCLKA/ (TRJ00)
P01				TO00/TRGCLKB/ TRJIO0
P02			模拟输入端口	ANI17/TxD1
P03				ANI16/RxD1
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	SCK11/SCL11/ TRDIOD1
P11				SI11/SDA11/TRDIOC1
P12				SO11/TRDIOB1/ IVREF1 [‡]
P13				TxD2/SO20/ TRDIOA1/IVCMP1 [‡]
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				PCLBUZ1/SCK20/ SCL20/TRDIOB0/ (SDAA0)
P16				TI01/TO01/INTP5/ TRDIOC0/IVREF0 [‡] / (RxD0)
P17				TI02/TO02/ TRDIOA0/TRDCLK0/ IVCMP0 [‡] /(TXD0)
P20	输入/输出	端口 2。 8 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0 [‡]
P23				ANI3/ANO1 [‡]
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/RTC1HZ/ SCK00/SCL00/ TRJ00
P31				TI03/TO03/INTP4/ (PCLBUZ0)/(TRJIO0)
P40	输入/输出	端口 4。 2 位输入/输出端口。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TOOL0
P41				(TRJIO0)

注 安装在代码闪存为 96 KB 或更大的产品上。

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 来分配上图括号内的功能。

2.1.8 64 针产品

(1/2)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 7 位输入/输出端口。 P01、P03 和 P04 的输入可被设置为 TTL 输入缓冲器。 P00、P02 至 P04 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 P02 和 P03 可被设置为模拟输入。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TI00/TRGCLKA/ (TRJO0)
P01				TO00/TRGCLKB/ TRJIO0
P02			模拟输入端口	ANI17/SO10/TxD1
P03				ANI16/SI10/RxD1/ SDA10
P04			输入端口	SCK10/SCL10
P05				(INTP10)
P06				(INTP11)/(TRJIO0)
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	SCK11/SCL11/ TRDIOD1
P11				SI11/SDA11/ TRDIOC1
P12				SO11/TRDIOB1/ IVREF1 ^注 /(INTP5)
P13				TxD2/SO20/ TRDIOA1/IVCMP1 ^注
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				SCK20/SCL20/ TRDIOB0/(SDAA0)
P16				TI01/TO01/INTP5/ TRDIOC0/IVREF0 ^注 / (SI00)/(RxD0)
P17				TI02/TO02/TRDIOA0/ TRDCLK0/IVCMP0 ^注 / (SO00)/(TXD0)
P20	输入/输出	端口 2。 8 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0 ^注
P23				ANI3/ANO1 ^注
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/RTC1HZ/ SCK00/SCL00/ TRJO0
P31				TI03/TO03/INTP4

注 安装在代码闪存为 96 KB 或更大的产品上。

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 来分配上图括号内的功能。

2.1.9 80 针产品

(1/3)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 7 位输入/输出端口。 P01、P03 和 P04 的输入可被设置为 TTL 输入缓冲器。 P00、P02 至 P04 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 P02 和 P03 可被设置为模拟输入。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TI00/TRGCLKA/ (TRJO0)
P01				TO00/TRGCLKB/ TRJIO0
P02			模拟输入端口	ANI17/SO10/TxD1
P03				ANI16/SI10/RxD1/ SDA10
P04			输入端口	SCK10/SCL10
P05				—
P06				(TRJIO0)
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 P12、P13、P16 和 P17 可被设置为模拟输入。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	SCK11/SCL11/ TRDIOD1
P11				SI11/SDA11/ TRDIOC1
P12				SO11/TRDIOB1/ IVREF1/(INTP5)
P13				TxD2/SO20/ TRDIOA1/IVCMP1
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				SCK20/SCL20/ TRDIOB0/(SDAA0)
P16				TI01/TO01/INTP5/ TRDIOC0/IVREF0/ (SI00)/(RxD0)
P17				TI02/TO02/TRDIOA0/ TRDCLK0/IVCMP0/ (SO00)/(TXD0)
P20	输入/输出	端口 2。 8 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0
P23				ANI3/ANO1
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/RTC1HZ/ SCK00/SCL00/ TRJO0
P31				TI03/TO03/INTP4/ (PCLBUZ0)/(TRJIO0)

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 来分配上图括号内的功能。

(2/3)

功能名称	输入/输出	功能	复位后	复用功能
P40	输入/输出	端口 4。 6 位输入/输出端口。 P43 和 P44 的输入可被设置为 TTL 输入缓冲器。 P43 至 P45 的输出可被设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TOOL0
P41				(TRJIO0)
P42				(INTP8)
P43				$\overline{SCK01}/SCL01/$ (INTP9)
P44				SI01/SDA01
P45				SO01
P50	输入/输出	端口 5。 6 位输入/输出端口。 P50 和 P53 至 P55 的输入可被设置为 TTL 输入缓冲器。 P50 至 P55 的输出可被设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP1/SI00/RxD0/ TOOLRxD/SDA00/ TRGIOA
P51				INTP2/SO00/TxD0/ TOOLTxD/TRGIOB
P52				SO31/(INTP1)
P53				SI31/SDA31/(INTP2)
P54				$\overline{SCK31}/SCL31/$ (INTP3)
P55				(PCLBUZ1)/($\overline{SCK00}$)/ (INTP4)
P60	输入/输出	端口 6。 8 位输入/输出端口。 P60 至 P63 的输出为 N 沟道开路漏极输出(6 V 耐压)。 可以按 1 位单位指定为输入/输出。 对于 P64 至 P67, 可通过软件设置使用片上上拉电阻。	输入端口	SCLA0
P61				SDAA0
P62				$\overline{SSI00}/SCLA1$
P63				SDAA1
P64				TI10/TO10
P65				TI11/TO11
P66				TI12/TO12
P67				TI13/TO13
P70	输入/输出	端口 7。 8 位输入/输出端口。 P71 和 P74 的输出可被设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	KR0/ $\overline{SCK21}/SCL21$
P71				KR1/SI21/SDA21
P72				KR2/SO21
P73				KR3
P74				KR4/INTP8
P75				KR5/INTP9
P76				KR6/INTP10/(RXD2)
P77				KR7/INTP11/(TXD2)
P100	输入/输出	端口 10。 1 位输入/输出端口。 P100 可被设置为模拟输入。 可被指定为输入/输出。 可通过软件设置使用片上上拉电阻。	模拟输入端 口	ANI20/(INTP10)

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上图括号内的功能。

(3/3)

功能名称	输入/输出	功能	复位后	复用功能
P110	输入/输出	端口 11。 2 位输入/输出端口。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	—
P111				(INTP11)
P120	输入/输出	端口 12。 1 位输入/输出端口和 4 位输入端口。	模拟输入端口	ANI19/VCOUT0
P121	输入	P120 可被设置为模拟输入。 仅限 P120 可被指定为输入/输出。 仅限 P120, 可通过软件设置使用片上上拉电阻。	输入端口	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P130	输出	端口 13。	输出端口	—
P137	输入	1 位输出端口和 1 位输入端口。	输入端口	INTP0
P140	输入/输出	端口 14。 7 位输入/输出端口。 P142 和 P143 的输入可被设置为 TTL 输入缓冲器。 P142 至 P144 的输出可被设置为 N 沟道开路漏极输出(EV _{DD0} 耐压)。 P147 可被设置为模拟输入。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	PCLBUZ0/INTP6
P141				PCLBUZ1/INTP7
P142				SCK30/SCL30
P143				SI30/RXD3/SDA30
P144				SO30/TXD3
P146				—
P147			模拟输入端口	ANI18/VCOUT1
P150	输入/输出	端口 15。 4 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端口	ANI8
P151				ANI9
P152				ANI10
P153				ANI11

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上图括号内的功能。

2.1.10 100 针产品

(1/3)

功能名称	输入/输出	功能	复位后	复用功能
P00	输入/输出	端口 0。 7 位输入/输出端口。 P01、P03 和 P04 的输入可被设置为 TTL 输入缓冲器。 P00、P02 至 P04 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 P02 和 P03 可被设置为模拟输入。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TI00/TRGCLKA/ (TRJO0)
P01				TO00/TRGCLKB/ TRJIO0
P02			模拟输入端口	ANI17/SO10/TxD1
P03				ANI16/SI10/RxD1/ SDA10
P04			输入端口	SCK10/SCL10
P05				—
P06				(TRJIO0)
P10	输入/输出	端口 1。 8 位输入/输出端口。 P10 和 P14 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 P12、P13、P16 和 P17 可被设置为模拟输入。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	SCK11/SCL11/ TRDIOD1
P11				SI11/SDA11/ TRDIOD1
P12				SO11/TRDIOB1/ IVREF1/(INTP5)
P13				TxD2/SO20/ TRDIOA1/IVCMP1
P14				RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)
P15				SCK20/SCL20/ TRDIOB0/(SDAA0)
P16				TI01/TO01/INTP5/ TRDIOD0/IVCMP0/ (SI00)/(RxD0)
P17				TI02/TO02/TRDIOA0/ TRDCLK0/IVCMP0/ (SO00)/(TXD0)
P20	输入/输出	端口 2。 8 位输入/输出端口。 可以按 1 位单位指定为输入/输出。	模拟输入端口	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0
P23				ANI3/ANO1
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	输入/输出	端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟道开路漏极输出 (EV _{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	INTP3/RTC1HZ/ SCK00/SCL00/ TRJO0
P31				TI03/TO03/INTP4/ (PCLBUZ0)/(TRJIO0)

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 来分配上图括号内的功能。

(2/3)

功能名称	输入/输出	功能	复位后	复用功能
P40	输入/输出	端口 4。 8 位输入/输出端口。 P43 和 P44 的输入可被设置为 TTL 输入缓冲器。 P43 至 P45 的输出可被设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	TOOL0
P41				(TRJIO0)
P42				—
P43				SCK01/SCL01
P44				SI01/SDA01
P45				SO01
P46				INTP1
P47				INTP2
P50	输入/输出	端口 5。 8 位输入/输出端口。 P50 和 P53 至 P55 的输入可被设置为 TTL 输入缓冲器。 P50 至 P55 的输出可被设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	SI00/RxD0/TOOLRx/D/ SDA00/TRGIOA/ (TRJO0)
P51				SO00/TxD0/TOOLTxD/ /TRGIOB
P52				SO31
P53				SI31/SDA31
P54				SCK31/SCL31
P55				(PCLBUZ1)/(SCK00)
P56				(INTP1)
P57				(INTP3)
P60	输入/输出	端口 6。 8 位输入/输出端口。 P60 至 P63 的输出为 N 沟道开路漏极输出(6 V 耐压)。 可以按 1 位单位指定为输入/输出。 对于 P64 至 P67, 可通过软件设置使用片上上拉电阻。	输入端口	SCLA0
P61				SDAA0
P62				SSI00/SCLA1
P63				SDAA1
P64				TI10/TO10
P65				TI11/TO11
P66				TI12/TO12
P67				TI13/TO13
P70	输入/输出	端口 7。 8 位输入/输出端口。 P71 和 P74 的输出可被设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)。 可以按 1 位单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。	输入端口	KR0/SCK21/SCL21
P71				KR1/SI21/SDA21
P72				KR2/SO21
P73				KR3
P74				KR4/INTP8
P75				KR5/INTP9
P76				KR6/INTP10/(RXD2)
P77				KR7/INTP11/(TXD2)

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上图括号内的功能。

2.1.11 各种产品的引脚（端口引脚以外的引脚）

(1/6)

功能名称	输入/输出	功能	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
ANI0	输入	A/D 转换器模拟输入	√	√	√	√	√	√	√	√	√	√
ANI1			√	√	√	√	√	√	√	√	√	√
ANI2			√	√	√	√	√	√	√	√	√	√
ANI3			√	√	√	√	√	√	√	√	√	√
ANI4			√	√	√	√	√	√	√	√	—	—
ANI5			√	√	√	√	√	√	√	√	—	—
ANI6			√	√	√	√	√	√	√	—	—	—
ANI7			√	√	√	√	√	√	—	—	—	—
ANI8			√	√	—	—	—	—	—	—	—	—
ANI9			√	√	—	—	—	—	—	—	—	—
ANI10			√	√	—	—	—	—	—	—	—	—
ANI11			√	√	—	—	—	—	—	—	—	—
ANI12			√	—	—	—	—	—	—	—	—	—
ANI13			√	—	—	—	—	—	—	—	—	—
ANI14			√	—	—	—	—	—	—	—	—	—
ANI16			√	√	√	√	—	—	—	—	√	√
ANI17			√	√	√	√	—	—	—	—	√	√
ANI18			√	√	√	√	√	√	√	√	√	√
ANI19			√	√	√	√	√	√	√	√	√	√
ANI20			√	√	—	—	—	—	—	—	—	—
ANO0	输出	D/A 转换器输出	√	√	注	注	注	注	注	注	注	注
ANO1			√	√	注	注	注	注	注	注	注	—
INTP0	输入	外部中断请求输入	√	√	√	√	√	√	√	√	√	√
INTP1			√	√	√	√	√	√	√	√	√	√
INTP2			√	√	√	√	√	√	√	√	√	√
INTP3			√	√	√	√	√	√	√	√	√	√
INTP4			√	√	√	√	√	√	√	√	√	√
INTP5			√	√	√	√	√	√	√	√	√	√
INTP6			√	√	√	√	√	—	—	—	—	—
INTP7			√	√	√	—	—	—	—	—	—	—
INTP8			√	√	√	√	√	—	—	—	—	—
INTP9			√	√	√	√	√	—	—	—	—	—
INTP10			√	√	√	√	—	—	—	—	—	—
INTP11			√	√	√	√	—	—	—	—	—	—
IVCMP0	输入	比较器模拟电压输入	√	√	注	注	注	注	注	注	注	注
IVCMP1			√	√	注	注	注	注	注	注	注	注
IVREF0	输入	比较器基准电压输入	√	√	注	注	注	注	注	注	注	注
IVREF1			√	√	注	注	注	注	注	注	注	注

注 安装在代码闪存为 96 KB 或更大的产品上。

(2/6)

功能名称	输入/输出	功能	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
KR0	输入	按键中断输入	√	√	√	√	√	√	√	—	—	—
KR1			√	√	√	√	√	√	√	—	—	—
KR2			√	√	√	√	√	√	√	—	—	—
KR3			√	√	√	√	√	√	√	—	—	—
KR4			√	√	√	√	√	—	—	—	—	—
KR5			√	√	√	√	√	—	—	—	—	—
KR6			√	√	√	√	—	—	—	—	—	—
KR7			√	√	√	√	—	—	—	—	—	—
PCLBUZ0	输出	时钟输出/蜂鸣器输出	√	√	√	√	√	√	√	√	√	√
PCLBUZ1			√	√	√	√	√	√	√	√	√	√
REGC	—	在内部操作中连接稳压器输出稳压电容。 通过电容(0.47 至 1 μ F)连接至 V _{SS} 。	√	√	√	√	√	√	√	√	√	√
RTC1HZ	输出	实时时钟校正时钟(1 Hz)输出	√	√	√	√	√	√	√	—	—	—
RESET	输入	系统复位输入	√	√	√	√	√	√	√	√	√	√
RxD0	输入	串行数据输入至 UART0	√	√	√	√	√	√	√	√	√	√
RxD1		串行数据输入至 UART1	√	√	√	√	√	√	√	√	√	√
RxD2		串行数据输入至 UART2	√	√	√	√	√	√	√	√	√	√
RxD3		串行数据输入至 UART3	√	√	—	—	—	—	—	—	—	—
SCK00	输入/输出	CSI00、CSI01、 CSI10、CSI11、 CSI20、CSI21、CSI30 和 CSI31 的时钟输入/输出	√	√	√	√	√	√	√	√	√	√
SCK01			√	√	√	√	√	—	—	—	—	—
SCK10			√	√	√	—	—	—	—	—	—	—
SCK11			√	√	√	√	√	√	√	√	√	√
SCK20			√	√	√	√	√	√	√	√	√	√
SCK21			√	√	√	√	√	√	√	√	—	—
SCK30			√	√	—	—	—	—	—	—	—	—
SCK31			√	√	—	—	—	—	—	—	—	—
SCLA0	输入/输出	I ² C 的时钟输入/输出	√	√	√	√	√	√	√	√	√	√
SCLA1			√	√	—	—	—	—	—	—	—	—

(3/6)

功能名称	输入/输出	功能	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
SCL00	输入/输出	简化 I ² C 的时钟输入/输出	√	√	√	√	√	√	√	√	√	√
SCL01			√	√	√	√	√	—	—	—	—	—
SCL10			√	√	√	—	—	—	—	—	—	—
SCL11			√	√	√	√	√	√	√	√	√	√
SCL20			√	√	√	√	√	√	√	√	√	√
SCL21			√	√	√	√	√	√	√	√	—	—
SCL30			√	√	—	—	—	—	—	—	—	—
SCL31			√	√	—	—	—	—	—	—	—	—
SDAA0	输入/输出	I ² C 的串行数据输入/输出	√	√	√	√	√	√	√	√	√	√
SDAA1			√	√	—	—	—	—	—	—	—	—
SDA00	输入/输出	简化 I ² C 的串行数据输入/输出	√	√	√	√	√	√	√	√	√	√
SDA01			√	√	√	√	√	—	—	—	—	—
SDA10			√	√	√	—	—	—	—	—	—	—
SDA11			√	√	√	√	√	√	√	√	√	√
SDA20			√	√	√	√	√	√	√	√	√	√
SDA21			√	√	√	√	√	√	√	√	—	—
SDA30			√	√	—	—	—	—	—	—	—	—
SDA31			√	√	—	—	—	—	—	—	—	—
SI00	输入	串行数据输入至 CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30 和 CSI31	√	√	√	√	√	√	√	√	√	√
SI01			√	√	√	√	√	—	—	—	—	—
SI10			√	√	√	—	—	—	—	—	—	—
SI11			√	√	√	√	√	√	√	√	√	√
SI20			√	√	√	√	√	√	√	√	√	√
SI21			√	√	√	√	√	√	√	√	—	—
SI30			√	√	—	—	—	—	—	—	—	—
SI31			√	√	—	—	—	—	—	—	—	—
SO00	输出	CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30 和 CSI31 的串行数据输出	√	√	√	√	√	√	√	√	√	√
SO01			√	√	√	√	√	—	—	—	—	—
SO10			√	√	√	—	—	—	—	—	—	—
SO11			√	√	√	√	√	√	√	√	√	√
SO20			√	√	√	√	√	√	√	√	√	√
SO21			√	√	√	√	√	√	√	√	—	—
SO30			√	√	—	—	—	—	—	—	—	—
SO31			√	√	—	—	—	—	—	—	—	—
SSI00	输入	芯片选择输入至 CSI00	√	√	√	√	√	√	√	√	√	√

(4/6)

功能名称	输入/输出	功能	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
TI00	输入	外部计数时钟输入至 16 位定时器 00	√	√	√	√	√	√	√	√	√	√
TI01		外部计数时钟输入至 16 位定时器 01	√	√	√	√	√	√	√	√	√	√
TI02		外部计数时钟输入至 16 位定时器 02	√	√	√	√	√	√	√	√	√	√
TI03		外部计数时钟输入至 16 位定时器 03	√	√	√	√	√	√	√	√	√	√
TI10		外部计数时钟输入至 16 位定时器 10	√	√	—	—	—	—	—	—	—	—
TI11		外部计数时钟输入至 16 位定时器 11	√	√	—	—	—	—	—	—	—	—
TI12		外部计数时钟输入至 16 位定时器 12	√	√	—	—	—	—	—	—	—	—
TI13		外部计数时钟输入至 16 位定时器 13	√	√	—	—	—	—	—	—	—	—
TO00	输出	16 位定时器 00 输出	√	√	√	√	√	√	√	√	√	√
TO01		16 位定时器 01 输出	√	√	√	√	√	√	√	√	√	√
TO02		16 位定时器 02 输出	√	√	√	√	√	√	√	√	√	√
TO03		16 位定时器 03 输出	√	√	√	√	√	√	√	√	√	√
TO10		16 位定时器 10 输出	√	√	—	—	—	—	—	—	—	—
TO11		16 位定时器 11 输出	√	√	—	—	—	—	—	—	—	—
TO12		16 位定时器 12 输出	√	√	—	—	—	—	—	—	—	—
TO13		16 位定时器 13 输出	√	√	—	—	—	—	—	—	—	—
TRJIO0	输入/输出	定时器 RJ 输入/输出	√	√	√	√	√	√	√	√	√	√
TRJO0	输出	定时器 RJ 输出	√	√	√	√	√	√	√	√	√	√
TRDCLK0	输入	定时器 RD 外部时钟输入	√	√	√	√	√	√	√	√	√	√
TRDIOA0	输入/输出	定时器 RD0 输入/输出	√	√	√	√	√	√	√	√	√	√
TRDIOB0		定时器 RD0 输入/输出	√	√	√	√	√	√	√	√	√	√
TRDIOC0		定时器 RD0 输入/输出	√	√	√	√	√	√	√	√	√	√
TRDIOD0		定时器 RD0 输入/输出	√	√	√	√	√	√	√	√	√	√
TRDIOA1		定时器 RD1 输入/输出	√	√	√	√	√	√	√	√	√	√
TRDIOB1		定时器 RD1 输入/输出	√	√	√	√	√	√	√	√	√	√
TRDIOC1		定时器 RD1 输入/输出	√	√	√	√	√	√	√	√	√	√
TRDIOD1		定时器 RD1 输入/输出	√	√	√	√	√	√	√	√	√	√
TRGIOA		定时器 RG 输入/输出	√	√	√	√	√	√	√	√	√	√
TRGIOB		定时器 RG 输入/输出	√	√	√	√	√	√	√	√	√	√
TRGCLKA	输入	定时器 RG 外部时钟输入	√	√	√	√	√	√	√	√	√	√
TRGCLKB		定时器 RG 外部时钟输入	√	√	√	√	√	√	√	√	√	√

(5/6)

功能名称	输入/输出	功能	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
TxD0	输出	UART0 的串行数据输出	√	√	√	√	√	√	√	√	√	√
TxD1		UART1 的串行数据输出	√	√	√	√	√	√	√	√	√	√
TxD2		UART2 的串行数据输出	√	√	√	√	√	√	√	√	√	√
TxD3		UART3 的串行数据输出	√	√	—	—	—	—	—	—	—	—
VCOUT0	输出	比较器输出	√	√	注	注	注	注	注	注	注	注
VCOUT1			√	√	注	注	注	注	注	注	注	注
X1	—	主系统时钟用谐振器连接	√	√	√	√	√	√	√	√	√	√
X2	—		√	√	√	√	√	√	√	√	√	√
EXCLK	输入	主系统时钟用外部时钟输入	√	√	√	√	√	√	√	√	√	√
EXCLKS	输入	副系统时钟用外部时钟输入	√	√	√	√	√	√	√	—	—	—
XT1	—	副系统时钟用谐振器连接	√	√	√	√	√	√	√	—	—	—
XT2	—		√	√	√	√	√	√	√	—	—	—
V _{DD}	—	<30 针、32 针、36 针、40 针、44 针、48 针、52 针>所有引脚的正电源 <64 针、80 针、100 针>P20 至 P27、P121 至 P124、P137、P150 至 P156 和其它非端口引脚的正电源	√	√	√	√	√	√	√	√	√	√
EV _{DD0}	—	端口 (除了 P20 至 P27、P121 至 P124、P137、P150 至 P156) 的正电源	√	√	√	—	—	—	—	—	—	—
EV _{DD1}	—		√	—	—	—	—	—	—	—	—	—

注 安装在代码闪存为 96 KB 或更大的产品上。

(6/6)

功能名称	输入/输出	功能	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
AV _{REFP}	输入	A/D 转换器基准电位(+极) 输入	√	√	√	√	√	√	√	√	√	√
AV _{REFM}	输入	A/D 转换器基准电位(-极) 输入	√	√	√	√	√	√	√	√	√	√
V _{SS}	—	<30 针、32 针、36 针、40 针、44 针、48 针、52 针 >所有引脚的接地电位 <64 针、80 针、100 针 > P20 至 P27、P121 至 P124、P137、150 至 P156 和其它非端口引脚的接地电位	√	√	√	√	√	√	√	√	√	√
EV _{SS0}	—	端口 (除了 P20 至 P27、P121 至 P124、P137、P150 至 P156) 的接地电位	√	√	√	—	—	—	—	—	—	—
EV _{SS1}	—		√	—	—	—	—	—	—	—	—	—
TOOLRx _D	输入	闪存编程时, 用于连接外部器件的 UART 接收引脚。	√	√	√	√	√	√	√	√	√	√
TOOLTxD	输出	闪存编程时, 用于连接外部器件的 UART 发送引脚。	√	√	√	√	√	√	√	√	√	√
TOOL0	输入/输出	闪存编程器/调试器用数据输入/输出	√	√	√	√	√	√	√	√	√	√

2.2 引脚功能的描述

备注 安装的引脚因产品而异。请参阅 **1.3 引脚配置(顶视图)**和 **2.1 引脚功能列表**。

2.2.1 P00 至 P06 (端口 0)

P00 至 P06 作为输入/输出端口。这些引脚也作为定时器输入/输出、A/D 转换器模拟输入、串行接口数据输入/输出和时钟输入/输出。

可以通过设置上拉电阻选项寄存器 0(PU0)来使用片上上拉电阻。

可以通过设置端口输入模式寄存器 0(PIM0)，将 P01、P03 和 P04 引脚的输入按 1 位单位指定为正常输入缓冲器或 TTL 输入缓冲器。

可以通过设置端口输出模式寄存器 0(POM0)，将 P00 和 P02 至 P04 引脚的输出按 1 位单位指定为正常 CMOS 输出或 N 沟道开路漏极输出(EV_{DD0} 耐压)。

下述引脚用于输入时，在端口模式控制寄存器 0 (PMC0)中指定为数字或模拟。该寄存器可以按 1 位单位指定。

- 30 和 32 针产品的 P00 和 P01 引脚
- 52、64、80、100 和 128 针产品的 P02 和 P03 引脚

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P00 至 P06 作为输入/输出端口。P00 至 P06 可以通过端口模式寄存器 0(PM0)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P00 至 P06 作为定时器输入/输出、A/D 转换器模拟输入、串行接口数据输入/输出和时钟输入/输出。

(a) ANI16, ANI17

作为 A/D 转换器的模拟输入引脚(ANI16, ANI17)。

作为模拟输入引脚使用时，请参阅 **14.10 (5) 模拟输入(ANIn)**引脚。

(b) $\overline{\text{SCK10}}$

串行接口 CSI10 的串行时钟输入/输出引脚。

(c) SI10

串行接口 CSI10 的串行数据输入引脚。

(d) SO10

串行接口 CSI10 的串行数据输出引脚。

(e) TI00

将外部计数时钟/捕捉触发输入至 16 位定时器 00 的引脚。

(f) TO00

16 位定时器 00 的定时器输出引脚。

(g) TxD1

串行接口 UART1 的串行数据输出引脚。

(h) RxD1

串行接口 UART1 的串行数据输入引脚。

(i) SDA10

用于简化 I²C 的串行接口的串行数据输入/输出引脚。

(j) SCL10

用于简化 I²C 的串行接口的串行时钟输入/输出引脚。

(k) TRGCLKA, TRGCLKB

定时器 RG 的外部时钟输入引脚。

(l) TRJIO0

定时器 RJ 的定时器输入/输出引脚。

2.2.2 P10 至 P17 (端口 1)

P10 至 P17 作为输入/输出端口。这些引脚也作为串行接口数据输入/输出、时钟输入/输出、定时器输入/输出、外部中断请求输入，比较器基准电压输入，以及比较器模拟电压输入。

可以通过设置上拉电阻选项寄存器 1(PU1)来使用片上上拉电阻。

可以通过设置端口输入模式寄存器 1(PIM1)，将 P10 和 P14 至 P17 引脚的输入按 1 位单位指定为正常输入缓冲器或 TTL 输入缓冲器。

可以通过设置端口输出模式寄存器 1(POM1)，将 P10、P11、P13 至 P15 和 P17 引脚的输出按 1 位单位指定为正常 CMOS 输出或 N 沟道开路漏极输出(EV_{DD0} 耐压)。

可以通过设置端口模式控制寄存器 1 (PMC1)，将具有 96 KB 或更大代码闪存产品的 P12、P13、P16 和 P17 引脚的输入按 1 位单位指定为模拟输出或数输入/输出。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P10 至 P17 作为输入/输出端口。P10 至 P17 可以通过端口模式寄存器 1(PM1)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P10 至 P17 作为串行接口数据输入/输出、时钟输入/输出、定时器输入/输出、外部中断请求输入，比较器基准电压输入，以及比较器模拟电压输入。

(a) INTP5

这是一个外部中断请求输入引脚，可指定有效边沿（上升沿、下降沿或上升沿与下降沿的双方）。

(b) TxD2

串行接口 UART2 的串行数据输出引脚。

(c) RxD2

串行接口 UART2 的串行数据输入引脚。

(d) SCK11, SCK20

串行接口 CSI11 和 CSI20 的串行时钟输入/输出引脚。

(e) SI11, SI20

串行接口 CSI11 和 CSI20 的串行数据输入引脚。

(f) SO11, SO20

串行接口 CSI11 和 CSI20 的串行数据输出引脚。

(g) TI01, TI02

将外部计数时钟/捕捉触发输入至 16 位定时器 01 和 02 的引脚。

(h) TO01, TO02

16 位定时器 01 和 02 的定时器输出引脚。

(i) SDA11, SDA20

用于简化 I²C 的串行接口的串行数据输入/输出引脚。

(j) SCL11, SCL20

用于简化 I²C 的串行接口的串行时钟输入/输出引脚。

(k) TRDIOA0, TRDIOB0, TRDI0C0, TRDI0D0, TRDIOA1, TRDIOB1, TRDI0C1, TRDI0D1

定时器 RD 的定时器输入/输出引脚。

(l) TRDCLK0

定时器 RD 的外部时钟输入引脚。

(m) IVCMP0, IVCMP1

比较器模拟电压输入引脚。

(n) IVREF0, IVREF1

比较器基准电压输入引脚。

2.2.3 P20 至 P27 (端口 2)

P20 至 P27 作为输入/输出端口。这些引脚也作为 A/D 转换器模拟输入和基准电压输入，以及具有 96 KB 或更大代码闪存产品的 D/A 转换器输出。

可以通过设置 A/D 端口配置寄存器(ADPC)来指定各个引脚为数字或模拟。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P20 至 P27 作为输入/输出端口。P20 至 P27 可以通过端口模式寄存器 2(PM2)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P20 至 P27 作为 A/D 转换器模拟输入，基准电压输入和 D/A 转换器输出。

(a) ANI0 至 ANI7

作为 A/D 转换器的模拟输入引脚(ANI0 至 ANI7)。

作为模拟输入引脚使用时，请参阅 **14.10 (5) 模拟输入(ANIn)引脚**。

(b) AV_{REFP}

A/D 转换器基准电位(+极)输入引脚。

(c) AV_{REFM}

A/D 转换器基准电位(-极)输入引脚。

(d) ANO0, ANO1

D/A 转换器输出引脚。

2.2.4 P30, P31 (端口 3)

P30 和 P31 作为输入/输出端口。这些引脚也作为外部中断请求输入、实时时钟校正时钟输出、串行接口时钟输入/输出和定时器输入/输出。

可以通过设置上拉电阻选项寄存器 3(PU3)来使用片上上拉电阻。

可以通过设置端口输入模式寄存器 3(PIM3)，将 P30 引脚的输入按 1 位单位指定为正常输入缓冲器或 TTL 输入缓冲器。

可以通过设置端口输出模式寄存器 3(POM3)，将 P30 引脚的输出按 1 位单位指定为正常 CMOS 输出或 N 沟道开路漏极输出(EV_{DD0} 耐压)。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P30 和 P31 作为输入/输出端口。P30 和 P31 可以通过端口模式寄存器 3(PM3)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P30 和 P31 作为外部中断请求输入、实时时钟校正时钟输出、串行接口时钟输入/输出和定时器输入/输出。

(a) INTP3, INTP4

这些是外部中断请求输入引脚，可指定有效边沿（上升沿、下降沿或上升沿与下降沿的双方）。

(b) RTC1HZ

实时时钟校正时钟 (1 Hz) 输出引脚。

(c) SCK00

串行接口 CSI00 的串行时钟输入/输出引脚。

(d) SCL00

用于简化 I²C 的串行接口的串行时钟输入/输出引脚。

(e) TI03

该引脚将外部计数时钟/捕捉触发输入至 16 位定时器 03。

(f) TO03

16 位定时器 03 的定时器输出引脚。

(g) TRJ00

定时器 RJ 输出引脚。

2.2.5 P40 至 P47 (端口 4)

P40 至 P47 作为输入/输出端口。这些引脚也作为闪存编程/调试用数据输入/输出，串行接口数据输入/输出、时钟输入/输出和外部中断请求输入。

可以通过设置上拉电阻选项寄存器 4(PU4)来使用片上上拉电阻。

使用选项字节启动片上调试时，确保外部上拉电阻连接至 P40。

可以通过设置端口输入模式寄存器 4(PIM4)，将 P43 和 P44 引脚的输入按 1 位单位指定为正常输入缓冲器或 TTL 输入缓冲器。

可以通过设置端口输出模式寄存器 4(POM4)，将 P43 至 P45 引脚的输出按 1 位单位指定为正常 CMOS 输出或 N 沟道开路漏极输出(EV_{DD0} 耐压)。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P40 至 P47 作为输入/输出端口。P40 至 P47 可以通过端口模式寄存器 4(PM4)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P40 至 P47 作为闪存编程/调试用数据输入/输出，串行接口数据输入/输出、时钟输入/输出和外部中断请求输入

(a) TOOL0

闪存编程/调试用数据输入/输出引脚。

启动片上调试时（禁止下拉），确保从外部上拉该引脚。

(b) SCK01

串行接口 CSI01 的串行时钟输入/输出引脚。

(c) SCL01

用于简化 I²C 的串行接口的串行时钟输入/输出引脚。

(d) SI01

串行接口 CSI01 的串行数据输入引脚。

(e) SO01

串行接口 CSI01 的串行数据输出引脚。

(f) SDA01

用于简化 I²C 的串行接口的串行数据输入/输出引脚。

(g) INTP1, INTP2

这些是外部中断请求输入引脚，可指定有效边沿（上升沿、下降沿或上升沿与下降沿的双方）。

注意事项 解除复位后，P40/TOOL0 和操作模式之间的关系如下所示。详细信息请参阅 30.5 编程方法。

表 2-2. 解除复位后 P40/TOOL0 和操作模式之间的关系

P40/TOOL0	操作模式
EV _{DD0}	正常操作模式
0 V	闪存编程模式

2.2.6 P50 至 P55(端口 5)

P50 至 P57 作为输入/输出端口。这些引脚也作为外部中断请求输入、串行接口数据输入/输出，时钟输入/输出，编程 UART 输入/输出和定时器输入/输出。

可以通过设置上拉电阻选项寄存器 5(PU5)来使用片上上拉电阻。

可以通过设置端口输入模式寄存器 5(PIM5)，将 P50 和 P53 至 P55 引脚的输入按 1 位单位指定为正常输入缓冲器或 TTL 输入缓冲器。

可以通过设置端口输出模式寄存器 5(POM5)，将 P50 和 P52 至 P55 引脚的输出按 1 位单位指定为正常 CMOS 输出或 N 沟道开路漏极输出(EV_{DD0} 耐压)。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P50 至 P55 作为输入/输出端口。P50 至 P55 可以通过端口模式寄存器 5(PM5)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P50 至 P55 作为外部中断请求输入、串行接口数据输入/输出，时钟输入/输出，编程 UART 输入/输出和定时器输入/输出。

(a) SI00, SI31

串行接口 CSI00 和 CSI31 的串行数据输入引脚。

(b) SO00, SO31

串行接口 CSI00 和 CSI31 的串行数据输出引脚。

(c) SDA00, SDA31

用于简化 I²C 的串行接口的串行数据输入/输出引脚。

(d) SCK31

串行接口 CSI31 的串行时钟输入/输出引脚。

(e) SCL31

用于简化 I²C 的串行接口的串行时钟输出引脚。

(f) TxD0

串行数据接口 UART0 的串行数据输出引脚。

(g) RxD0

串行数据接口 UART0 的串行数据输入引脚。

(h) TOOLTxD

闪存编程时，用于连接外部器件的 UART 输出引脚。

(i) TOOLRxD

闪存编程时，用于连接外部器件的 UART 输入引脚。

(j) TRGIOA, TRGIOB

定时器 RG 的定时器输入/输出引脚。

2.2.7 P60 至 P67 (端口 6)

P60 至 P67 作为输入/输出端口。这些引脚也作为串行接口数据输入/输出，时钟输入/输出，芯片选择输入和定时器输入/输出。

P64 至 P67 可以通过设置上拉电阻选项寄存器 6(PU6)来使用片上上拉电阻。

P60 至 P63 输出是 N 沟道开路漏极输出(6 V 耐压)。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P60 至 P67 作为输入/输出端口。P60 至 P67 可以通过端口模式寄存器 6(PM6)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P60 至 P67 作为串行接口数据输入/输出，时钟输入/输出，芯片选择输入和定时器输入/输出。

(a) SCLA0, SCLA1

串行接口 IICA0 和 IICA1 的串行时钟输入/输出引脚。

(b) SDAA0, SDAA1

串行接口 IICA0 和 IICA1 的串行数据输入/输出引脚。

(c) $\overline{\text{SSI00}}$

串行接口 CSI00 的芯片选择输入引脚。

(d) TI10 至 TI13

将外部计数时钟/捕捉触发输入至 16 位定时器 10 至 13 的引脚。

(e) TO10 至 TO13

16 位定时器 10 至 13 的定时器输出引脚。

2.2.8 P70 至 P77 (端口 7)

P70 至 P77 作为输入/输出端口。这些引脚也作为按键中断输入、串行接口数据输入/输出、时钟输入/输出和外部中断请求输入。

可以通过设置上拉电阻选项寄存器 7(PU7)来使用片上上拉电阻。

可以通过设置端口输出模式寄存器 7(POM7)，将 P71 和 P74 引脚的输出按 1 位单位指定为正常 CMOS 输出或 N 沟道开路漏极输出(EV_{DD0} 耐压)。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P70 至 P77 作为输入/输出端口。P70 至 P77 可以通过端口模式寄存器 7(PM7)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P70 至 P77 作为按键中断输入、串行接口数据输入/输出、时钟输入/输出和外部中断请求输入。

(a) INTP8 至 INTP11

这些是外部中断请求输入引脚，可指定有效边沿（上升沿、下降沿或上升沿与下降沿的双方）。

(b) KR0 至 KR7

按键中断输入引脚。

(c) SI21

串行接口 CSI21 的串行数据输入引脚。

(d) SO21

串行接口 CSI21 的串行数据输出引脚。

(e) $\overline{\text{SCK21}}$

串行接口 CSI21 的串行时钟输入/输出引脚。

(f) SCL21

用于简化 I²C 的串行接口的串行时钟输出引脚。

(g) SDA21

用于简化 I²C 的串行接口的串行数据输入/输出引脚。

2.2.9 P80 至 P87 (端口 8)

P80 至 P87 作为输入/输出端口。

可以通过设置上拉电阻选项寄存器 8(PU8)来使用片上上拉电阻。

可以通过设置端口输入模式寄存器 8(PIM8)，将 P80 和 P81 引脚的输入按 1 位单位指定为正常输入缓冲器或 TTL 输入缓冲器。

可以通过设置端口输出模式寄存器 8(POM8)，将 P80 至 P82 引脚的输出按 1 位单位指定为正常 CMOS 输出或 N 沟道开路漏极输出(EV_{DD0} 耐压)。

(1) 端口模式

P80 至 P87 作为输入/输出端口。P80 至 P87 可以通过端口模式寄存器 8(PM8)按 1 位单位设置为输入或输出端口。

2.2.10 P100 至 P102 (端口 10)

P100 至 P102 作为输入/输出端口。这些引脚也作为 A/D 转换器模拟输入。

可以通过设置上拉电阻选项寄存器 10(PU10)来使用片上上拉电阻。

可以通过端口模式控制寄存器 10(PMC10)，将 P100 引脚的输入按 1 位单位指定为模拟输入或数字输入。

(1) 端口模式

P100 至 P102 作为输入/输出端口。P100 至 P102 可以通过端口模式寄存器 1(PM1)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P100 作为 A/D 转换器模拟输入。

(a) ANI20

A/D 转换器的模拟输入引脚。

作为模拟输入引脚使用时、请参阅 **14.10 (5) 模拟输入(ANIn)引脚**。

2.2.11 P110, P111 (端口 11)

P110 和 P111 作为输入/输出端口。

可以通过设置上拉电阻选项寄存器 11(PU11)来使用片上上拉电阻。

(1) 端口模式

P110 和 P111 作为输入/输出端口。P110 和 P111 可以通过端口模式寄存器 11(PM11)按 1 位单位设置为输入或输出端口。

2.2.12 P120 至 P124 (端口 12)

P120 作为输入/输出端口，P121 至 P124 作为输入端口。这些引脚也作为 A/D 转换器模拟输入、连接主系统时钟谐振器、连接副系统时钟谐振器、主系统时钟用外部时钟输入，副系统时钟用外部时钟输入和比较器输出。

P120 可以通过设置上拉电阻选项寄存器 12(PU12)来使用片上上拉电阻。

可以通过端口模式控制寄存器 12(PMC12)，将 P120 引脚的输入按 1 位单位指定为模拟输入或数字输入/输出。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P120 作为 1 位输入/输出端口。P120 可通过端口模式寄存器 12(PM12)设置为输入或输出端口。

P121 至 P124 作为 4 位输入端口。

(2) 控制模式

P120 至 P124 作为 A/D 转换器模拟输入、连接主系统时钟谐振器、连接副系统时钟谐振器、主系统时钟用外部时钟输入，副系统时钟用外部时钟输入和比较器输出。

(a) ANI19

A/D 转换器的模拟输入引脚。

作为模拟输入引脚使用时、请参阅 **14.10 (5) 模拟输入(ANIn)引脚**。

(b) X1, X2

用来连接主系统时钟谐振器的引脚。

(c) EXCLK

主系统时钟用外部时钟的输入引脚。

(d) XT1, XT2

用来连接副系统时钟谐振器的引脚。

(e) EXCLKS

副系统时钟用外部时钟的输入引脚。

(f) VCOUT0

比较器输出引脚。

2.2.13 P130 和 P137 (端口 13)

P130 作为 1 位单向端口。P137 作为 1 位输入端口，也作为外部中断请求输入。

(1) 端口模式

P130 作为 1 位输出端口。

P137 作为 1 位输入端口。

(2) 控制模式

P137 作为外部中断请求输入。

(a) INTP0

这是一个外部中断请求输入引脚，可指定有效边沿（上升沿、下降沿或上升沿与下降沿的双方）。

2.2.14 P140 至 P147 (端口 14)

P140 至 P147 作为输入/输出端口。这些引脚也作为时钟/蜂鸣器输出、外部中断请求输入、A/D 转换器模拟输入、串行接口数据输入/输出、时钟输入/输出和定时器输入/输出。

可以通过设置上拉电阻选项寄存器 14(PU14)来使用片上上拉电阻。

可以通过设置端口输入模式寄存器 14(PIM14)，将 P142 和 P143 引脚的输入按 1 位单位指定为正常输入缓冲器或 TTL 输入缓冲器。

可以通过设置端口输出模式寄存器 14(POM14)，将 P142 至 P144 引脚的输出按 1 位单位指定为正常 CMOS 输出或 N 沟道开路漏极输出(EV_{DD0} 耐压)。

可以通过端口模式控制寄存器 14(PMC14)，将 P147 引脚的输入按 1 位单位指定为模拟输入或数字输入/输出。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P140 至 P147 作为输入/输出端口。P140 至 P147 可以通过端口模式寄存器 14(PM14)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P140 至 P147 作为时钟/蜂鸣器输出、外部中断请求输入，A/D 转换器模拟输入、串行接口数据输入/输出、时钟输入/输出和比较器输出。

(a) ANI18

A/D 转换器的模拟输入引脚。

作为模拟输入引脚使用时、请参阅 14.10 (5) 模拟输入(ANIn)引脚。

(b) INTP6, INTP7

这些是外部中断请求输入引脚，可指定有效边沿（上升沿、下降沿或上升沿与下降沿的双方）。

(c) PCLBUZ0, PCLBUZ1

时钟/蜂鸣器输出引脚。

(d) SI30

串行接口 CSI30 的串行数据输入引脚。

(e) SO30

串行接口 CSI30 的串行数据输出引脚。

(f) SDA30

用于简化 I²C 的串行接口的串行数据输入/输出引脚。

(g) SCL30

用于简化 I²C 的串行接口的串行时钟输入/输出引脚。

(h) $\overline{\text{SCK30}}$

串行接口 CSI30 的串行时钟输入/输出引脚。

(i) TxD3

串行接口 UART3 的串行数据输出引脚。

(j) RxD3

串行接口 UART3 的串行数据输入引脚。

(k) VCOUT1

比较器输出引脚。

2.2.15 P150 至 P156 (端口 15)

P150 至 P156 作为输入/输出端口。这些引脚也作为 A/D 转换器模拟输入。

可以按 1 位单位指定以下操作模式。

(1) 端口模式

P150 至 P156 作为输入/输出端口。P150 至 P156 可以通过端口模式寄存器 15(PM15)按 1 位单位设置为输入或输出端口。

(2) 控制模式

P150 至 P156 作为 A/D 转换器模拟输入。

(a) ANI8 至 ANI14

A/D 转换器的模拟输入引脚(ANI8 至 ANI14)。

作为模拟输入引脚使用时，请参阅 **14.10 (5) 模拟输入(ANIn)引脚**。

2.2.16 V_{DD}, EV_{DD0}, EV_{DD1}, V_{SS}, EV_{SS0}, EV_{SS1}

(1) V_{DD}, EV_{DD0}, EV_{DD1}

V_{DD} 为正电源供应引脚。64、80 和 100 针产品中，V_{DD} 为 P20 至 P27、P121 至 P124、P137、P150 至 P156 以及除了端口以外的引脚的正电源供应引脚。

EV_{DD0} 和 EV_{DD1} 为除了 P20 至 P27、P121 至 P124、P137 和 P150 至 P156 以外的端口的正电源供应引脚。

(2) V_{SS}, EV_{SS0}, EV_{SS1}

V_{SS} 为接地电位引脚。64、80 和 100 针产品中，V_{SS} 为 P20 至 P27、P121 至 P124、P137、P150 至 P156 以及除了端口以外的引脚的接地电位引脚。

EV_{SS0} 和 EV_{SS1} 为除了 P20 至 P27、P121 至 P124、P137 和 P150 至 P156 以外的端口的接地电位引脚。

备注 为了防止噪声和闩锁，将用于 V_{DD} 至 V_{SS}、EV_{DD0} 至 EV_{SS0} 和 EV_{DD1} 至 EV_{SS1} 线路间的旁路电容（约 0.1 μ F）以最短的距离且用较粗的线连接。

2.2.17 RESET

低电平激活的系统复位输入引脚。

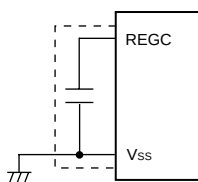
未使用外部复位引脚时，直接或通过电阻将该引脚连接至 V_{DD}。

使用外部复位引脚时，以 V_{DD} 为基准设计电路。

2.2.18 REGC

该引脚用于在内部操作中连接稳压器输出稳定电容。通过电容（0.47 至 1 μ F）将该引脚连接至 V_{SS}。

并且，请使用具有良好特性的电容以稳定内部电压。



注意事项 请尽可能缩短上图中虚线部分的布线长度。

2.3 引脚的输入/输出电路和未使用引脚的推荐连接

表 2-3 表示引脚的输入/输出电路的类型和未使用引脚的推荐连接。

表 2-3. 未使用引脚的连接(100 针产品) (1/3)

引脚名称	输入/输出 电路类型	输入/输出	未使用引脚的推荐连接
P00/TI00/TRGCLKA/(TRJ00)	8-R	输入/输出	输入： 通过电阻单独连接至 EV _{DD0} 、EV _{DD1} 或 EV _{SS0} 、EV _{SS1} 。 输出： 保持开路。
P01/TO00/TRGCLKB/TRJIO0	5-AN		
P02/ANI17/SO10/TxD1	11-U		
P03/ANI16/SI10/RxD1/ SDA10	11-V		
P04/ $\overline{\text{SCK10}}$ /SCL10	5-AN		
P05	8-R		
P06/(TRJIO0)			
P10/ $\overline{\text{SCK11}}$ /SCL11/TRDIOD1	5-AN		
P11/SI11/SDA11/TRDIOC1	8-R		
P12/SO11/TRDIOB1/IVREF1/ (INTP5)	5-BB		
P13/TxD2/SO20/TRDIOA1/ IVCMP1			
P14/RxD2/SI20/SDA20/ TRDIOD0/(SCLA0)	5-AN		
P15/ $\overline{\text{SCK20}}$ /SCL20/TRDIOB0 (SDAA0)			
P16/TI01/TO01/INTP5/ TRDIOC0/IVREF0/(SI00)/ (RxD0)	5-BC		
P17/TI02/TO02/TRDIOA0/ TRDCLK0/IVCMP0/(SO00)/ (TxD0)			
P20/ANI0/AV _{REFP}	11-T		
P21/ANI1/AV _{REFM}			
P22/ANI2/ANO0	44		
P23/ANI3/ANO1			
P24/ANI4		11-G	
P25/ANI5			
P26/ANI6			
P27/ANI7			
P30/INTP3/RTC1HZ/ $\overline{\text{SCK00}}$ /SCL00/TRJO0	5-AN	输入： 通过电阻单独连接至 EV _{DD0} 、EV _{DD1} 或 EV _{SS0} 、EV _{SS1} 。 输出： 保持开路。	
P31/TI03/TO03/INTP4/ (PCLBUZ0)/(TRJIO0)			

- 备注 1.** 关于不具备 EV_{DD0} 、 EV_{DD1} 、 EV_{SS0} 或 EV_{SS1} 引脚的产品，请用 V_{DD} 代替 EV_{DD0} 和 EV_{DD1} ，或者用 V_{SS} 代替 EV_{SS0} 和 EV_{SS1} 引脚。
- 2.** 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来指定上图括号内的功能。
- 3.** 在不具有比较器的产品中，P12 引脚的输入/输出电路类型为 8-R，且 P13、P16 和 P17 引脚的输入/输出电路类型为 5-AN。
- 4.** 在不具有 D/A 转换器的产品中，P22 和 P23 引脚的输入/输出电路类型为 11-G。

表 2-3. 未使用引脚的连接(100 针产品) (2/3)

引脚名称	输入/输出电路类型	输入/输出	未使用引脚的推荐连接
P40/TOOL0	8-R	输入/输出	输入： 通过电阻单独连接至 EV _{DD0} 或保持开路。
P41/(TRJIO0)			输出： 保持开路。
P42			输入： 通过电阻单独连接至 EV _{DD0} 、EV _{DD1} 或 EV _{SS0} 、EV _{SS1} 。
P43/SCK01/SCL01	5-AN		输出： 保持开路。
P44/SI01/SDA01			
P45/SO01	8-R		
P46/INTP1			
P47/INTP2			
P50/SI00/RxD0/TOOLRxD/SDA00/TRGIOA/(TRJO0)	5-AN		
P51/SO00/TxD0/TOOLTxD/TRGIOB	8-R		
P52/SO31			
P53/SI31/SDA31	5-AN		
P54/SCK31/SCL31			
P55/(PCLBUZ1)/(SCK00)			
P56/(INTP1)	8-R		
P57/(INTP3)			
P60/SCLA0	13-R		
P61/SDAA0			
P62/SSI00/SCLA1			
P63/SDAA1			
P64/TI10/TO10	8-R		
P65/TI11/TO11			
P66/TI12/TO12			
P67/TI13/TO13			
P70/KR0/SCK21/SCL21	8-R		
P71/KR1/SI21/SDA21			
P72/KR2/SO21			
P73/KR3			
P74/KR4/INTP8			
P75/KR5/INTP9			
P76/KR6/INTP10/(RXD2)			
P77/KR7/INTP11/(TXD2)			

- 备注 1.** 关于不具备 EV_{DD0} 、 EV_{DD1} 、 EV_{SS0} 或 EV_{SS1} 引脚的产品，请用 V_{DD} 代替 EV_{DD0} 和 EV_{DD1} ，或者用 V_{SS} 代替 EV_{SS0} 和 EV_{SS1} 引脚。
- 2.** 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来指定上图括号内的功能。
- 3.** 在 64 针产品中，P43、P53 和 P54 引脚的输入/输出电路类型为 8-R。

表 2-3. 未使用引脚的连接(100 针产品) (3/3)

引脚名称	输入/输出电路类型	输入/输出	未使用引脚的推荐连接
P80/(SCK10)/(SCL10)	5-AN	输入/输出	输入： 通过电阻单独连接至 EV _{DD0} 、EV _{DD1} 或 EV _{SS0} 、EV _{SS1} 。 输出： 保持开路。
P81/(SI10)/(RXD1)/(SDA10)			
P82/(SO10)/(TXD1)			
P83			
P84/(INTP6)			
P85/(INTP7)			
P86/(INTP8)			
P87/(INTP9)			
P100/ANI20/(INTP10)			
P101			
P102			
P110/(INTP11)			
P111			
P120/ANI19/VCOUT0	11-U		
P121/X1	37-C	输入	通过电阻单独连接至 V _{DD} 或 V _{SS} 。
P122/X2/EXCLK			
P123/XT1			
P124/XT2/EXCLKS			
P130	3-C	输出	保持开路。
P137/INTP0	2	输入	通过电阻单独连接至 V _{DD} 或 V _{SS} 。
P140/PCLBUZ0/INTP6	8-R	输入/输出	输入： 通过电阻单独连接至 EV _{DD0} 、EV _{DD1} 或 EV _{SS0} 、EV _{SS1} 。 输出： 保持开路。
P141/PCLBUZ1/INTP7			
P142/SCK30/SCL30			
P143/SI30/RXD3/SDA30			
P144/SO30/TXD3			
P145			
P146/(INTP4)			
P147/ANI18/VCOUT1	11-U		
P150/ANI8	11-G		输入： 通过电阻单独连接至 V _{DD} 或 V _{SS} 。 输出： 保持开路。
P151/ANI9			
P152/ANI10			
P153/ANI11			
P154/ANI12			
P155/ANI13			
P156/ANI14			
RESET	2	输入	直接或通过电阻连接至 V _{DD} 。
REGC	—	—	通过电容(0.47 至 1 μF: 目标)连接至 V _{SS} 。

- 备注 1.** 关于不具备 EV_{DD0}、EV_{DD1}、EV_{SS0} 或 EV_{SS1} 引脚的产品，请用 V_{DD} 代替 EV_{DD0} 和 EV_{DD1}，或者用 V_{SS} 代替 EV_{SS0} 和 EV_{SS1} 引脚。
- 2.** 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来指定上图括号内的功能。

图 2-1. 引脚的输入/输出电路列表 (1/3)

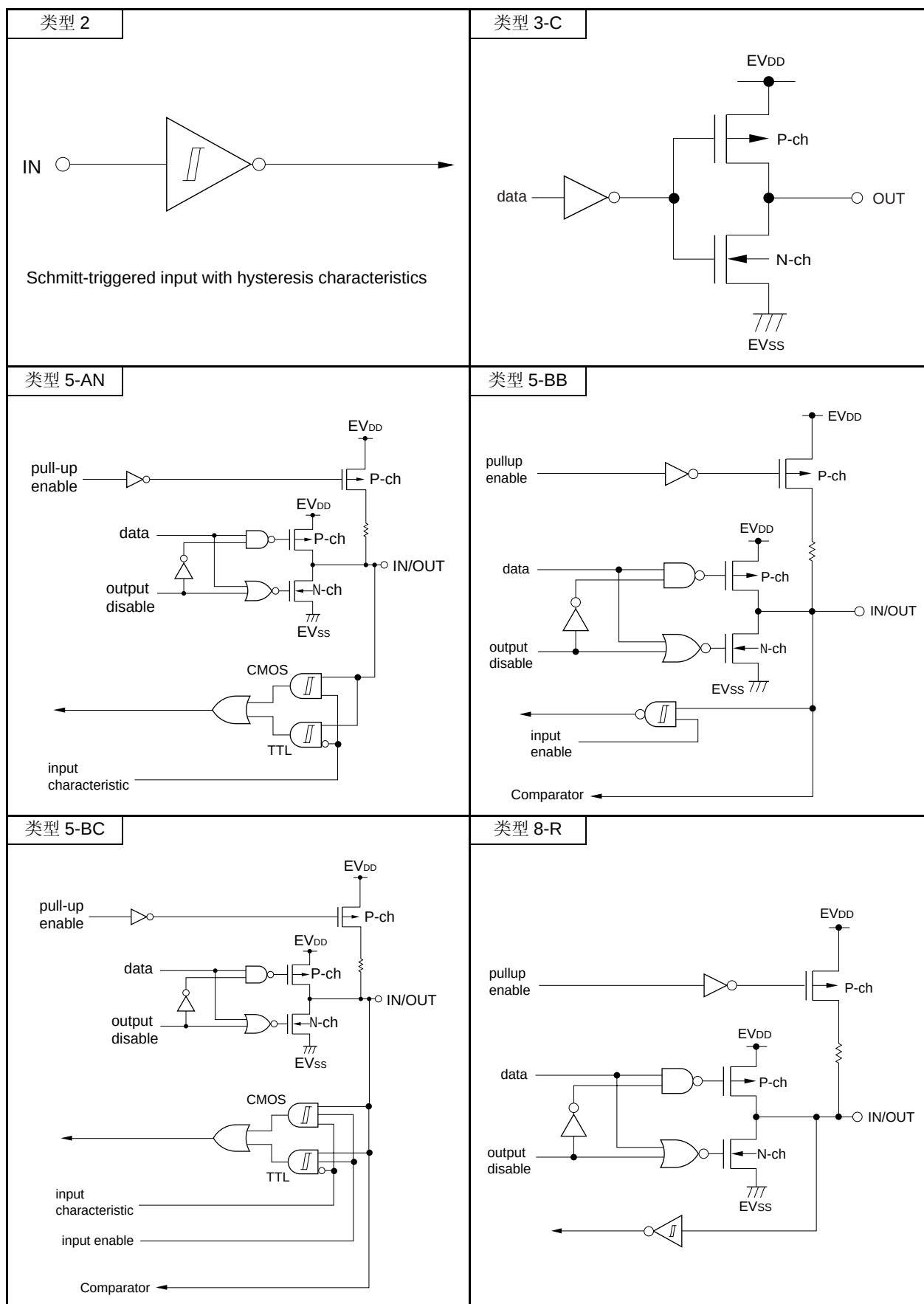


图 2-1. 引脚的输入/输出电路列表 (2/3)

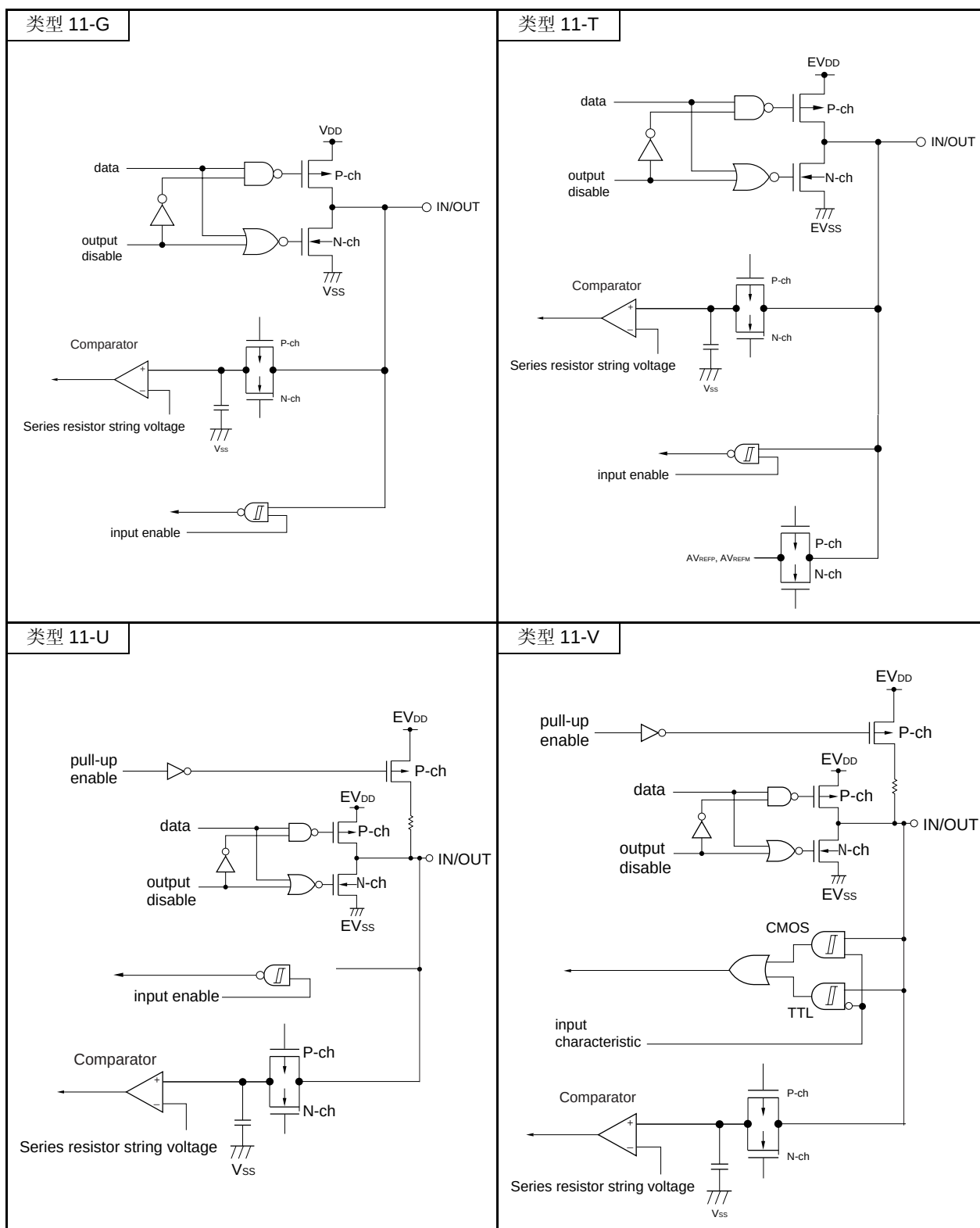
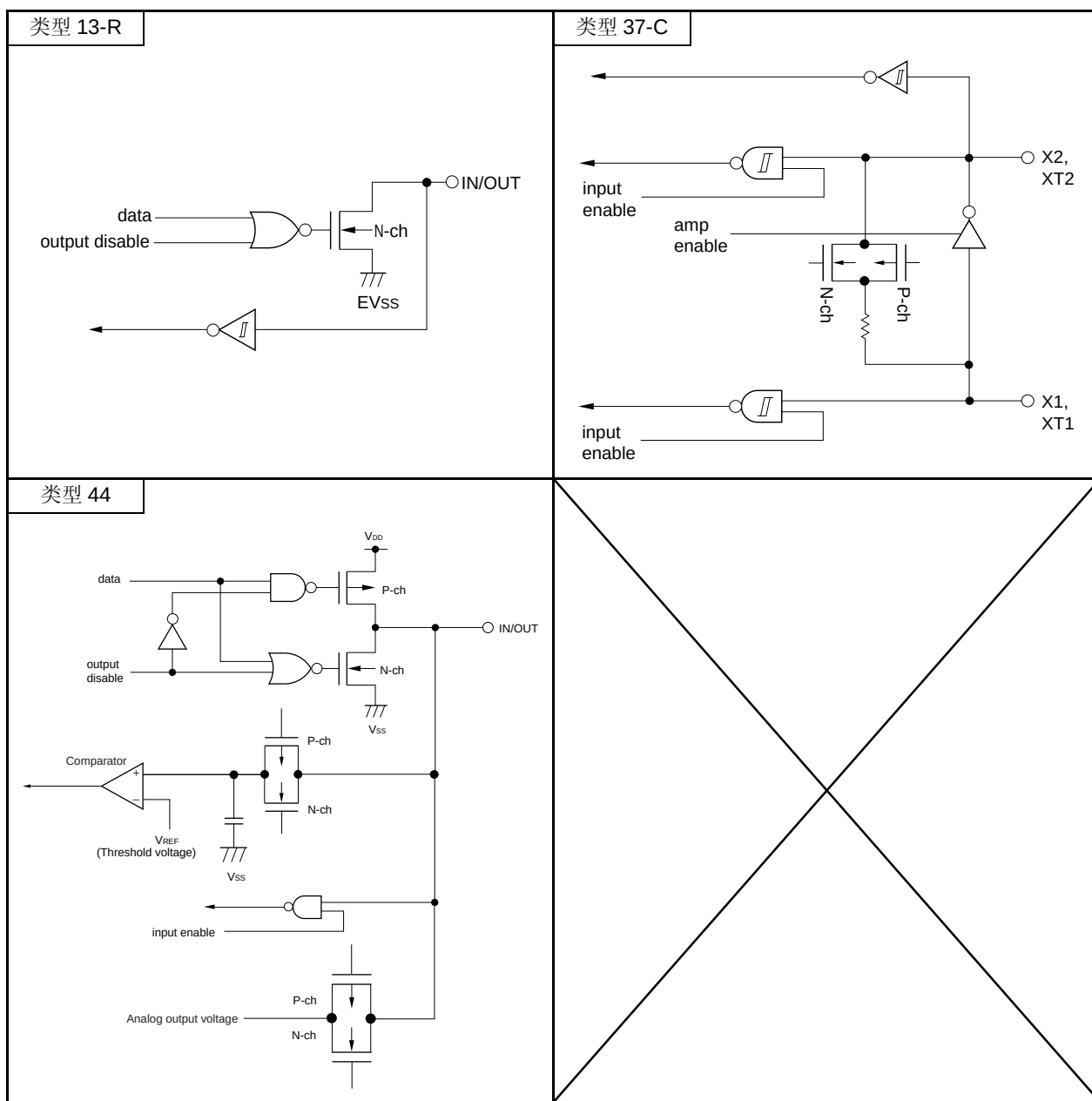


图 2-1. 引脚的输入/输出电路列表 (3/3)

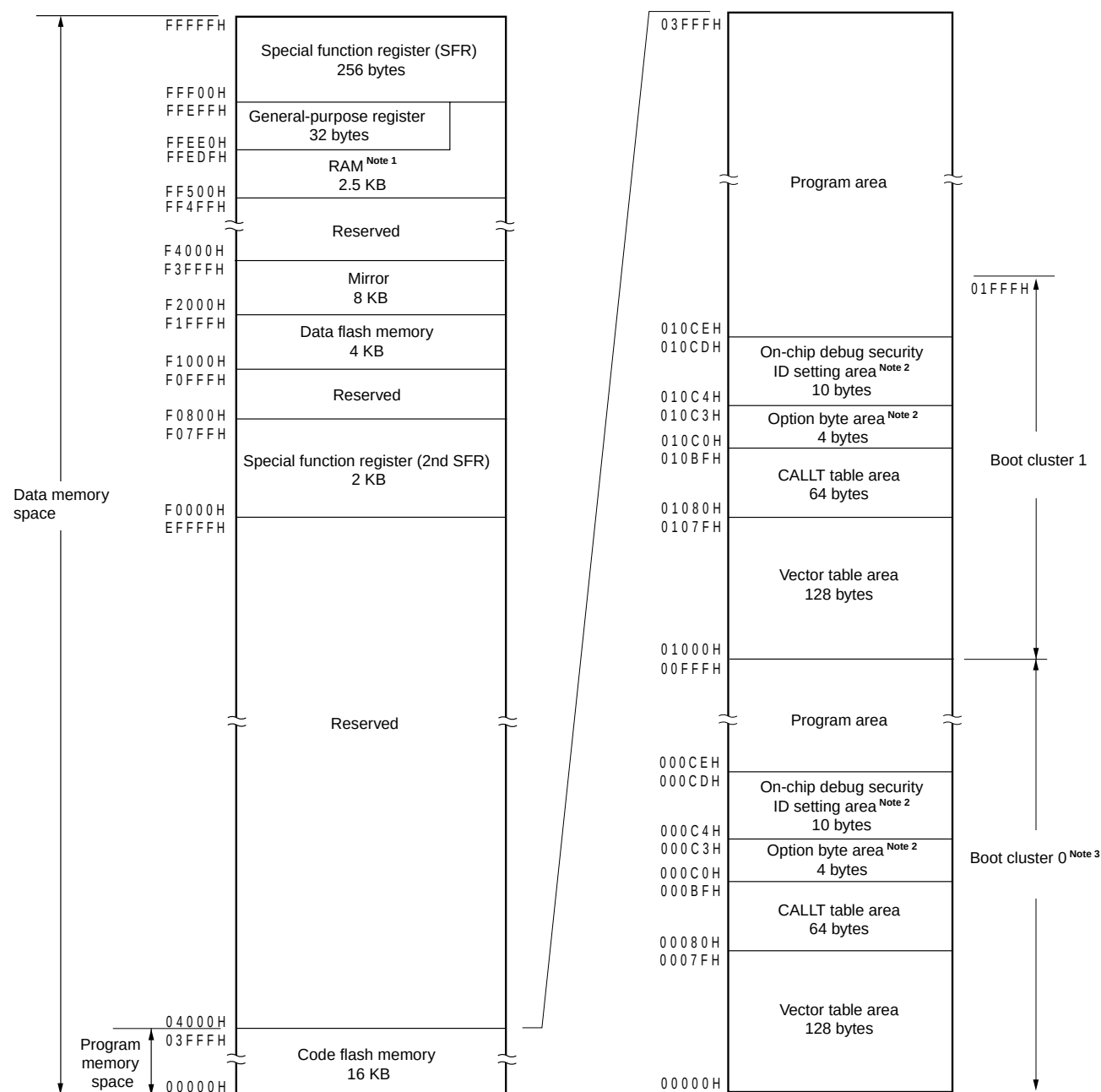


第三章 CPU 架构

3.1 存储空间

RL78/G14 可以存取 1 MB 的存储空间。存储器映射图如图 3-1 至图 3-8 所示。

图 3-1. 存储器映射图 (R5F104xA (x = A 至 C、E 至 G))



- 注 1. 可以在通用寄存器以外的 RAM 区域中执行指令。
2. 当未使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H，片内调试安全 ID 设于 000C4H 至 000CDH。
当使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H 和 010C0H 至 010C3H，片内调试安全 ID 设于 000C4H 至 000CDH 和 010C4H 至 010CDH。
3. 可以通过安全设置禁止写入引导集群 0 (参阅 30.6 安全设置)。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位 (RPERDIS = 0) 的情况下，务必将所使用的 RAM 区域+10 字节的区域初始化。

图 3-2. 存储器映射图 (R5F104xC (x = A 至 C、E 至 G、J、L))

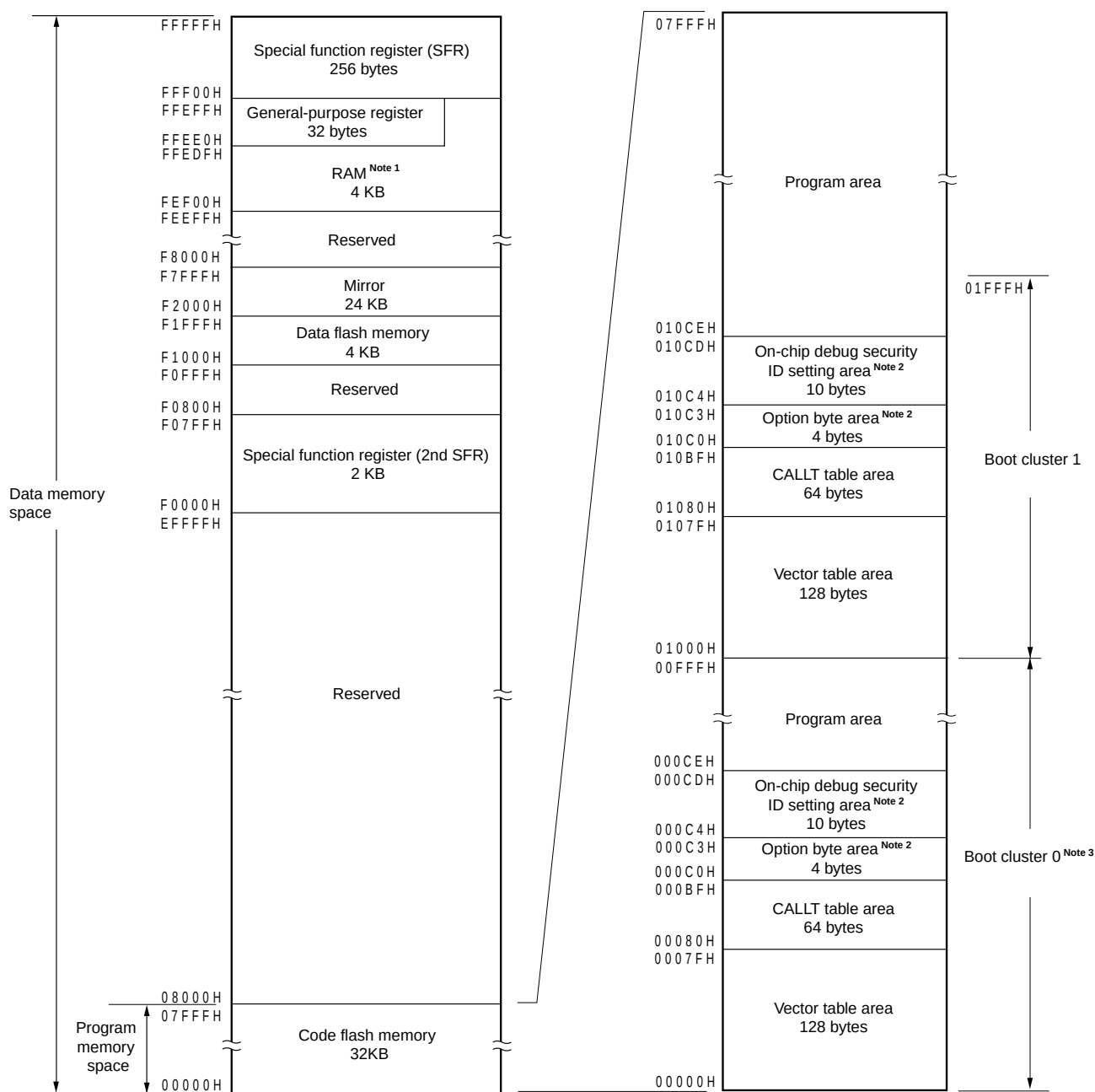
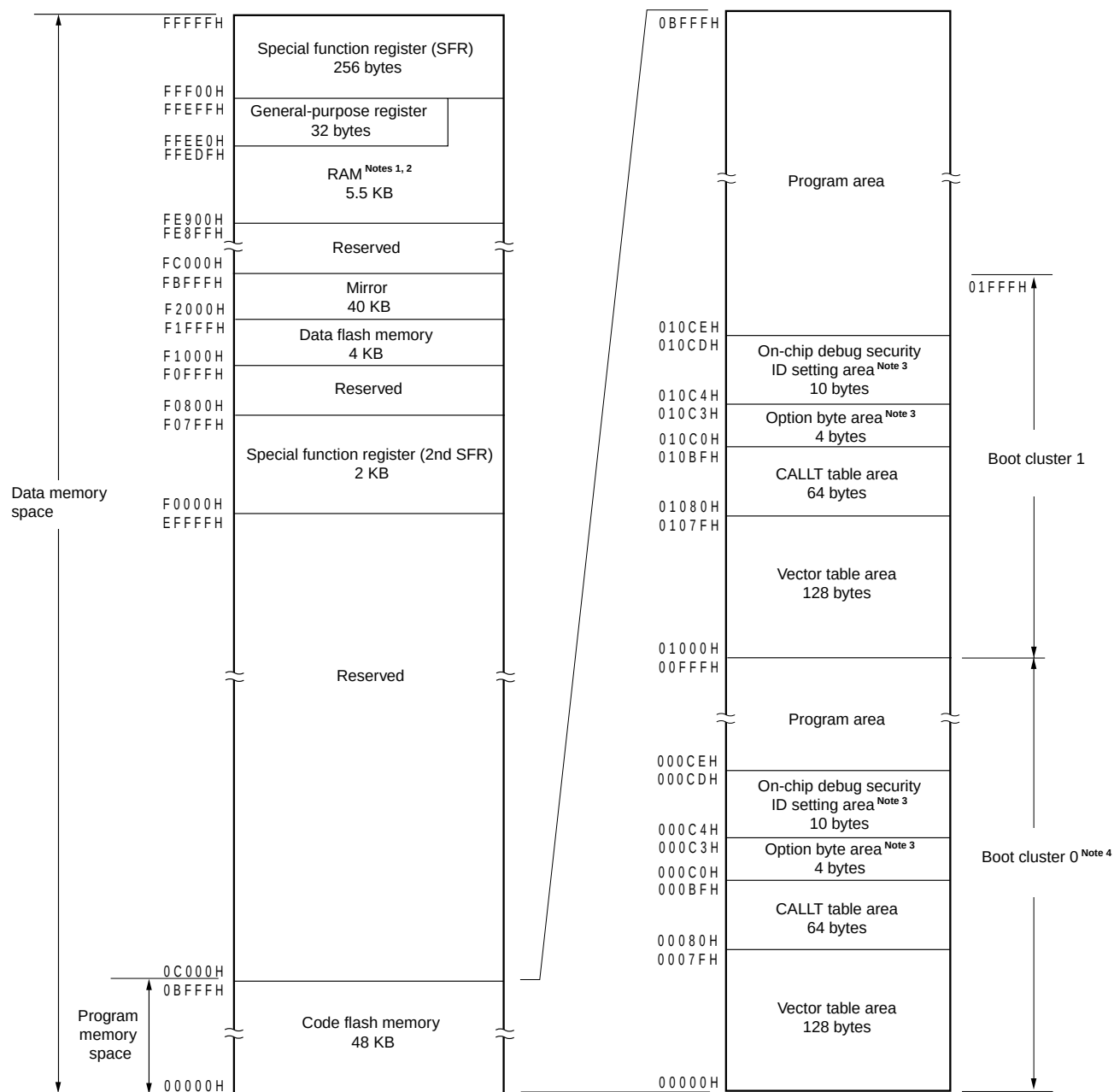


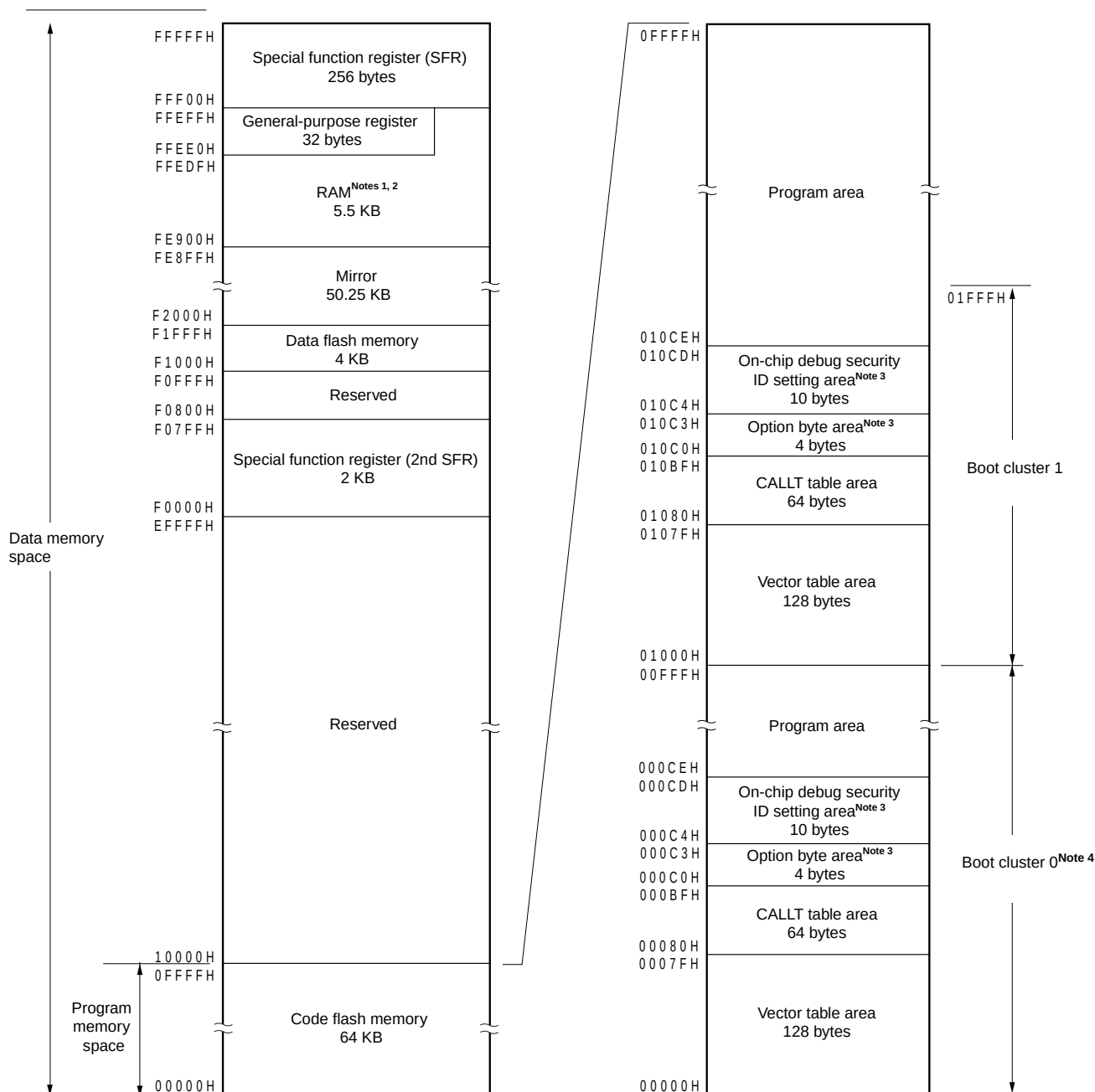
图 3-3. 存储器映射图 (R5F104xD (x = A 至 C、E 至 G、J、L))



- 注 1. 使用自编程功能和数据 flash 功能时，禁止使用 FE900H 至 FED09H 区域，因为该区域用于自编程库。
2. 可以在通用寄存器以外的 RAM 区域中执行指令。
3. 当未使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H，片内调试安全 ID 设于 000C4H 至 000CDH。
- 当使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H 和 010C0H 至 010C3H，片内调试安全 ID 设于 000C4H 至 000CDH 和 010C4H 至 010CDH。
4. 可以通过安全设置禁止写入引导集群 0 (参阅 30.6 安全设置)。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位 (RPERDIS = 0) 的情况下，务必将所使用的 RAM 区域+10 字节的区域初始化。

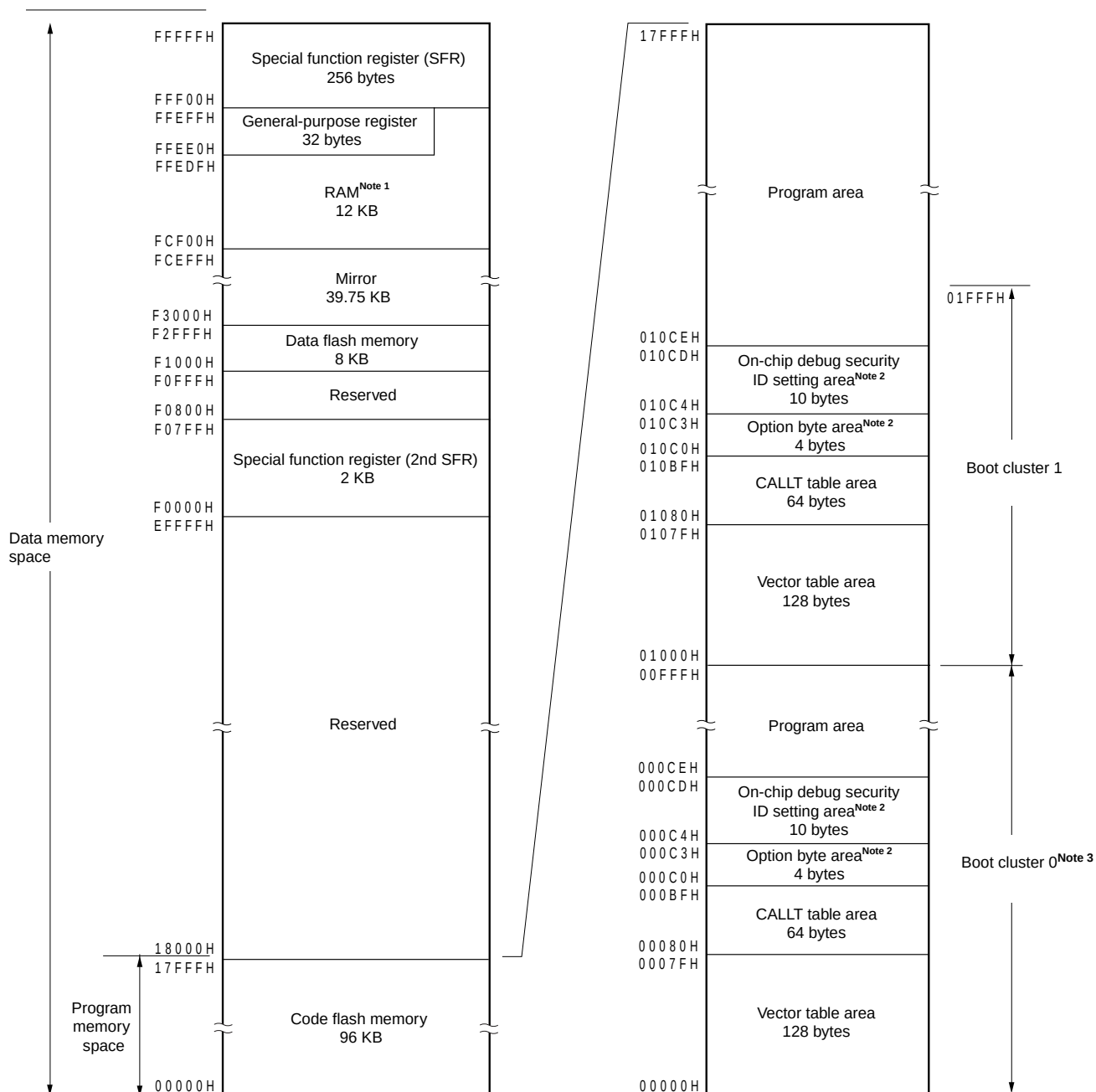
图 3-4. 存储器映射图 (R5F104xE (x = A 至 C、E 至 G、J、L))



- 注 1. 使用自编程功能和数据 flash 功能时，禁止使用 FE900H 至 FED09H 区域，因为该区域用于自编程库。
2. 可以在通用寄存器以外的 RAM 区域中执行指令。
3. 当未使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H，片内调试安全 ID 设于 000C4H 至 000CDH。
- 当使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H 和 010C0H 至 010C3H，片内调试安全 ID 设于 000C4H 至 000CDH 和 010C4H 至 010CDH。
4. 可以通过安全设置禁止写入引导集群 0 (参阅 30.6 安全设置)。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位 (RPERDIS = 0) 的情况下，务必将所使用的 RAM 区域+10 字节的区域初始化。

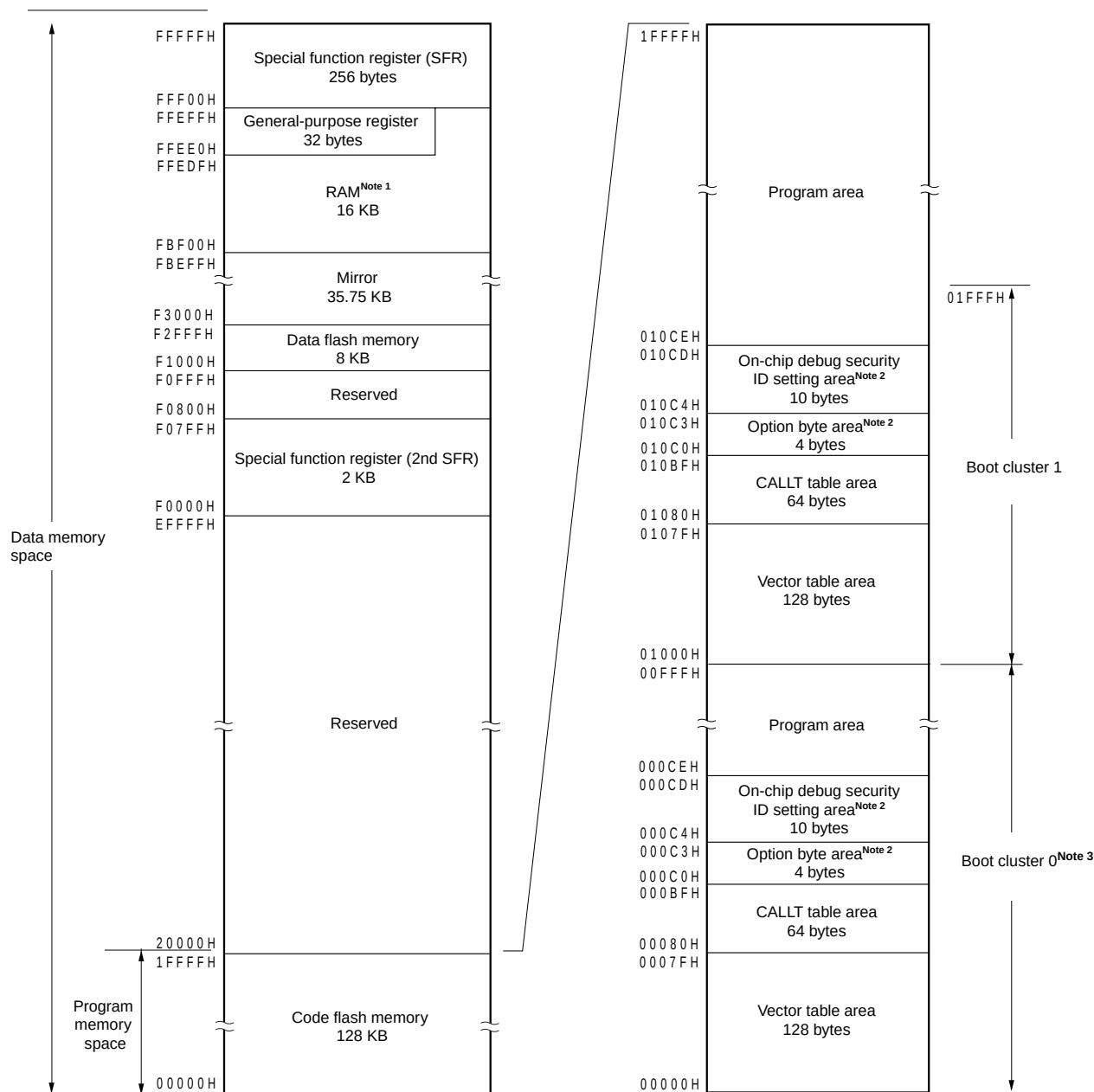
图 3-5. 存储器映射图 (R5F104xF (x = A 至 C、E 至 G、J、L、M、P))



- 注 1. 可以在通用寄存器以外的 RAM 区域中执行指令。
2. 当未使用引导交换功能时：将选项字节设于 000C0H 至 000C3H，片内调试安全 ID 设于 000C4H 至 000CDH。
当使用引导交换功能时：将选项字节设于 000C0H 至 000C3H 和 010C0H 至 010C3H，片内调试安全 ID 设于 000C4H 至 000CDH 和 010C4H 至 010CDH。
3. 可以通过安全设置禁止写入引导集群 0 (参阅 30.6 安全设置)。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位 (RPERDIS = 0) 的情况下，务必将所使用的 RAM 区域+10 字节的区域初始化。

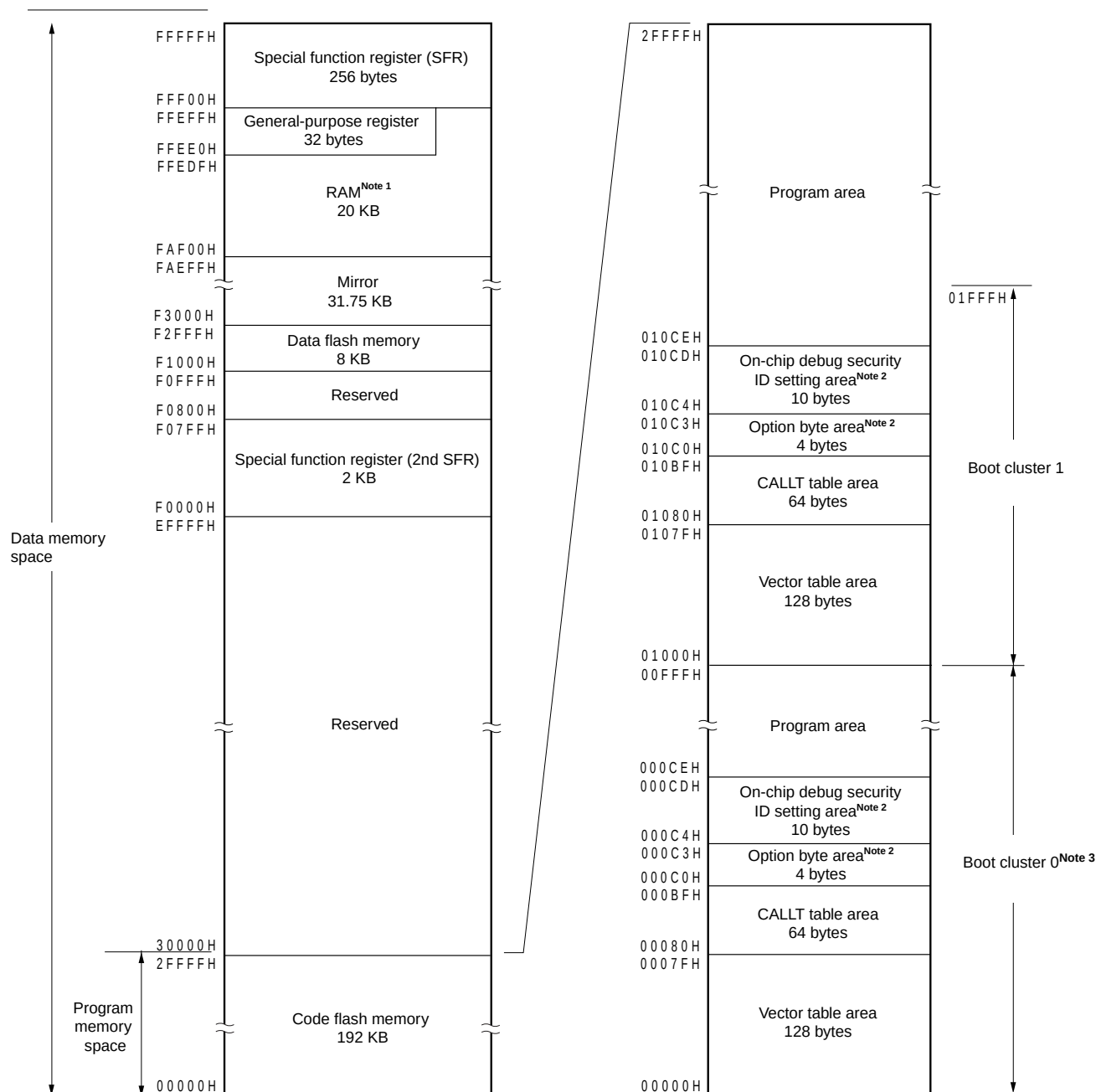
图 3-6. 存储器映射图 (R5F104xG (x = A 至 C、E 至 G、J、L、M、P))



- 注 1. 可以在通用寄存器以外的 RAM 区域中执行指令。
2. 当未使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H，片内调试安全 ID 设于 000C4H 至 000CDH。
当使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H 和 010C0H 至 010C3H，片内调试安全 ID 设于 000C4H 至 000CDH 和 010C4H 至 010CDH。
3. 可以通过安全设置禁止写入引导集群 0 (参阅 30.6 安全设置)。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位 (RPERDIS = 0) 的情况下，务必将所使用的 RAM 区域+10 字节的区域初始化。

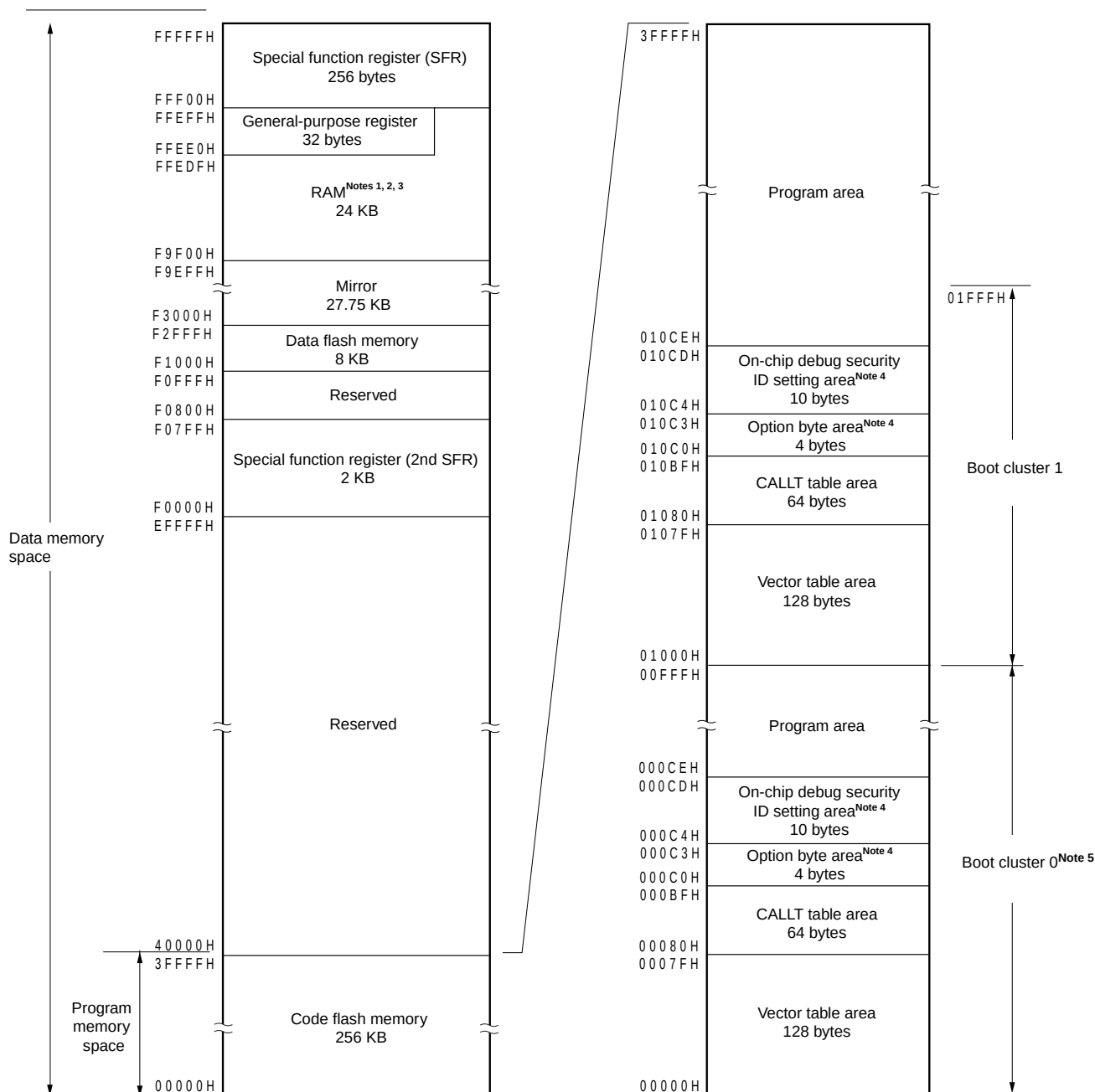
图 3-7. 存储器映射图 (R5F104xH (x = E 至 G、J、L、M、P))



- 注 1. 可以在通用寄存器以外的 RAM 区域中执行指令。
2. 当未使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H，片内调试安全 ID 设于 000C4H 至 000CDH。
- 当使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H 和 010C0H 至 010C3H，片内调试安全 ID 设于 000C4H 至 000CDH 和 010C4H 至 010CDH。
3. 可以通过安全设置禁止写入引导集群 0 (参阅 30.6 安全设置)。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位 (RPERDIS = 0) 的情况下，务必将所使用的 RAM 区域+10 字节的区域初始化。

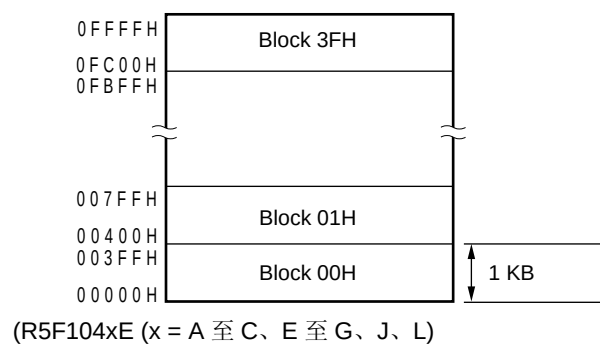
图 3-8. 存储器映射图 (R5F104xJ (x = F、G、J、L、M、P))



- 注 1. 使用自编程功能和数据 flash 功能时，禁止使用 F9F00H 至 FA309H 区域，因为该区域用于自编程库。
2. 使用片内调试追踪功能时，禁止使用 FA300H 至 FA6FFH 区域。
3. 可以在通用寄存器以外的 RAM 区域中执行指令。
4. 当未使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H，片内调试安全 ID 设于 000C4H 至 000CDH。
- 当使用引导交换功能时： 将选项字节设于 000C0H 至 000C3H 和 010C0H 至 010C3H，片内调试安全 ID 设于 000C4H 至 000CDH 和 010C4H 至 010CDH。
5. 可以通过安全设置禁止写入引导集群 0 (参阅 30.6 安全设置)。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位 (RPERDIS = 0) 的情况下，务必将所使用的 RAM 区域+10 字节的区域初始化。

备注 Flash 存储器分成块（1 个块= 1 KB）。关于地址值和区域编号，请参阅**表 3-1 闪存中地址值和区域编号之间的对应**。



闪存中地址值和区域编号之间的对应如下所示。

表 3-1. 闪存中地址值和区域编号之间的对应 (1/2)

地址值	区域 编号	地址值	区域 编号	地址值	区域 编号	地址值	区域 编号
00000H至003FFH	00H	08000H至083FFH	20H	10000H至103FFH	40H	18000H至183FFH	60H
00400H至007FFH	01H	08400H至087FFH	21H	10400H至107FFH	41H	18400H至187FFH	61H
00800H至00BFFH	02H	08800H至08BFFH	22H	10800H至10BFFH	42H	18800H至18BFFH	62H
00C00H至00FFFH	03H	08C00H至08FFFH	23H	10C00H至10FFFH	43H	18C00H至18FFFH	63H
01000H至013FFH	04H	09000H至093FFH	24H	11000H至113FFH	44H	19000H至193FFH	64H
01400H至017FFH	05H	09400H至097FFH	25H	11400H至117FFH	45H	19400H至197FFH	65H
01800H至01BFFH	06H	09800H至09BFFH	26H	11800H至11BFFH	46H	19800H至19BFFH	66H
01C00H至01FFFH	07H	09C00H至09FFFH	27H	11C00H至11FFFH	47H	19C00H至19FFFH	67H
02000H至023FFH	08H	0A000H至0A3FFH	28H	12000H至123FFH	48H	1A000H至1A3FFH	68H
02400H至027FFH	09H	0A400H至0A7FFH	29H	12400H至127FFH	49H	1A400H至1A7FFH	69H
02800H至02BFFH	0AH	0A800H至0ABFFH	2AH	12800H至12BFFH	4AH	1A800H至1ABFFH	6AH
02C00H至02FFFH	0BH	0AC00H至0AFFFH	2BH	12C00H至12FFFH	4BH	1AC00H至1AFFFH	6BH
03000H至033FFH	0CH	0B000H至0B3FFH	2CH	13000H至133FFH	4CH	1B000H至1B3FFH	6CH
03400H至037FFH	0DH	0B400H至0B7FFH	2DH	13400H至137FFH	4DH	1B400H至1B7FFH	6DH
03800H至03BFFH	0EH	0B800H至0BBFFH	2EH	13800H至13BFFH	4EH	1B800H至1BBFFH	6EH
03C00H至03FFFH	0FH	0BC00H至0BFFFH	2FH	13C00H至13FFFH	4FH	1BC00H至1BFFFH	6FH
04000H至043FFH	10H	0C000H至0C3FFH	30H	14000H至143FFH	50H	1C000H至1C3FFH	70H
04400H至047FFH	11H	0C400H至0C7FFH	31H	14400H至147FFH	51H	1C400H至1C7FFH	71H
04800H至04BFFH	12H	0C800H至0CBFFH	32H	14800H至14BFFH	52H	1C800H至1CBFFH	72H
04C00H至04FFFH	13H	0CC00H至0CFFFH	33H	14C00H至14FFFH	53H	1CC00H至1CFFFH	73H
05000H至053FFH	14H	0D000H至0D3FFH	34H	15000H至153FFH	54H	1D000H至1D3FFH	74H
05400H至057FFH	15H	0D400H至0D7FFH	35H	15400H至157FFH	55H	1D400H至1D7FFH	75H
05800H至05BFFH	16H	0D800H至0DBFFH	36H	15800H至15BFFH	56H	1D800H至1DBFFH	76H
05C00H至05FFFH	17H	0DC00H至0DFFFH	37H	15C00H至15FFFH	57H	1DC00H至1DFFFH	77H
06000H至063FFH	18H	0E000H至0E3FFH	38H	16000H至163FFH	58H	1E000H至1E3FFH	78H
06400H至067FFH	19H	0E400H至0E7FFH	39H	16400H至167FFH	59H	1E400H至1E7FFH	79H
06800H至06BFFH	1AH	0E800H至0EBFFH	3AH	16800H至16BFFH	5AH	1E800H至1EBFFH	7AH
06C00H至06FFFH	1BH	0EC00H至0EFFFH	3BH	16C00H至16FFFH	5BH	1EC00H至1EFFFH	7BH
07000H至073FFH	1CH	0F000H至0F3FFH	3CH	17000H至173FFH	5CH	1F000H至1F3FFH	7CH
07400H至077FFH	1DH	0F400H至0F7FFH	3DH	17400H至177FFH	5DH	1F400H至1F7FFH	7DH
07800H至07BFFH	1EH	0F800H至0FBFFH	3EH	17800H至17BFFH	5EH	1F800H至1FBFFH	7EH
07C00H至07FFFH	1FH	0FC00H至0FFFFH	3FH	17C00H至17FFFH	5FH	1FC00H至1FFFFH	7FH

表 3-1. 闪存中地址值和区域编号之间的对应 (2/2)

地址值	区域 编号	地址值	区域 编号	地址值	区域 编号	地址值	区域 编号
20000H至203FFH	80H	28000H至283FFH	A0H	30000H至303FFH	C0H	38000H至383FFH	E0H
20400H至207FFH	81H	28400H至287FFH	A1H	30400H至307FFH	C1H	38400H至387FFH	E1H
20800H至20BFFH	82H	28800H至28BFFH	A2H	30800H至30BFFH	C2H	38800H至38BFFH	E2H
20C00H至20FFFH	83H	28C00H至28FFFH	A3H	30C00H至30FFFH	C3H	38C00H至38FFFH	E3H
21000H至213FFH	84H	29000H至293FFH	A4H	31000H至313FFH	C4H	39000H至393FFH	E4H
21400H至217FFH	85H	29400H至297FFH	A5H	31400H至317FFH	C5H	39400H至397FFH	E5H
21800H至21BFFH	86H	29800H至29BFFH	A6H	31800H至31BFFH	C6H	39800H至39BFFH	E6H
21C00H至21FFFH	87H	29C00H至29FFFH	A7H	31C00H至31FFFH	C7H	39C00H至39FFFH	E7H
22000H至223FFH	88H	2A000H至2A3FFH	A8H	32000H至323FFH	C8H	3A000H至3A3FFH	E8H
22400H至227FFH	89H	2A400H至2A7FFH	A9H	32400H至327FFH	C9H	3A400H至3A7FFH	E9H
22800H至22BFFH	8AH	2A800H至2ABFFH	AAH	32800H至32BFFH	CAH	3A800H至3ABFFH	EAH
22C00H至22FFFH	8BH	2AC00H至2AFFFH	ABH	32C00H至32FFFH	CBH	3AC00H至3AFFFH	EBH
23000H至233FFH	8CH	2B000H至2B3FFH	ACH	33000H至333FFH	CCH	3B000H至3B3FFH	ECH
23400H至237FFH	8DH	2B400H至2B7FFH	ADH	33400H至337FFH	CDH	3B400H至3B7FFH	EDH
23800H至23BFFH	8EH	2B800H至2BBFFH	AEH	33800H至33BFFH	CEH	3B800H至3BBFFH	EEH
23C00H至23FFFH	8FH	2BC00H至2BFFFH	AFH	33C00H至33FFFH	CFH	3BC00H至3BFFFH	EFH
24000H至243FFH	90H	2C000H至2C3FFH	B0H	34000H至343FFH	D0H	3C000H至3C3FFH	F0H
24400H至247FFH	91H	2C400H至2C7FFH	B1H	34400H至347FFH	D1H	3C400H至3C7FFH	F1H
24800H至24BFFH	92H	2C800H至2CBFFH	B2H	34800H至34BFFH	D2H	3C800H至3CBFFH	F2H
24C00H至24FFFH	93H	2CC00H至2CFFFH	B3H	34C00H至34FFFH	D3H	3CC00H至3CFFFH	F3H
25000H至253FFH	94H	2D000H至2D3FFH	B4H	35000H至353FFH	D4H	3D000H至3D3FFH	F4H
25400H至257FFH	95H	2D400H至2D7FFH	B5H	35400H至357FFH	D5H	3D400H至3D7FFH	F5H
25800H至25BFFH	96H	2D800H至2DBFFH	B6H	35800H至35BFFH	D6H	3D800H至3DBFFH	F6H
25C00H至25FFFH	97H	2DC00H至2DFFFH	B7H	35C00H至35FFFH	D7H	3DC00H至3DFFFH	F7H
26000H至263FFH	98H	2E000H至2E3FFH	B8H	36000H至363FFH	D8H	3E000H至3E3FFH	F8H
26400H至267FFH	99H	2E400H至2E7FFH	B9H	36400H至367FFH	D9H	3E400H至3E7FFH	F9H
26800H至26BFFH	9AH	2E800H至2EBFFH	BAH	36800H至36BFFH	DAH	3E800H至3EBFFH	FAH
26C00H至26FFFH	9BH	2EC00H至2EFFFH	BBH	36C00H至36FFFH	DBH	3EC00H至3EFFFH	FBH
27000H至273FFH	9CH	2F000H至2F3FFH	BCH	37000H至373FFH	DCH	3F000H至3F3FFH	FCH
27400H至277FFH	9DH	2F400H至2F7FFH	BDH	37400H至377FFH	DDH	3F400H至3F7FFH	FDH
27800H至27BFFH	9EH	2F800H至2FBFFH	BEH	37800H至37BFFH	DEH	3F800H至3FBFFH	FEH
27C00H至27FFFH	9FH	2FC00H至2FFFFH	BFH	37C00H至37FFFH	DFH	3FC00H至3FFFFH	FFH

3.1.1 内部程序存储空间

内部程序存储器空间中存储程序和表数据。

RL78/G14 产品中内置的内部 ROM（闪存）如下所示。

表 3-2. 内部 ROM 容量

部件编号	内部 ROM	
	结构	容量
R5F104xA (x = A 至 C、E 至 G)	闪存	16384 × 8 位 (00000H 至 03FFFFH)
R5F104xC (x = A 至 C、E 至 G、J、L)		32768 × 8 位 (00000H 至 07FFFFH)
R5F104xD (x = A 至 C、E 至 G、J、L)		49152 × 8 位 (00000H 至 0BFFFFH)
R5F104xE (x = A 至 C、E 至 G、J、L)		65536 × 8 位 (00000H 至 0FFFFFH)
R5F104xF (x = A 至 C、E 至 G、J、L、M、P)		98304 × 8 位 (00000H 至 17FFFFH)
R5F104xG (x = A 至 C、E 至 G、J、L、M、P)		131072 × 8 位 (00000H 至 1FFFFFH)
R5F104xH (x = E 至 G、J、L、M、P)		196608 × 8 位 (00000H 至 2FFFFFH)
R5F104xJ (x = F、G、J、L、M、P)		262144 × 8 位 (00000H 至 3FFFFFH)

内部程序存储器空间分为以下区域。

(1) 向量表区域

00000H 至 0007FH 的 128 字节区域作为向量表区域被保留。由于复位或各个中断请求的产生而导致分支时的程序开始地址保存在向量表区域中。另外，由于假设向量代码为 2 个字节，因此中断的跳转地址为 00000H 至 0FFFFFH 的 64K 地址。

在该 16 位地址中，低 8 位存储于偶数地址，高 8 位存储于奇数地址。

若要使用引导交换功能，同时要在 01000H 至 0107FH 区设置一个向量表。

表 3-3 列出了向量表。“√”表示支持的中断源。“-”表示不支持的中断源。

表 3-3. 向量表 (1/2)

向量表地址	中断源	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
0000H	RESET, POR, LVD, WDT, TRAP, IAW, RAMTOP	√	√	√	√	√	√	√	√	√	√
0004H	INTWDTI	√	√	√	√	√	√	√	√	√	√
0006H	INTLVI	√	√	√	√	√	√	√	√	√	√
0008H	INTP0	√	√	√	√	√	√	√	√	√	√
000AH	INTP1	√	√	√	√	√	√	√	√	√	√
000CH	INTP2	√	√	√	√	√	√	√	√	√	√
000EH	INTP3	√	√	√	√	√	√	√	√	√	√
0010H	INTP4	√	√	√	√	√	√	√	√	√	√
0012H	INTP5	√	√	√	√	√	√	√	√	√	√
0014H	INTST2/INTCSI20/INTIIC20	√	√	√	√	√	√	√	√	√	√
0016H	INTSR2/INTCSI21/INTIIC21	√	√	√	√	√	√	√	√	注1	注1
0018H	INTSRE2	√	√	√	√	√	√	√	√	√	√
	INTTM11H	√	√	—	—	—	—	—	—	—	—
001EH	INTST0/INTCSI00/INTIIC00	√	√	√	√	√	√	√	√	√	√
0020H	INTSR0/INTCSI01/INTIIC01	√	√	√	√	√	注2	注2	注2	注2	注2
0022H	INTSRE0	√	√	√	√	√	√	√	√	√	√
	INTTM01H	√	√	√	√	√	√	√	√	√	√
0024H	INTST1/INTCSI10/INTIIC10	√	√	√	注3	注3	注3	注3	注3	注3	注3
0026H	INTSR1/INTCSI11/INTIIC11	√	√	√	√	√	√	√	√	√	√
0028H	INTSRE1	√	√	√	√	√	√	√	√	√	√
	INTTM03H	√	√	√	√	√	√	√	√	√	√
002AH	INTIICA0	√	√	√	√	√	√	√	√	√	√
002CH	INTTM00	√	√	√	√	√	√	√	√	√	√
002EH	INTTM01	√	√	√	√	√	√	√	√	√	√
0030H	INTTM02	√	√	√	√	√	√	√	√	√	√
0032H	INTTM03	√	√	√	√	√	√	√	√	√	√
0034H	INTAD	√	√	√	√	√	√	√	√	√	√
0036H	INTRTC	√	√	√	√	√	√	√	√	√	√
0038H	INTIT	√	√	√	√	√	√	√	√	√	√
003AH	INTKR	√	√	√	√	√	√	√	—	—	—
003CH	INTST3/INTCSI30/INTIIC30	√	√	—	—	—	—	—	—	—	—
003EH	INTSR3/INTCSI31/INTIIC31	√	√	—	—	—	—	—	—	—	—
0040H	INTTRJ0	√	√	√	√	√	√	√	√	√	√
0042H	INTTM10	√	√	—	—	—	—	—	—	—	—
0044H	INTTM11	√	√	—	—	—	—	—	—	—	—
0046H	INTTM12	√	√	—	—	—	—	—	—	—	—
0048H	INTTM13	√	√	—	—	—	—	—	—	—	—

注 1. 仅支持 INTSR2。

2. 仅支持 INTSR0。

3. 仅支持 INTST1。

表 3-3. 向量表 (2/2)

向量表地址	中断源	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
004AH	INTP6	√	√	√	√	√	-	-	-	-	-
004CH	INTP7	√	√	√	-	-	-	-	-	-	-
004EH	INTP8	√	√	√	√	√	-	-	-	-	-
0050H	INTP9	√	√	√	√	√	-	-	-	-	-
0052H	INTP10	√	√	√	√	-	-	-	-	-	-
	INTCMP0	√	√	注	注	注	注	注	注	注	注
0054H	INTP11	√	√	√	√	-	-	-	-	-	-
	INTCMP1	√	√	注	注	注	注	注	注	注	注
0056H	INTTRD0	√	√	√	√	√	√	√	√	√	√
0058H	INTTRD1	√	√	√	√	√	√	√	√	√	√
005AH	INTTRG	√	√	√	√	√	√	√	√	√	√
005CH	INTSRE3	√	√	-	-	-	-	-	-	-	-
	INTTM13H	√	√	-	-	-	-	-	-	-	-
0060H	INTIICA1	√	√	-	-	-	-	-	-	-	-
0062H	INTFL	√	√	√	√	√	√	√	√	√	√
007EH	BRK	√	√	√	√	√	√	√	√	√	√

注 仅限代码闪存为 96 KB 或更大的产品。

(2) CALLT 指令表区域

00080H 至 000BFH 的 64 字节区域可以存储 2 字节调用指令 (CALLT) 的子程序入口地址。将子程序入口地址设为 00000H 至 0FFFFH 范围内的一个值 (因为地址代码为 2 个字节)。

若要使用引导交换功能, 同时要在 01080H 至 010BFH 区设置一个 CALLT 指令表。

(3) 选项字节区域

000C0H 至 000C3H 的 4 字节区域可用作选项字节区域。使用引导交换功能时, 在 010C0H 至 010C3H 中也设置选项字节。详情请参阅第二十九章 选项字节。

(4) 片上调试安全 ID 设置区域

000C4H 至 000CDH 和 010C4H 至 010CDH 的 10 字节区域可用作片内调试安全 ID 设置区域。当未使用引导交换功能时, 将 10 字节的片内调试安全 ID 设于 000C4H 至 000CDH; 当使用引导交换功能时, 将其设于 000C4H 至 000CDH 以及 010C4H 至 010CDH。详情请参阅第三十一章 On-chip 调试功能。

3.1.2 镜像区域

RL78/G14 中，将 00000H 至 0FFFFH 的代码 flash 区域映射到 F0000H 至 FFFFFH。闪存为 96KB 或更大的产品中，将 00000H 至 0FFFFH 或 10000H 至 1FFFFH 的代码 flash 区域映射到 F0000H 至 FFFFFH（待映射的代码 flash 区域通过处理器模式控制寄存器(PMC)设置）。

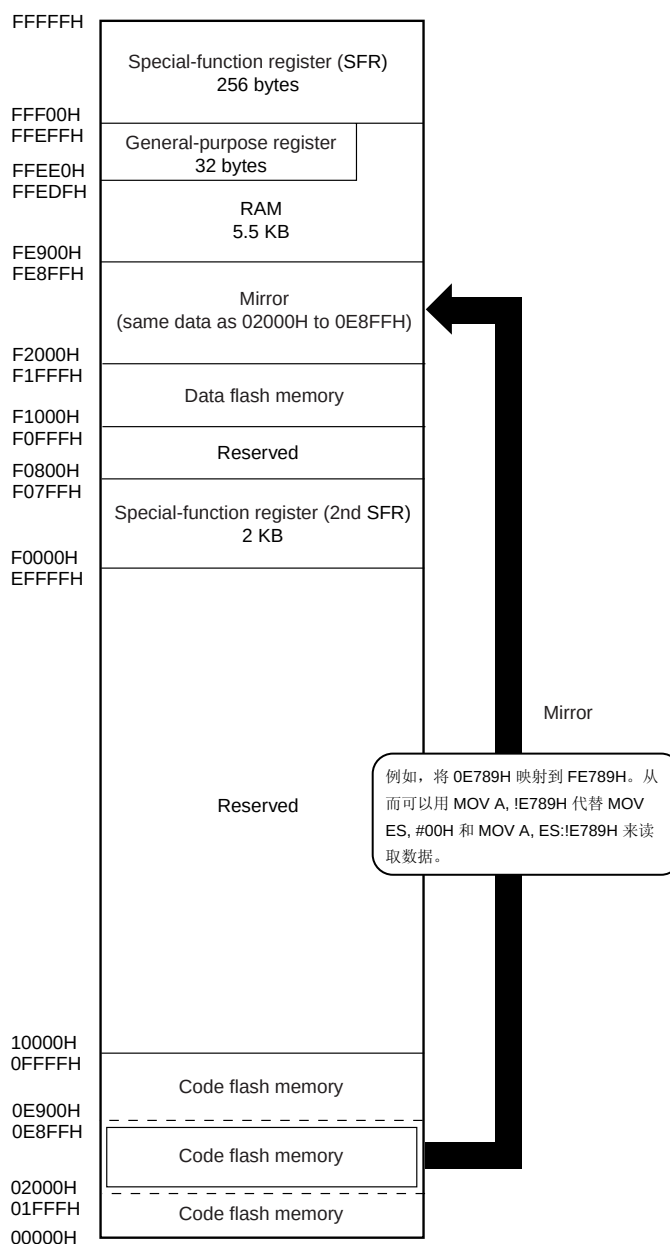
通过从 F0000H 至 FFFFFH 区域读取数据，可以使用不具有 ES 寄存器作为操作数的指令，因此，能够用短代码读取代码 flash 的内容。然而，不能将代码 flash 区域映射到 SFR、扩展 SFR、RAM 和禁用使用区域。

关于每种产品的镜像区域，请参阅 3.1 存储空间。

镜像区域为只读，不得从该区域取指令。

示例如下所示。

示例 R5F104xE (x = A 至 C、E 至 G、J、L) (闪存：64 KB，RAM：5.5 KB)



PMC 寄存器如下所示。

● 处理器模式控制寄存器(PMC)

该寄存器设置被镜像到 F0000H 至 FFFFFH 区域的闪存空间。

使用 1 位或 8 位存储器操作指令设置 PMC 寄存器。

产生复位信号后，设置该寄存器为 00H。

图 3-9. 处理器模式控制寄存器(PMC)的格式

地址: FFFFEH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	<0>
PMC	0	0	0	0	0	0	0	MAA

MAA	设置镜像到F0000H至FFFFFH的闪存空间
0	00000H至0FFFFH镜像到F0000H至FFFFFH
1	10000H至1FFFFH镜像到F0000H至FFFFFH [※]

注 闪存为 64KB 或更低的产品禁用该设置。

- 注意事项
1. 对于闪存为 64KB 或更小的产品，务必确保将该寄存器的位 0(MAA)清除至 0（初始值）。
 2. 在操作数据传送控制器(DTC)之前，仅在初始设定时设置 PMC 寄存器一次。禁止在初始设定以外的時候重写 PMC 寄存器。
 3. 设置 PMC 寄存器后，至少等待一条指令后才可以存取镜像区域。

3.1.3 内部数据存储空间

RL78/G14 产品中内置以下 RAM。

表 3-4. 内部 RAM 容量

部件编号	内部 RAM
R5F104xA (x = A 至 C、E 至 G)	2560 × 8 位 (FF500H 至 FFEFFH)
R5F104xC (x = A 至 C、E 至 G、J、L)	4096 × 8 位 (FEF00H 至 FFEFFH)
R5F104xD (x = A 至 C、E 至 G、J、L)	5632 × 8 位 (FE900H 至 FFEFFH)
R5F104xE (x = A 至 C、E 至 G、J、L)	
R5F104xF (x = A 至 C、E 至 G、J、L、M、P)	12288 × 8 位 (FCF00H 至 FFEFFH)
R5F104xG (x = A 至 C、E 至 G、J、L、M、P)	16384 × 8 位 (FBF00H 至 FFEFFH)
R5F104xH (x = E 至 G、J、L、M、P)	20480 × 8 位 (FAF00H 至 FFEFFH)
R5F104xJ (x = F、G、J、L、M、P)	24576 × 8 位 (F9F00H 至 FFEFFH)

内部 RAM 可以用作数据区域以及写入并执行指令的程序区域。每组由 8 个 8 位寄存器构成的四组通用寄存器被分配给内部 RAM 区域中的 FFEE0H 至 FFEFFH 的 32 位区域。然而，不能通过通用寄存器执行指令。

内部 RAM 用作堆栈存储器。

- 注意事项**
1. 禁止利用通用寄存器（FFEE0H 至 FFEFFH）空间来获取指令，也不得将其用作堆栈区域。
 2. 使用自编程功能和数据 flash 功能时，以下产品中的内部 RAM 不能用作堆栈存储器。

R5F104xD (x = A 至 C、E 至 G、J、L): FE900H 至 FED09H

R5F104xE (x = A 至 C、E 至 G、J、L): FE900H 至 FED09H

R5F104xJ (x = F、G、J、L、M、P): F9F00H 至 FA309H

3. 使用片内调试追踪功能时，以下产品中的内部 RAM 区域不能用作堆栈存储器。

R5F104xJ (x = A 至 C、E 至 G、J、L): FA300H 至 FA6FFH

3.1.4 特殊功能寄存器（SFR）区域

片上外围硬件特殊功能寄存器(SFR)被分配到 FFF00H 至 FFFFFH 区域(参阅 **3.2.4 特殊功能寄存器(SFR)** 中的表 3-5)。

注意事项 不得存取未分配 SFR 的地址。

3.1.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器) 区域

片上外围硬件扩展特殊功能寄存器(2nd SFR)被分配到 F0000H 至 F07FFH 区域(参阅 **3.2.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器)** 中的表 3-6)。

SFR 区域（FFF00H 至 FFFFFH）以外的 SFR 被分配到该区域。然而，存取扩展 SFR 区域的指令比存取 SFR 区域的指令长 1 个字节。

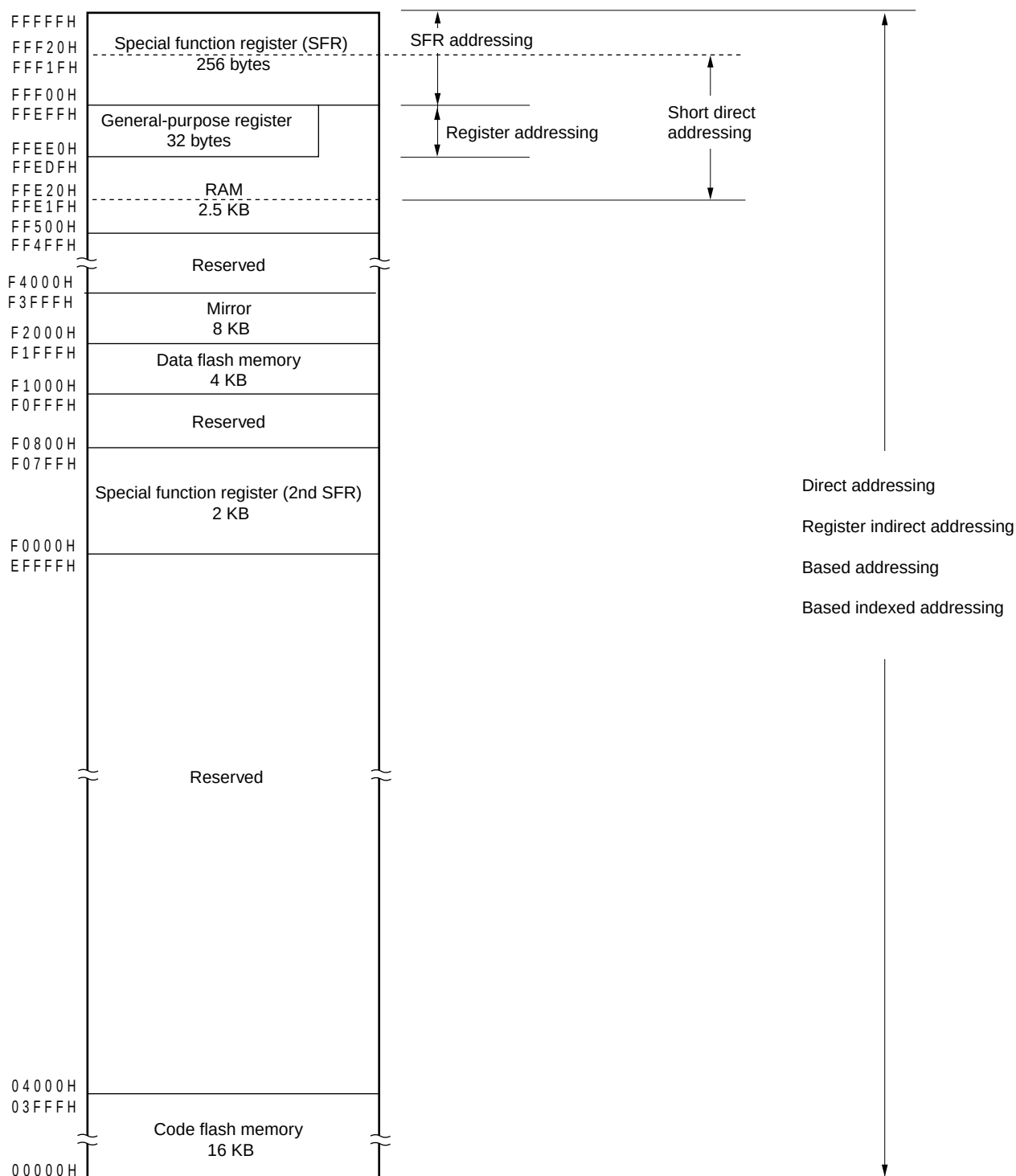
注意事项 不得存取未分配扩展 SFR 的地址。

3.1.6 数据存储器寻址

寻址是一种方法，用于指定下一步将执行的指令的地址，或者执行指令时相关的寄存器或存储器等的地址。

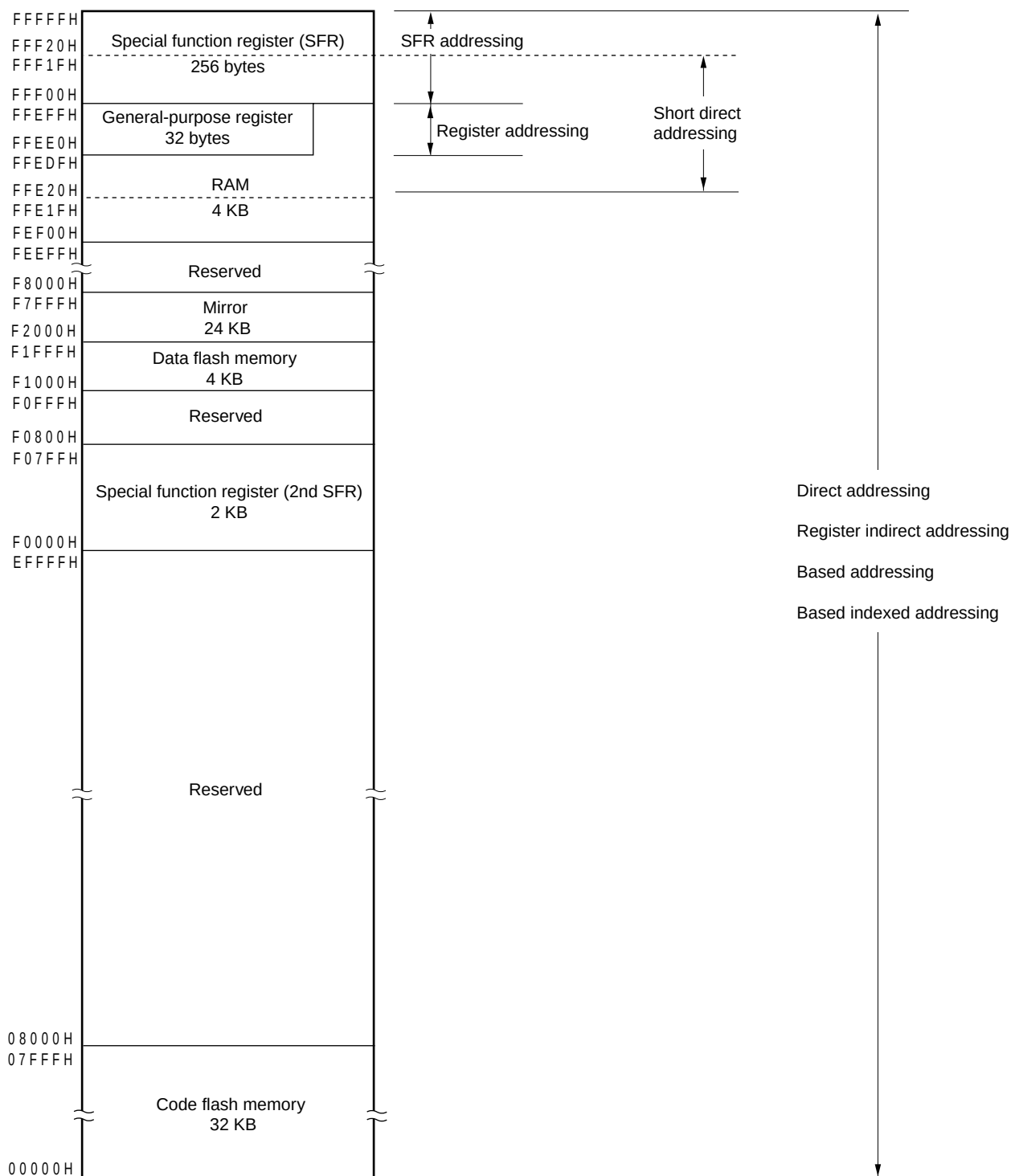
考虑到可操作性等等，RL78/G14 中提供丰富的寻址模式，用于执行指令时相关的存储器的寻址。尤其在具有数据存储器的区域，可以使用配合特殊功能寄存器(SFR)或通用寄存器等的功能而设计的特殊寻址方法。数据存储器和寻址之间的对应如图 3-10 至 图 3-17 所示。每种寻址的详情请参阅 **3.4 处理数据地址的寻址**。

图 3-10. 数据存储器 and 寻址之间的对应(R5F104xA (x = A 至 C、E 至 G))



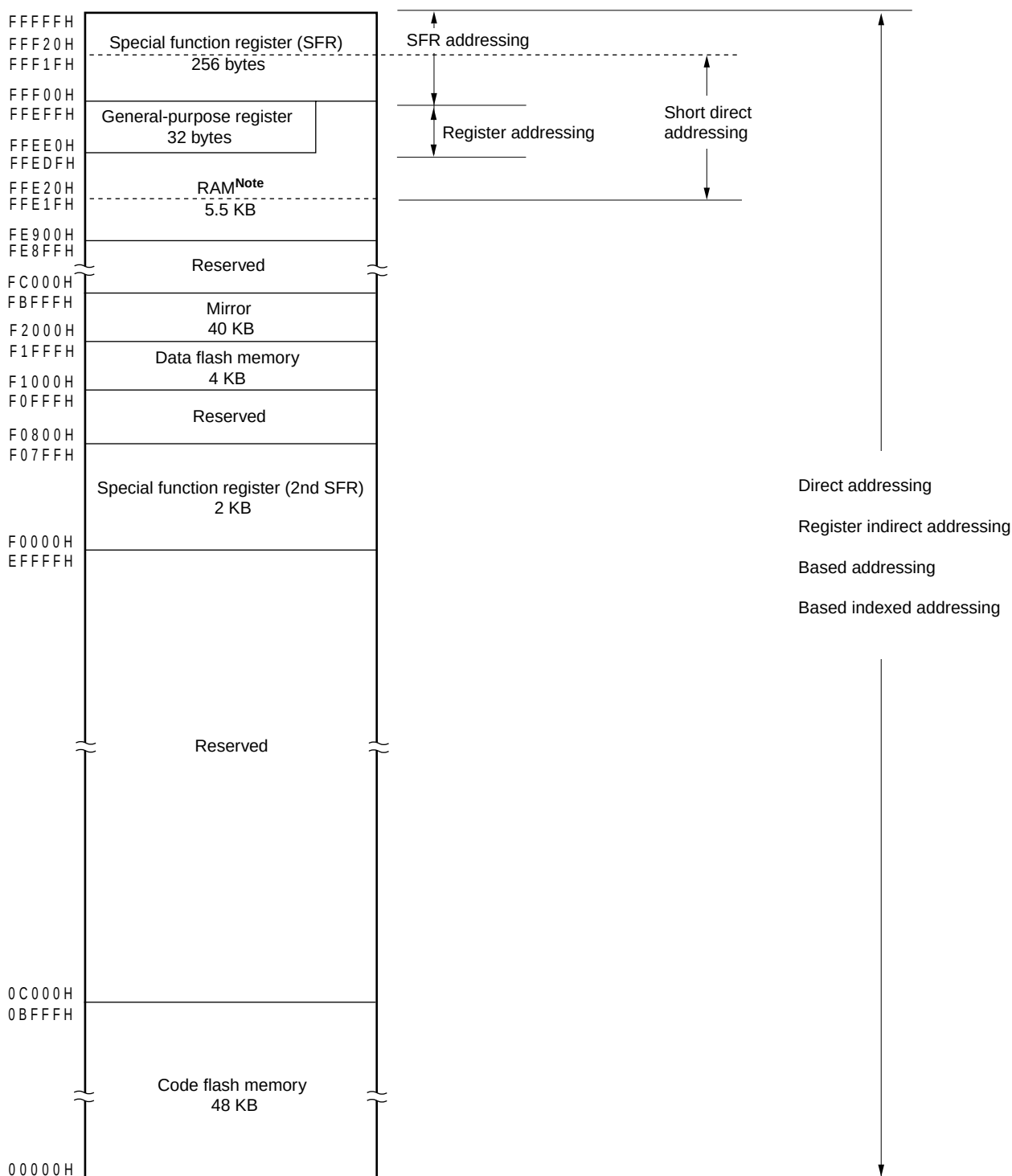
注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位(RPERDIS = 0)的情况下, 务必将所使用的 RAM 区域+10 字节的区域初始化。

图 3-11. 数据存储器与寻址之间的对应(R5F104xC (x = A 至 C、E 至 G、J、L))



注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位(RPERDIS = 0)的情况下, 务必将所使用的 RAM 区域+10 字节的区域初始化。

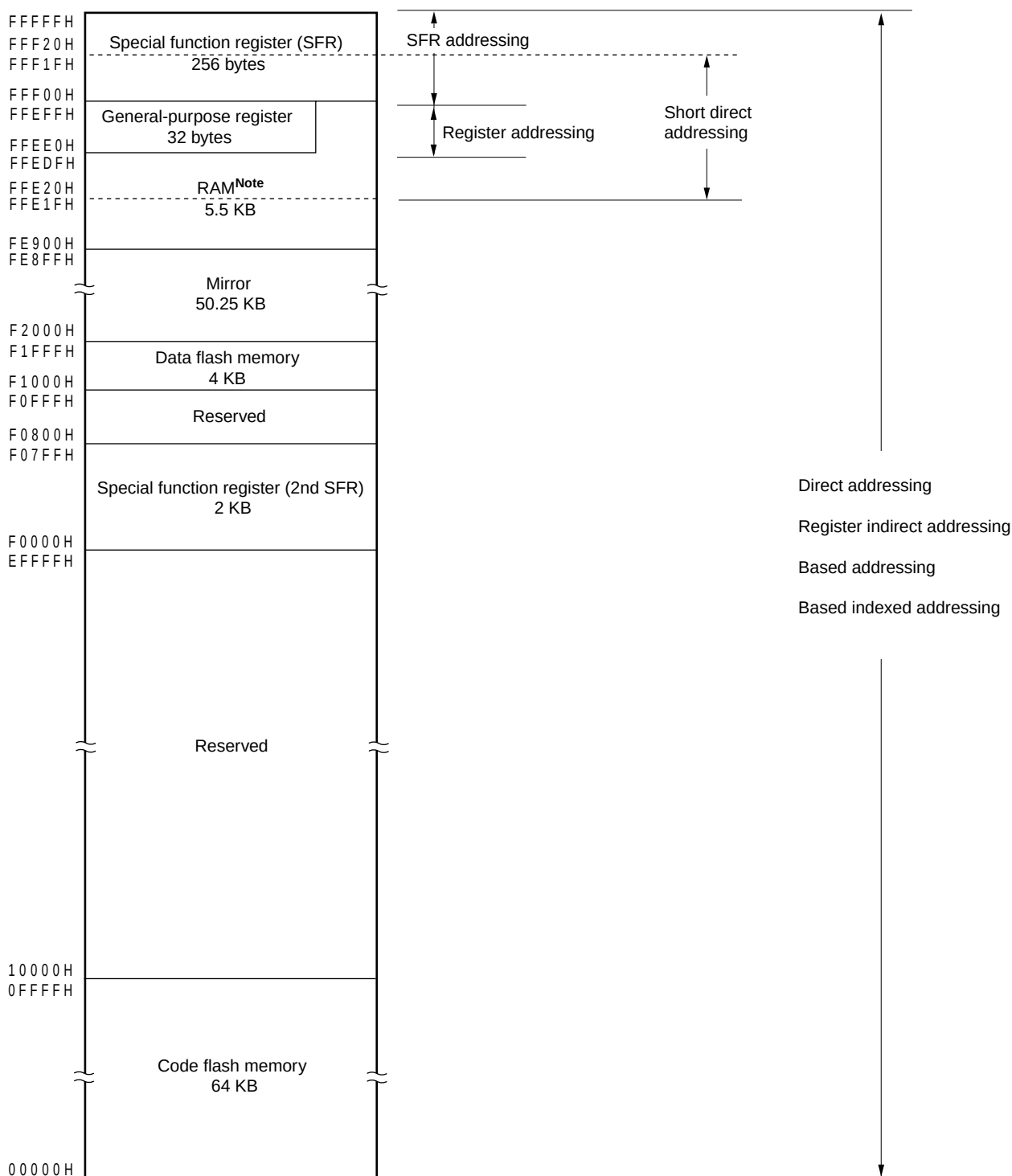
图 3-12. 数据存储器和寻址之间的对应(R5F104xD (x = A 至 C、E 至 G、J、L))



注 使用自编程功能和数据 flash 功能时，禁止使用 FE900H 至 FED09H 区域，因为该区域用于库的工作区。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位(RPERDIS = 0)的情况下，务必将所使用的 RAM 区域+10 字节的区域初始化。

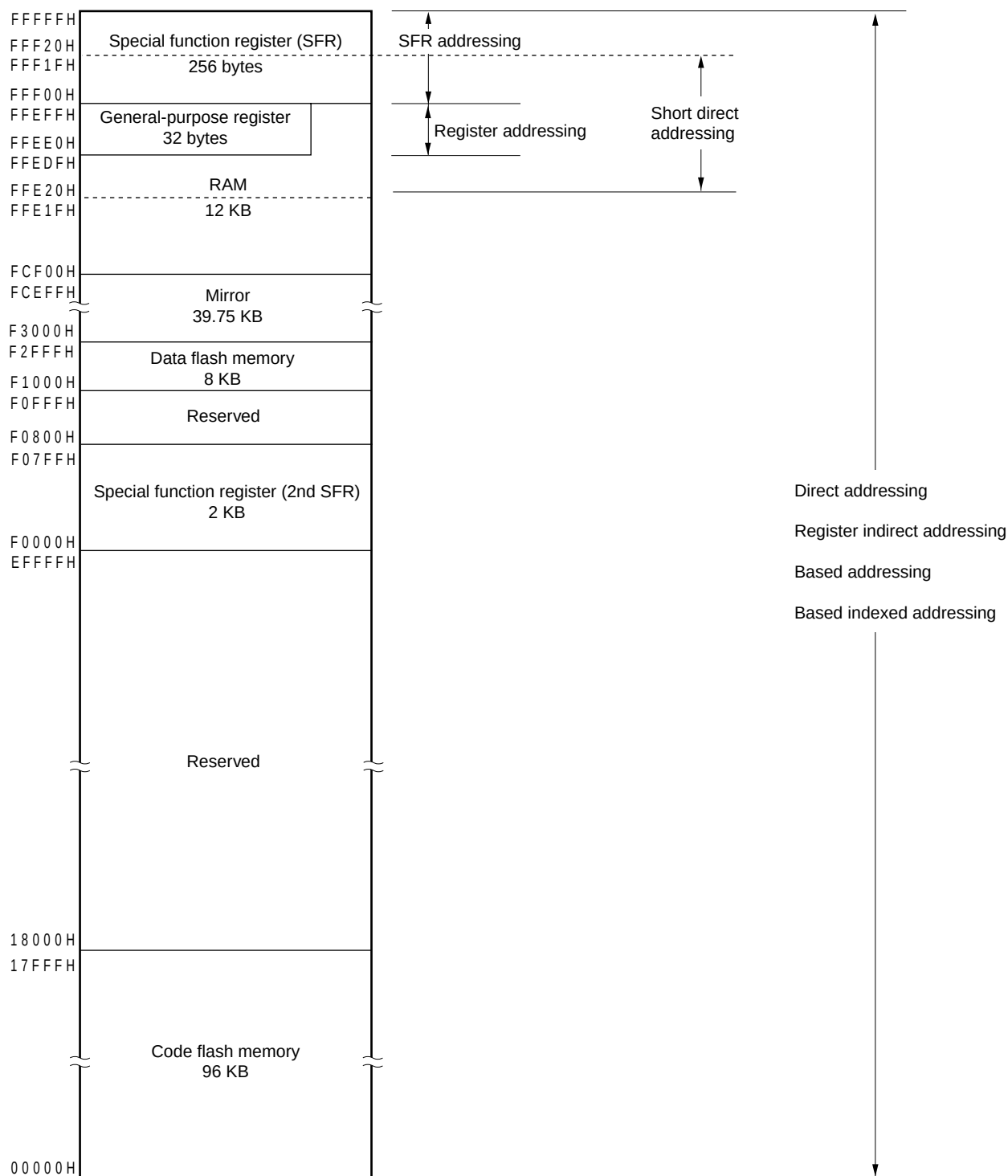
图 3-13. 数据存储器和寻址之间的对应(R5F104xE (x = A 至 C、E 至 G、J、L))



注 使用自编程功能和数据 flash 功能时，禁止使用 FE900H 至 FED09H 区域，因为该区域用于库的工作区。

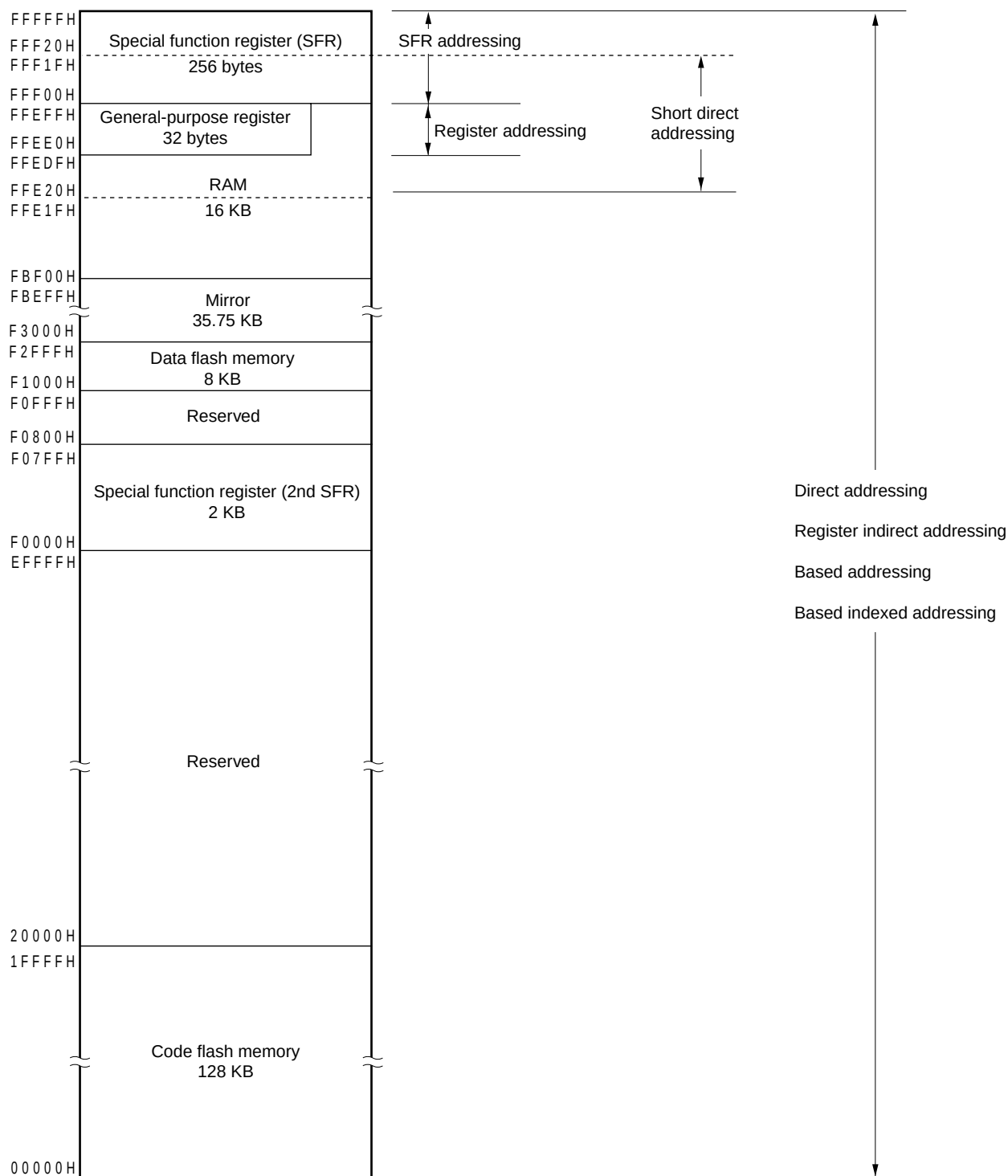
注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位(RPERDIS = 0)的情况下，务必将所使用的 RAM 区域+10 字节的区域初始化。

图 3-14. 数据存储器 and 寻址之间的对应(R5F104xF (x = A 至 C、E 至 G、J、L、M、P))



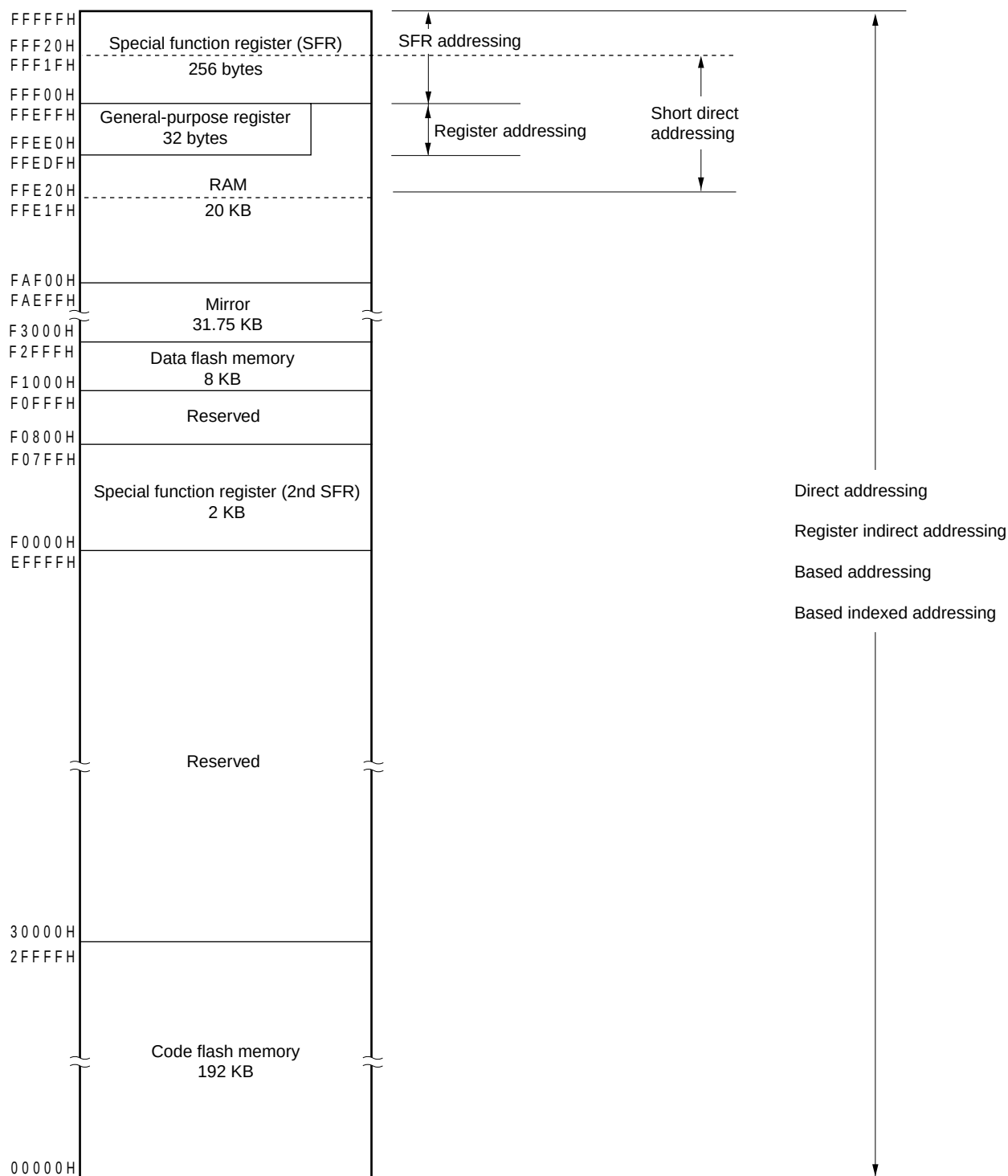
注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位(RPERDIS = 0)的情况下, 务必将所使用的 RAM 区域+10 字节的区域初始化。

图 3-15. 数据存储器和寻址之间的对应(R5F104xG (x = A 至 C、E 至 G、J、L、M、P))



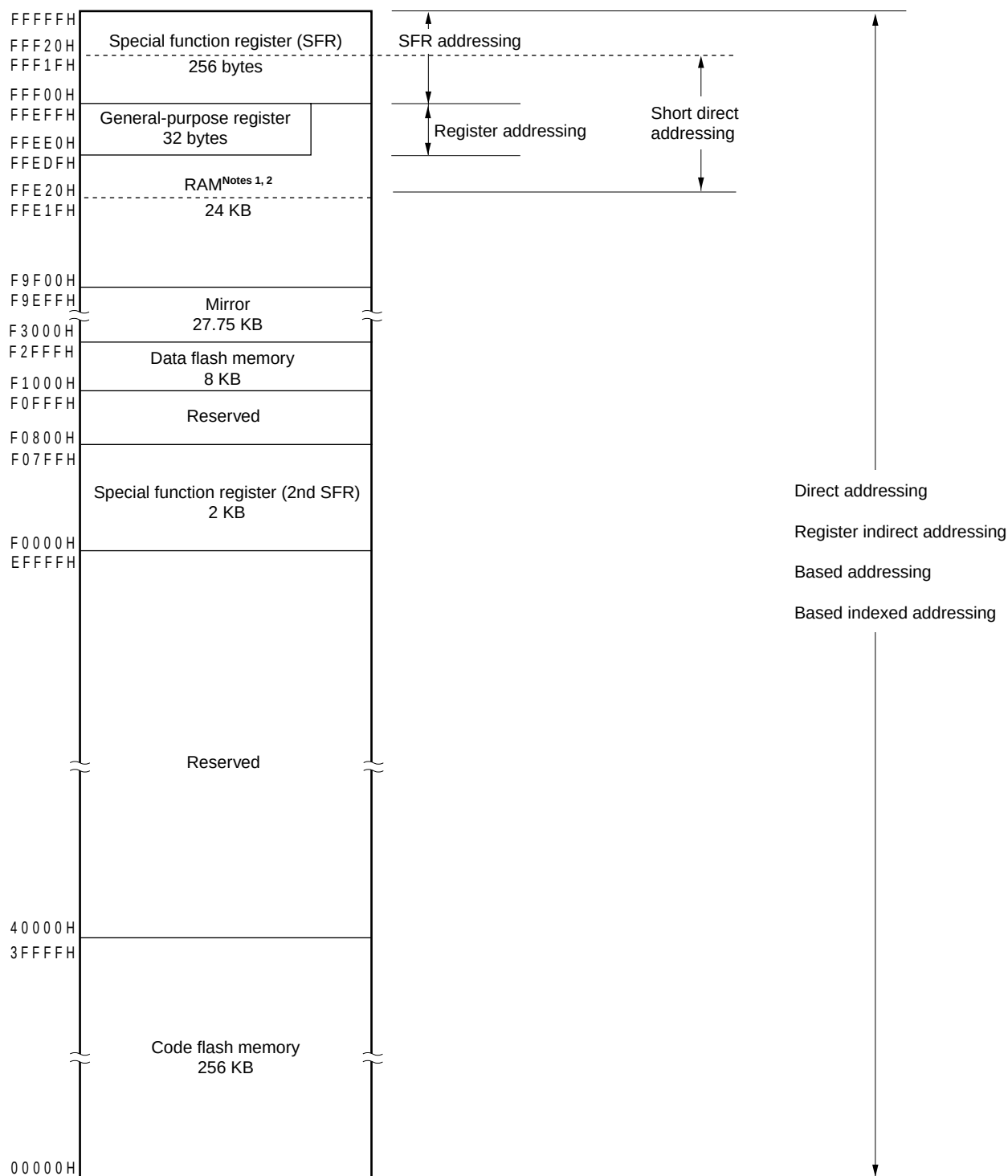
注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位(RPERDIS = 0)的情况下, 务必将所使用的 RAM 区域+10 字节的区域初始化。

图 3-16. 数据存储器和寻址之间的对应(R5F104xH (x = E 至 G、J、L、M、P))



注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位(RPERDIS = 0)的情况下, 务必将所使用的 RAM 区域+10 字节的区域初始化。

图 3-17. 数据存储器和寻址之间的对应(R5F104xJ (x = F、G、J、L、M、P))



- 注 1. 使用自编程功能和数据 flash 功能时, 禁止使用 F9F00H 至 FA309H 区域, 因为该区域用于库的工作区。
 2. 使用片内调试追踪功能时, 禁止使用 FA300H 至 FA6FFH 区域。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误复位(RPERDIS = 0)的情况下, 务必将所使用的 RAM 区域+10 字节的区域初始化。

3.2 处理器寄存器

RL78/G14 产品中内置以下处理器寄存器。

3.2.1 控制寄存器

控制寄存器用于控制程序序列、状态和堆栈存储器。控制寄存器由程序计数器(PC)、程序状态字(PSW)和堆栈指针(SP)组成。

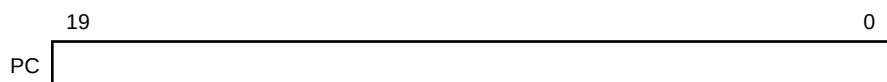
(1) 程序计数器(PC)

程序计数器是一个 20 位寄存器，其中存储着将执行的下个程序的地址信息。

在正常操作中，PC 根据待获取的指令的字节数自动递增。执行分支指令时，设置立即数和寄存器内容。

产生复位信号后，设置地址 0000H 和 0001H 处的复位向量表的值至程序计数器。

图 3-18. 程序计数器的格式

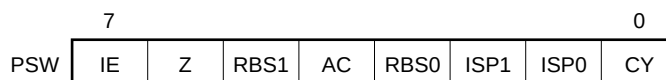


(2) 程序状态字(PSW)

程序状态字为 8 位寄存器，由通过执行指令来设置/复位的多个标志组成。

程序状态字内容在向量中断请求被受理或 PUSH PSW 指令被执行时存储于堆栈区中，并在执行 RETB、RETI 和 POP PSW 指令时恢复。通产生复位信号后，设置 PSW 寄存器为 06H。

图 3-19. 程序状态字的格式



(a) 中断允许标志(IE)

该标志控制 CPU 的中断请求受理操作。

当其为 0 时，IE 标志设置为中断禁止(DI)状态，禁止所有可屏蔽中断请求。

当其为 1 时，IE 标志设置为中断允许(EI)状态，通过受理中断的优先级标志 (ISP1、ISP0)、针对多种中断源的中断屏蔽标志和优先级指定标志来控制中断请求的受理。

IE 标志在 DI 指令被执行或中断被受理时复位为(0)，在 EI 指令被执行时设置为(1)。

(b) 零标志(Z)

当运算结果为零时，该标志设置为(1)。其他情况下复位为(0)。

(c) 寄存器组选择标志(RBS0, RBS1)

用于从 4 个寄存器组中选出 1 个的 2 位标志。

用于指示通过执行 SEL RBn 指令而选择的寄存器组的 2 位信息存储于该标志中。

(d) 辅助进位标志(AC)

如果运算结果为在位 3 进位或在位 3 借位，则该标志设置为(1)。其他情况下复位为(0)。

(e) 受理中断的优先级标志(ISP1, ISP0)

可以受理的可屏蔽向量中断的优先级由该标志管理。优先级指定标志寄存器 (PRn0L、PRn0H、PRn1L、PRn1H、PRn2L、PRn2H) (参阅 21.3 (3))所指定的低于 ISP0 和 ISP1 标志值的向量中断请求不被受理。实际上是否受理中断请求由中断允许标志 (IE)控制。

备注 n = 0, 1

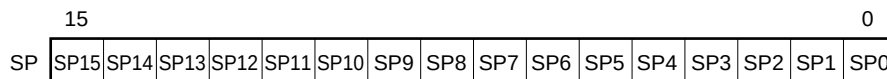
(f) 进位标志(CY)

该标志存储执行加/减指令时的溢出和下溢。执行循环指令时存储移出值，执行位操作指令时用作位累加器。

(3) 堆栈指针(SP)

该 16 位寄存器用于保持存储器堆栈区域的起始地址。仅限内部 RAM 区域可设为堆栈区域。

图 3-20. 堆栈指针的格式



SP 在写入（保存至）堆栈存储器之前递减，在从堆栈存储器读取（恢复）之后递增。

各堆栈操作所保存的数据如图 3-21 所示。

- 注意事项**
1. 由于产生复位信号时会使 SP 的内容不确定，因此务必在使用该堆栈之前初始化 SP。
 2. 禁止将通用寄存器（FFEE0H 至 FFEFFH）空间用作堆栈区。
 3. 使用自编程功能和数据 flash 功能时，以下产品中的内部 RAM 不能用作堆栈存储器。

R5F104xD (x = A 至 C、E 至 G、J、L): FE900H 至 FED09H

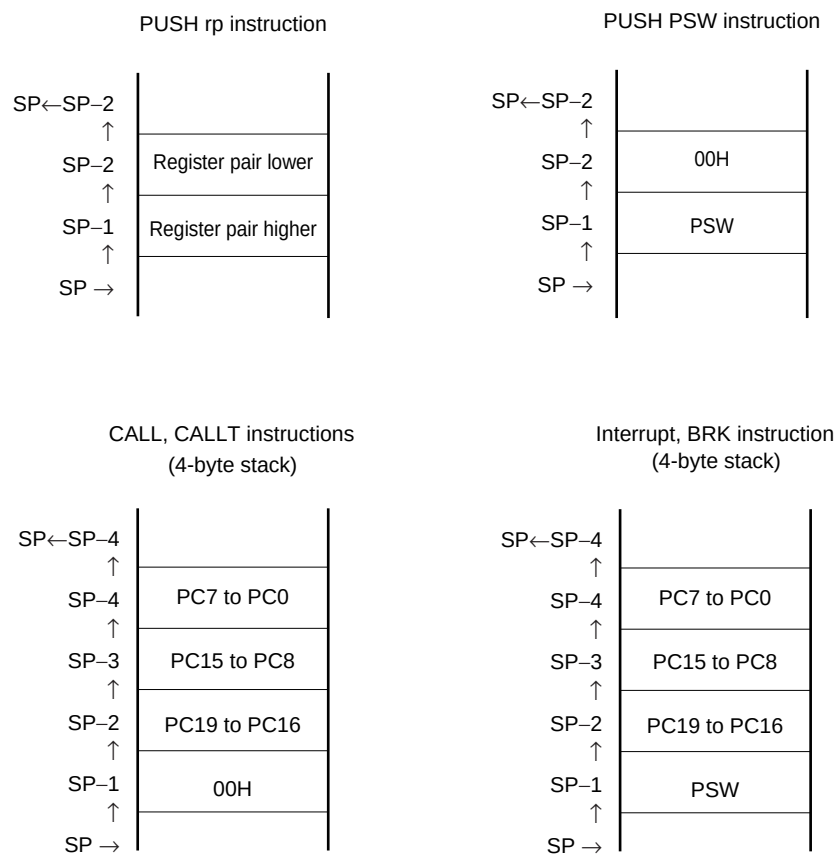
R5F104xE (x = A 至 C、E 至 G、J、L): FE900H 至 FED09H

R5F104xJ (x = F、G、J、L、M、P): F9F00H 至 FA309H

4. 使用片内调试追踪功能时，以下产品中的内部 RAM 不能用作堆栈存储器。

R5F104xJ (x = A 至 C、E 至 G、J、L): FA300H 至 FA6FFH

图 3-21. 保存到堆栈的数据



3.2.2 通用寄存器

通用寄存器映像到数据存储器的特定地址（FFEE0H 至 FFEFFH）。通用寄存器由 4 组寄存器构成，每组包括 8 个 8 位寄存器（X、A、C、B、E、D、L 和 H）。

每个寄存器可以作为 1 个 8 位寄存器使用，也可以将 2 个 8 位寄存器组合起来作为 1 个 16 位寄存器（AX、BC、DE 和 HL）使用。

这些寄存器可以用功能名称（X、A、C、B、E、D、L、H、AX、BC、DE 和 HL）以及绝对名称（R0 至 R7 及 RP0 至 RP3）来描述。

执行指令时所用的寄存器组通过 CPU 控制指令(SEL RBn)设置。由于 4 个寄存器组的构成，可以将用于正常处理的寄存器和处理中断时所用的寄存器连同组一起切换，从而创建高效率的程序。

注意事项1. 禁止利用通用寄存器（FFEE0H 至 FFEFFH）空间来获取指令，也不得将其用作堆栈区域。

2. 使用自编程功能和数据 flash 功能时，以下产品中的内部 RAM 不能用作堆栈存储器。

R5F104xD (x = A 至 C、E 至 G、J、L): FE900H 至 FED09H

R5F104xE (x = A 至 C、E 至 G、J、L): FE900H 至 FED09H

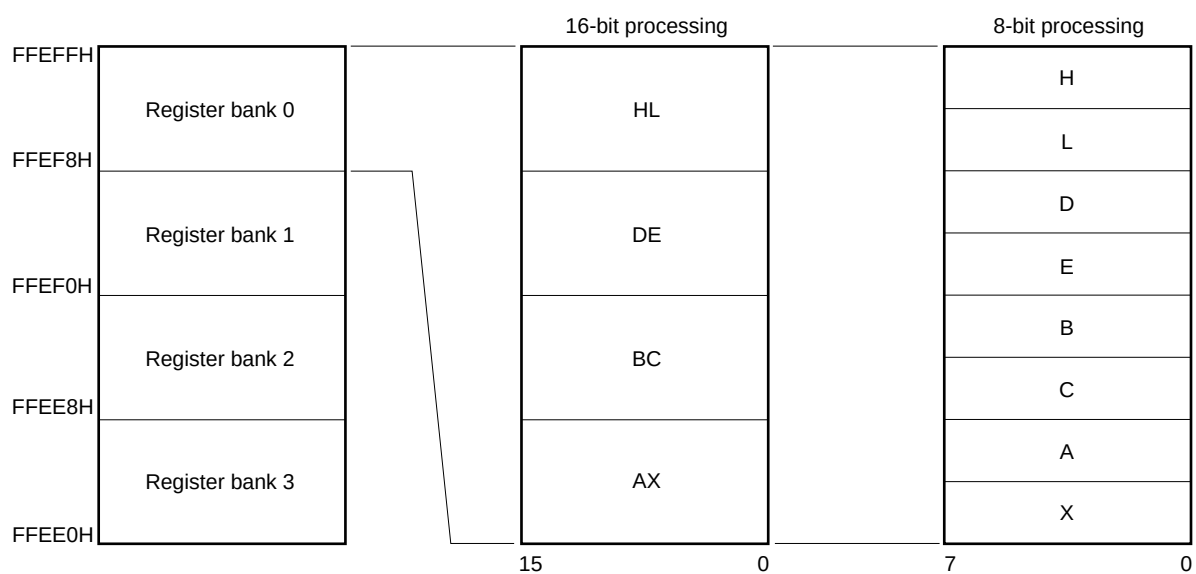
R5F104xJ (x = F、G、J、L、M、P): F9F00H 至 FA309H

3. 使用片内调试追踪功能时，以下产品中的内部 RAM 不能用作堆栈存储器。

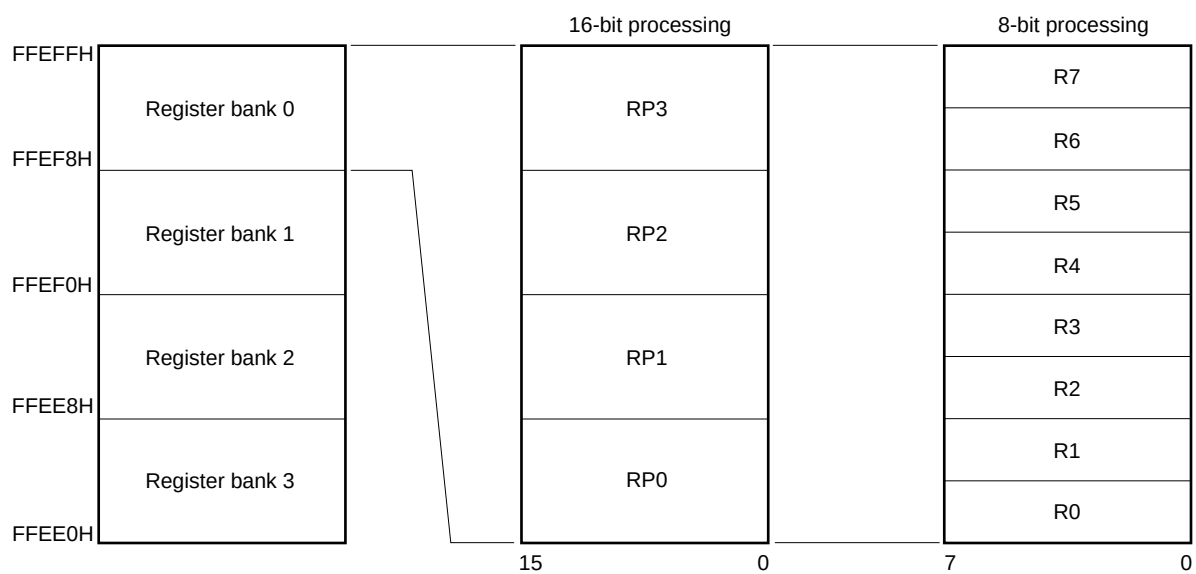
R5F104xJ (x = A 至 C、E 至 G、J、L): FA300H 至 FA6FFH

图 3-22. 通用寄存器的配置

(a) 功能名称



(b) 绝对名称



3.2.3 ES 和 CS 寄存器

ES 寄存器用于数据存取，CS 寄存器用于在执行分支指令时指定高位地址。

ES 寄存器复位后的初始值为 0FH，CS 寄存器复位后的初始值为 00H。

图 3-23. ES 和 CS 寄存器的配置

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3.2.4 特殊功能寄存器(SFR)

与通用寄存器不同，每个 SFR 都具有特殊功能。

SFR 空间被分配到 FFF00H 至 FFFFFH 区域。

通过运算、传送和位操作指令，可以像操作通用寄存器一样操作 SFR。可操作的位单位（1、8、16）取决于 SFR 的类型。

操作位单位的指定方法如下所示。

- 1 位操作
描述通过汇编程序为 1 位操作指令的操作数(sfr.bit)所保留的符号。也可以为该操作指定地址。
- 8 位操作
描述通过汇编程序为 8 位操作指令的操作数(sfr)所保留的符号。也可以为该操作指定地址。
- 16 位操作
描述通过汇编程序为 16 位操作指令的操作数(sfrp)所保留的符号。当指定地址时，请描述偶数地址。

表 3-5 显示了 SFR 的列表。表中所列项目的含义如下所示。

- 符号
指示特殊功能寄存器地址的符号。在汇编程序中作为保留字，在编译程序中通过#pragma sfr 指令被定义为 sfr 变量。
当使用汇编程序、调试器和仿真器时，可以描述为指令操作数。
- R/W
指示相对应的 SFR 能否读取或写入。
R/W: 可读/写
R: 只读
W: 只写
- 可操作位单元
“√”指示可操作的位单位（1、8、16）。“-”指示不可以操作的位单位。
- 复位后
指示产生复位信号后各个寄存器的状态。

注意事项 不得存取未分配扩展 SFR 的地址。

备注 关于扩展 SFR (2nd SFR)，请参阅 3.2.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器)。

表 3-5. SFR 列表 (1/5)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
FFF00H	端口寄存器 0	P0	R/W	√	√	—	00H
FFF01H	端口寄存器 1	P1	R/W	√	√	—	00H
FFF02H	端口寄存器 2	P2	R/W	√	√	—	00H
FFF03H	端口寄存器 3	P3	R/W	√	√	—	00H
FFF04H	端口寄存器 4	P4	R/W	√	√	—	00H
FFF05H	端口寄存器 5	P5	R/W	√	√	—	00H
FFF06H	端口寄存器 6	P6	R/W	√	√	—	00H
FFF07H	端口寄存器 7	P7	R/W	√	√	—	00H
FFF08H	端口寄存器 8	P8	R/W	√	√	—	00H
FFF0AH	端口寄存器 10	P10	R/W	√	√	—	00H
FFF0BH	端口寄存器 11	P11	R/W	√	√	—	00H
FFF0CH	端口寄存器 12	P12	R/W	√	√	—	不确定
FFF0DH	端口寄存器 13	P13	R/W	√	√	—	不确定
FFF0EH	端口寄存器 14	P14	R/W	√	√	—	00H
FFF0FH	端口寄存器 15	P15	R/W	√	√	—	00H
FFF10H	串行数据寄存器 00	TXD0/ SIO00	SDR00	R/W	—	√	0000H
FFF11H		—			—	—	
FFF12H	串行数据寄存器 01	RXD0/ SIO01	SDR01	R/W	—	√	0000H
FFF13H		—			—	—	
FFF14H	串行数据寄存器 12	TXD3/ SIO30	SDR12	R/W	—	√	0000H
FFF15H		—			—	—	
FFF16H	串行数据寄存器 13	RXD3/ SIO31	SDR13	R/W	—	√	0000H
FFF17H		—			—	—	
FFF18H	定时器数据寄存器 00	TDR00	R/W	—	—	√	0000H
FFF19H							
FFF1AH	定时器数据寄存器 01	TDR01L	TDR01	R/W	—	√	00H
FFF1BH		TDR01H			—	√	00H
FFF1EH	10 位 A/D 转换结果寄存器	ADCR	R	—	—	√	0000H
FFF1FH	8 位 A/D 转换结果寄存器	ADCRH	R	—	√	—	00H
FFF20H	端口模式寄存器 0	PM0	R/W	√	√	—	FFH
FFF21H	端口模式寄存器 1	PM1	R/W	√	√	—	FFH
FFF22H	端口模式寄存器 2	PM2	R/W	√	√	—	FFH
FFF23H	端口模式寄存器 3	PM3	R/W	√	√	—	FFH
FFF24H	端口模式寄存器 4	PM4	R/W	√	√	—	FFH
FFF25H	端口模式寄存器 5	PM5	R/W	√	√	—	FFH
FFF26H	端口模式寄存器 6	PM6	R/W	√	√	—	FFH
FFF27H	端口模式寄存器 7	PM7	R/W	√	√	—	FFH

表 3-5. SFR 列表 (2/5)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
FFF28H	端口模式寄存器 8	PM8	R/W	√	√	—	FFH
FFF2AH	端口模式寄存器 10	PM10	R/W	√	√	—	FFH
FFF2BH	端口模式寄存器 11	PM11	R/W	√	√	—	FFH
FFF2CH	端口模式寄存器 12	PM12	R/W	√	√	—	FFH
FFF2EH	端口模式寄存器 14	PM14	R/W	√	√	—	FFH
FFF2FH	端口模式寄存器 15	PM15	R/W	√	√	—	FFH
FFF30H	A/D 转换器模式寄存器 0	ADM0	R/W	√	√	—	00H
FFF31H	模拟输入通道指定寄存器	ADS	R/W	√	√	—	00H
FFF32H	A/D 转换器模式寄存器 1	ADM1	R/W	√	√	—	00H
FFF34H	D/A 转换值设置寄存器 0	DACS0	R/W	—	√	—	00H
FFF35H	D/A 转换值设置寄存器 1	DACS1	R/W	—	√	—	00H
FFF36H	D/A 转换器模式寄存器	DAM	R/W	√	√	—	00H
FFF37H	按键返回模式寄存器	KRM	R/W	√	√	—	00H
FFF38H	外部中断上升沿允许寄存器 0	EGP0	R/W	√	√	—	00H
FFF39H	外部中断下降沿允许寄存器 0	EGN0	R/W	√	√	—	00H
FFF3AH	外部中断上升沿允许寄存器 1	EGP1	R/W	√	√	—	00H
FFF3BH	外部中断下降沿允许寄存器 1	EGN1	R/W	√	√	—	00H
FFF44H	串行数据寄存器 02	TXD1/ SIO10	SDR02	R/W	—	√	0000H
FFF45H		—			—	—	
FFF46H	串行数据寄存器 03	RXD1/ SIO11	SDR03	R/W	—	√	0000H
FFF47H		—			—	—	
FFF48H	串行数据寄存器 10	TXD2/ SIO20	SDR10	R/W	—	√	0000H
FFF49H		—			—	—	
FFF4AH	串行数据寄存器 11	RXD2/ SIO21	SDR11	R/W	—	√	0000H
FFF4BH		—			—	—	
FFF50H	IICA 移位寄存器 0	IICA0	R/W	—	√	—	00H
FFF51H	IICA 状态寄存器 0	IICS0	R	√	√	—	00H
FFF52H	IICA 标志寄存器 0	IICF0	R/W	√	√	—	00H
FFF54H	IICA 移位寄存器 1	IICA1	R/W	—	√	—	00H
FFF55H	IICA 状态寄存器 1	IICS1	R	√	√	—	00H
FFF56H	IICA 标志寄存器 1	IICF1	R/W	√	√	—	00H

表 3-5. SFR 列表 (3/5)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
FFF58H	定时器 RD 通常寄存器 C0	TRDGRC0	R/W	-	-	√	FFFFH ^{注1}
FFF59H							
FFF5AH	定时器 RD 通常寄存器 D0	TRDGRD0	R/W	-	-	√	FFFFH ^{注1}
FFF5BH							
FFF5CH	定时器 RD 通常寄存器 C1	TRDGRC1	R/W	-	-	√	FFFFH ^{注1}
FFF5DH							
FFF5EH	定时器 RD 通常寄存器 D1	TRDGRD1	R/W	-	-	√	FFFFH ^{注1}
FFF5FH							
FFF60H	定时器 RG 通常寄存器 C	TRGGRC	R/W	-	-	√	FFFFH
FFF61H							
FFF62H	定时器 RG 通常寄存器 D	TRGGRD	R/W	-	-	√	FFFFH
FFF63H							
FFF64H	定时器数据寄存器 02	TDR02	R/W	-	-	√	0000H
FFF65H							
FFF66H	定时器数据寄存器 03	TDR03L	R/W	-	√	√	00H
FFF67H		TDR03H		-	√		00H
FFF70H	定时器数据寄存器 10	TDR10	R/W	-	-	√	0000H
FFF71H							
FFF72H	定时器数据寄存器 11	TDR11L	R/W	-	√	√	00H
FFF73H		TDR11H		-	√		00H
FFF74H	定时器数据寄存器 12	TDR12	R/W	-	-	√	0000H
FFF75H							
FFF76H	定时器数据寄存器 13	TDR13L	R/W	-	√	√	00H
FFF77H		TDR13H		-	√		00H
FFF90H	12 位间隔定时器控制寄存器	ITMC	R/W	-	-	√	0FFFH
FFF91H							
FFF92H	秒计数寄存器	SEC	R/W	-	√	-	00H
FFF93H	分钟计数寄存器	MIN	R/W	-	√	-	00H
FFF94H	小时计数寄存器	HOUR	R/W	-	√	-	12H ^{注2}
FFF95H	星期计数寄存器	WEEK	R/W	-	√	-	00H
FFF96H	日计数寄存器	DAY	R/W	-	√	-	01H
FFF97H	月计数寄存器	MONTH	R/W	-	√	-	01H
FFF98H	年计数寄存器	YEAR	R/W	-	√	-	00H
FFF99H	时间误差修正寄存器	SUBCUD	R/W	-	√	-	00H
FFF9AH	报警分钟寄存器	ALARMWM	R/W	-	√	-	00H
FFF9BH	报警小时寄存器	ALARMWH	R/W	-	√	-	12H
FFF9CH	报警星期寄存器	ALARMWW	R/W	-	√	-	00H

注1. 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 并且 PER1 寄存器中的 TRD0EN = 0 时, 定时器 RD SFR 为不确定。需要读取初始值时, 将 f_{CLK} 设置为 f_{IH} 且将 TRD0EN 设置为 1 之后再进行读取。

2. 如果复位后 AMPM 位 (实时时钟控制寄存器 0(RTCC0)的位 3) 设为 1, 则该寄存器的值为 00H。

表 3-5. SFR 列表 (4/5)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
FFF9DH	实时时钟控制寄存器 0	RTCC0	R/W	√	√	—	00H
FFF9EH	实时时钟控制寄存器 1	RTCC1	R/W	√	√	—	00H
FFFA0H	时钟操作模式控制寄存器	CMC	R/W	—	√	—	00H
FFFA1H	时钟操作状态控制寄存器	CSC	R/W	√	√	—	C0H
FFFA2H	振荡稳定时间计数器状态寄存器	OSTC	R	√	√	—	00H
FFFA3H	振荡稳定时间选择寄存器	OSTS	R/W	—	√	—	07H
FFFA4H	系统时钟控制寄存器	CKC	R/W	√	√	—	00H
FFFA5H	时钟输出选择寄存器 0	CKS0	R/W	√	√	—	00H
FFFA6H	时钟输出选择寄存器 1	CKS1	R/W	√	√	—	00H
FFFA8H	复位控制标志寄存器	RESF	R	—	√	—	不确定 ^{注1}
FFFA9H	电压检测寄存器	LVIM	R/W	√	√	—	00H ^{注2}
FFFAAH	电压检测电平寄存器	LVIS	R/W	√	√	—	00H/01H/81H ^{注3}
FFFABH	看门狗定时器允许寄存器	WDTE	R/W	—	√	—	1AH/9AH ^{注4}
FFFACH	CRC 输入寄存器	CRCIN	R/W	—	√	—	00H
FFFD0H	中断请求标志寄存器 2L	IF2L	IF2	R/W	√	√	00H
FFFD1H	中断请求标志寄存器 2H	IF2H		R/W	√	√	00H
FFFD4H	中断屏蔽标志寄存器 2L	MK2L	MK2	R/W	√	√	FFH
FFFD5H	中断屏蔽标志寄存器 2H	MK2H		R/W	√	√	FFH
FFFD8H	优先指定标志寄存器 02L	PR02L	PR02	R/W	√	√	FFH
FFFD9H	优先指定标志寄存器 02H	PR02H		R/W	√	√	FFH
FFFDCH	优先指定标志寄存器 12L	PR12L	PR12	R/W	√	√	FFH
FFDDH	优先指定标志寄存器 12H	PR12H		R/W	√	√	FFH

注1. RESF 寄存器的复位值因复位源而异。

2. LVIM 寄存器的复位值因复位源而异。

3. LVIS 寄存器的复位值因复位源和选项字节的设置而异。

4. WDTE 寄存器的复位值决定于选项字节的设置。

表 3-5. SFR 列表 (5/5)

地址	特殊功能寄存器(SFR)名称	符号		R/W	可操作位范围			复位后
					1 位	8 位	16 位	
FFFE0H	中断请求标志寄存器 0L	IF0L	IF0	R/W	√	√	√	00H
FFFE1H	中断请求标志寄存器 0H	IF0H		R/W	√	√		00H
FFFE2H	中断请求标志寄存器 1L	IF1L	IF1	R/W	√	√	√	00H
FFFE3H	中断请求标志寄存器 1H	IF1H		R/W	√	√		00H
FFFE4H	中断屏蔽标志寄存器 0L	MK0L	MK0	R/W	√	√	√	FFH
FFFE5H	中断屏蔽标志寄存器 0H	MK0H		R/W	√	√		FFH
FFFE6H	中断屏蔽标志寄存器 1L	MK1L	MK1	R/W	√	√	√	FFH
FFFE7H	中断屏蔽标志寄存器 1H	MK1H		R/W	√	√		FFH
FFFE8H	优先指定标志寄存器 00L	PR00L	PR00	R/W	√	√	√	FFH
FFFE9H	优先指定标志寄存器 00H	PR00H		R/W	√	√		FFH
FFFEAH	优先指定标志寄存器 01L	PR01L	PR01	R/W	√	√	√	FFH
FFFEBH	优先指定标志寄存器 01H	PR01H		R/W	√	√		FFH
FFFECH	优先指定标志寄存器 10L	PR10L	PR10	R/W	√	√	√	FFH
FF FEDH	优先指定标志寄存器 10H	PR10H		R/W	√	√		FFH
FFFE EH	优先指定标志寄存器 11L	PR11L	PR11	R/W	√	√	√	FFH
FFFE FH	优先指定标志寄存器 11H	PR11H		R/W	√	√		FFH
FFFF0H	乘法和除法寄存器(L)	MACRL		R/W	-	-	√	0000H
FFFF1H								
FFFF2H	乘法和除法寄存器(H)	MACRH		R/W	-	-	√	0000H
FFFF3H								
FFFFEH	处理器模式控制寄存器	PMC		R/W	√	√	-	00H

备注 关于扩展 SFR (2nd SFR)，请参阅 表 3-6 扩展 SFR (2nd SFR) 列表。

3.2.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器)

与通用寄存器不同，每个扩展 SFR (2nd SFR)都具有特殊功能。

扩展 SFR 被分配到 F0000H 至 F07FFH 区域。SFR 区域(FFF00H 至 FFFFFH)以外的 SFR 被分配到该区域。然而，存取扩展 SFR 区域的指令比存取 SFR 区域的指令长 1 个字节。

通过运算、传送和位操作指令，可以像操作通用寄存器一样操作扩展 SFR。可操作的位单位（1、8、16）取决于 SFR 的类型。

操作位单位的指定方法如下所示。

- 1 位操作
描述通过汇编程序为 1 位操作指令的操作数(!addr16.bit)所保留的符号。也可以为该操作指定地址。
- 8 位操作
描述通过汇编程序为 8 位操作指令的操作数(!addr16)所保留的符号。也可以为该操作指定地址。
- 16 位操作
描述通过汇编程序为 16 位操作指令的操作数(!addr16)所保留的符号。当指定地址时，请描述偶数地址。

表 3-6 显示了扩展 SFR 的列表。表中所列项目的含义如下所示。

- 符号
指示扩展 SFR 地址的符号。在汇编程序中作为保留字，在编译程序中通过 #pragma sfr 指令被定义为 sfr 变量。当使用汇编程序、调试器和仿真器时，可以描述为指令操作数。
- R/W
指示相对应的扩展 SFR 能否读取或写入。
R/W: 可读/写
R: 只读
W: 只写
- 可操作位单位
“√”指示可操作的位单位（1、8 或 16）。“-”指示不可以操作的位单位。
- 复位后
指示产生复位信号后各个寄存器的状态。

注意事项 不得存取未分配扩展 SFR 的地址。

备注 关于 SFR 区域中的 SFR，请参阅 3.2.4 特殊功能寄存器 (SFR)。

表 3-6. 扩展 SFR (2nd SFR)列表 (1/9)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
F0010H	A/D 转换器模式寄存器 2	ADM2	R/W	√	√	—	00H
F0011H	转换结果比较上限设置寄存器	ADUL	R/W	—	√	—	FFH
F0012H	转换结果比较下限设置寄存器	ADLL	R/W	—	√	—	00H
F0013H	A/D 测试寄存器	ADTES	R/W	—	√	—	00H
F0030H	上拉电阻选择寄存器 0	PU0	R/W	√	√	—	00H
F0031H	上拉电阻选择寄存器 1	PU1	R/W	√	√	—	00H
F0033H	上拉电阻选择寄存器 3	PU3	R/W	√	√	—	00H
F0034H	上拉电阻选择寄存器 4	PU4	R/W	√	√	—	01H
F0035H	上拉电阻选择寄存器 5	PU5	R/W	√	√	—	00H
F0036H	上拉电阻选择寄存器 6	PU6	R/W	√	√	—	00H
F0037H	上拉电阻选择寄存器 7	PU7	R/W	√	√	—	00H
F0038H	上拉电阻选择寄存器 8	PU8	R/W	√	√	—	00H
F003AH	上拉电阻选择寄存器 10	PU10	R/W	√	√	—	00H
F003BH	上拉电阻选择寄存器 11	PU11	R/W	√	√	—	00H
F003CH	上拉电阻选择寄存器 12	PU12	R/W	√	√	—	00H
F003EH	上拉电阻选择寄存器 14	PU14	R/W	√	√	—	00H
F0040H	端口输入模式寄存器 0	PIM0	R/W	√	√	—	00H
F0041H	端口输入模式寄存器 1	PIM1	R/W	√	√	—	00H
F0043H	端口输入模式寄存器 3	PIM3	R/W	√	√	—	00H
F0044H	端口输入模式寄存器 4	PIM4	R/W	√	√	—	00H
F0045H	端口输入模式寄存器 5	PIM5	R/W	√	√	—	00H
F0048H	端口输入模式寄存器 8	PIM8	R/W	√	√	—	00H
F004EH	端口输入模式寄存器 14	PIM14	R/W	√	√	—	00H
F0050H	端口输出模式寄存器 0	POM0	R/W	√	√	—	00H
F0051H	端口输出模式寄存器 1	POM1	R/W	√	√	—	00H
F0053H	端口输出模式寄存器 3	POM3	R/W	√	√	—	00H
F0054H	端口输出模式寄存器 4	POM4	R/W	√	√	—	00H
F0055H	端口输出模式寄存器 5	POM5	R/W	√	√	—	00H
F0057H	端口输出模式寄存器 7	POM7	R/W	√	√	—	00H
F0058H	端口输出模式寄存器 8	POM8	R/W	√	√	—	00H
F005EH	端口输出模式寄存器 14	POM14	R/W	√	√	—	00H
F0060H	端口模式控制寄存器 0	PMC0	R/W	√	√	—	FFH
F0061H	端口模式控制寄存器 1	PMC1	R/W	√	√	—	00H
F006AH	端口模式控制寄存器 10	PMC10	R/W	√	√	—	FFH
F006CH	端口模式控制寄存器 12	PMC12	R/W	√	√	—	FFH
F006EH	端口模式控制寄存器 14	PMC14	R/W	√	√	—	FFH
F0070H	噪音过滤允许寄存器 0	NFEN0	R/W	√	√	—	00H
F0071H	噪音过滤允许寄存器 1	NFEN1	R/W	√	√	—	00H
F0072H	噪音过滤允许寄存器 2	NFEN2	R/W	√	√	—	00H
F0073H	输入切换控制寄存器	ISC	R/W	√	√	—	00H

表 3-6. 扩展 SFR (2nd SFR)列表 (2/9)

地址	特殊功能寄存器(SFR)名称	符号		R/W	可操作位范围			复位后
					1 位	8 位	16 位	
F0074H	定时器输入选择寄存器 0	TIS0		R/W	—	√	—	00H
F0076H	A/D 端口配置寄存器	ADPC		R/W	—	√	—	00H
F0077H	外围 I/O 重定向寄存器 0	PIOR0		R/W	—	√	—	00H
F0078H	非法存储器存取检测控制寄存器	IAWCTL		R/W	—	√	—	00H
F0079H	外围 I/O 重定向寄存器 1	PIOR1		R/W	—	√	—	00H
F007AH	外围允许寄存器 1	PER1		R/W	√	√	—	00H
F007BH	端口模式选择寄存器	PMS		R/W	√	√	—	00H
F007DH	全局数字输入禁止寄存器	GDIDIS		R/W	√	√	—	00H
F0090H	数据 flash 控制寄存器	DFLCTL		R/W	√	√	—	00H
F00A0H	高速片上振荡器微调寄存器	HIOTRM		R/W	—	√	—	注
F00A8H	高速片上振荡器频率选择寄存器	HOCODIV		R/W	—	√	—	不确定
F00F0H	外围允许寄存器 0	PER0		R/W	√	√	—	00H
F00F3H	操作速度模式控制寄存器	OSMC		R/W	—	√	—	00H
F00F5H	RAM 奇偶校验错误控制寄存器	RPECTL		R/W	√	√	—	00H
F00FEH	BCD 调整结果寄存器	BCDADJ		R	—	√	—	不确定
F0100H	串行状态寄存器 00	SSR00L	SSR00	R	—	√	√	0000H
F0101H		—			—	—		
F0102H	串行状态寄存器 01	SSR01L	SSR01	R	—	√	√	0000H
F0103H		—			—	—		
F0104H	串行状态寄存器 02	SSR02L	SSR02	R	—	√	√	0000H
F0105H		—			—	—		
F0106H	串行状态寄存器 03	SSR03L	SSR03	R	—	√	√	0000H
F0107H		—			—	—		
F0108H	串行标志清除触发寄存器 00	SIR00L	SIR00	R/W	—	√	√	0000H
F0109H		—			—	—		
F010AH	串行标志清除触发寄存器 01	SIR01L	SIR01	R/W	—	√	√	0000H
F010BH		—			—	—		
F010CH	串行标志清除触发寄存器 02	SIR02L	SIR02	R/W	—	√	√	0000H
F010DH		—			—	—		
F010EH	串行标志清除触发寄存器 03	SIR03L	SIR03	R/W	—	√	√	0000H
F010FH		—			—	—		

注 复位值因芯片而异。

表 3-6. 扩展 SFR (2nd SFR)列表 (3/9)

地址	特殊功能寄存器(SFR)名称	符号		R/W	可操作位范围			复位后
					1 位	8 位	16 位	
F0110H	串行模式寄存器 00	SMR00		R/W	—	—	√	0020H
F0111H								
F0112H	串行模式寄存器 01	SMR01		R/W	—	—	√	0020H
F0113H								
F0114H	串行模式寄存器 02	SMR02		R/W	—	—	√	0020H
F0115H								
F0116H	串行模式寄存器 03	SMR03		R/W	—	—	√	0020H
F0117H								
F0118H	串行通信操作设置寄存器 00	SCR00		R/W	—	—	√	0087H
F0119H								
F011AH	串行通信操作设置寄存器 01	SCR01		R/W	—	—	√	0087H
F011BH								
F011CH	串行通信操作设置寄存器 02	SCR02		R/W	—	—	√	0087H
F011DH								
F011EH	串行通信操作设置寄存器 03	SCR03		R/W	—	—	√	0087H
F011FH								
F0120H	串行通道允许状态寄存器 0	SE0L	SE0	R	√	√	√	0000H
F0121H		—			—	—		
F0122H	串行通道开始寄存器 0	SS0L	SS0	R/W	√	√	√	0000H
F0123H		—			—	—		
F0124H	串行通道停止寄存器 0	ST0L	ST0	R/W	√	√	√	0000H
F0125H		—			—	—		
F0126H	串行时钟选择寄存器 0	SPS0L	SPS0	R/W	—	√	√	0000H
F0127H		—			—	—		
F0128H	串行输出寄存器 0	SO0		R/W	—	—	√	0F0FH
F0129H								
F012AH	串行输出允许寄存器 0	SOE0L	SOE0	R/W	√	√	√	0000H
F012BH		—			—	—		
F0134H	串行输出电平寄存器 0	SOL0L	SOL0	R/W	—	√	√	0000H
F0135H		—			—	—		
F0138H	串行待机控制寄存器 0	SSC0L	SSC0	R/W	—	√	√	0000H
		—			—	—		
F0140H	串行状态寄存器 10	SSR10L	SSR10	R	—	√	√	0000H
F0141H		—			—	—		
F0142H	串行状态寄存器 11	SSR11L	SSR11	R	—	√	√	0000H
F0143H		—			—	—		
F0144H	串行状态寄存器 12	SSR12L	SSR12	R	—	√	√	0000H
F0145H		—			—	—		
F0146H	串行状态寄存器 13	SSR13L	SSR13	R	—	√	√	0000H
F0147H		—			—	—		

表 3-6. 扩展 SFR (2nd SFR)列表 (4/9)

地址	特殊功能寄存器(SFR)名称	符号		R/W	可操作位范围			复位后
					1 位	8 位	16 位	
F0148H	串行标志清除触发寄存器 10	SIR10L	SIR10	R/W	—	√	√	0000H
F0149H		—			—			
F014AH	串行标志清除触发寄存器 11	SIR11L	SIR11	R/W	—	√	√	0000H
F014BH		—			—			
F014CH	串行标志清除触发寄存器 12	SIR12L	SIR12	R/W	—	√	√	0000H
F014DH		—			—			
F014EH	串行标志清除触发寄存器 13	SIR13L	SIR13	R/W	—	√	√	0000H
F014FH		—			—			
F0150H	串行模式寄存器 10	SMR10		R/W	—	—	√	0020H
F0151H								
F0152H	串行模式寄存器 11	SMR11		R/W	—	—	√	0020H
F0153H								
F0154H	串行模式寄存器 12	SMR12		R/W	—	—	√	0020H
F0155H								
F0156H	串行模式寄存器 13	SMR13		R/W	—	—	√	0020H
F0157H								
F0158H	串行通信操作设置寄存器 10	SCR10		R/W	—	—	√	0087H
F0159H								
F015AH	串行通信操作设置寄存器 11	SCR11		R/W	—	—	√	0087H
F015BH								
F015CH	串行通信操作设置寄存器 12	SCR12		R/W	—	—	√	0087H
F015DH								
F015EH	串行通信操作设置寄存器 13	SCR13		R/W	—	—	√	0087H
F015FH								
F0160H	串行通道允许状态寄存器 1	SE1L	SE1	R	√	√	√	0000H
F0161H		—			—			
F0162H	串行通道开始寄存器 1	SS1L	SS1	R/W	√	√	√	0000H
F0163H		—			—			
F0164H	串行通道停止寄存器 1	ST1L	ST1	R/W	√	√	√	0000H
F0165H		—			—			
F0166H	串行时钟选择寄存器 1	SPS1L	SPS1	R/W	—	√	√	0000H
F0167H		—			—			
F0168H	串行输出寄存器 1	SO1		R/W	—	—	√	0F0FH
F0169H								
F016AH	串行输出允许寄存器 1	SOE1L	SOE1	R/W	√	√	√	0000H
F016BH		—			—			
F0174H	串行输出电平寄存器 1	SOL1L	SOL1	R/W	—	√	√	0000H
F0175H		—			—			
F0178H	串行待机控制寄存器 1	SSC1L	SSC1	R/W	—	√	√	0000H
F0179H		—			—			

表 3-6. 扩展 SFR (2nd SFR)列表 (5/9)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
F0180H	定时器计数器寄存器 00	TCR00	R	—	—	√	FFFFH
F0181H				—	—	—	
F0182H	定时器计数器寄存器 01	TCR01	R	—	—	√	FFFFH
F0183H				—	—	—	
F0184H	定时器计数器寄存器 02	TCR02	R	—	—	√	FFFFH
F0185H				—	—	—	
F0186H	定时器计数器寄存器 03	TCR03	R	—	—	√	FFFFH
F0187H				—	—	—	
F0190H	定时器模式寄存器 00	TMR00	R/W	—	—	√	0000H
F0191H				—	—	—	
F0192H	定时器模式寄存器 01	TMR01	R/W	—	—	√	0000H
F0193H				—	—	—	
F0194H	定时器模式寄存器 02	TMR02	R/W	—	—	√	0000H
F0195H				—	—	—	
F0196H	定时器模式寄存器 03	TMR03	R/W	—	—	√	0000H
F0197H				—	—	—	
F01A0H	定时器状态寄存器 00	TSR00L	R	—	√	√	0000H
F01A1H		—		—	—	—	
F01A2H	定时器状态寄存器 01	TSR01L	R	—	√	√	0000H
F01A3H		—		—	—	—	
F01A4H	定时器状态寄存器 02	TSR02L	R	—	√	√	0000H
F01A5H		—		—	—	—	
F01A6H	定时器状态寄存器 03	TSR03L	R	—	√	√	0000H
F01A7H		—		—	—	—	
F01B0H	定时器通道允许状态寄存器 0	TE0L	R	√	√	√	0000H
F01B1H		—		—	—	—	
F01B2H	定时器通道开始寄存器 0	TS0L	R/W	√	√	√	0000H
F01B3H		—		—	—	—	
F01B4H	定时器通道停止寄存器 0	TT0L	R/W	√	√	√	0000H
F01B5H		—		—	—	—	
F01B6H	定时器时钟选择寄存器 0	TPS0	R/W	—	—	√	0000H
F01B7H				—	—	—	
F01B8H	定时器输出寄存器 0	TO0L	R/W	—	√	√	0000H
F01B9H		—		—	—	—	
F01BAH	定时器输出允许寄存器 0	TOE0L	R/W	√	√	√	0000H
F01BBH		—		—	—	—	
F01BCH	定时器输出电平寄存器 0	TOL0L	R/W	—	√	√	0000H
F01BDH		—		—	—	—	
F01BEH	定时器输出模式寄存器 0	TOM0L	R/W	—	√	√	0000H
F01BFH		—		—	—	—	

表 3-6. 扩展 SFR (2nd SFR)列表 (6/9)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
F01C0H	定时器计数器寄存器 10	TCR10	R	—	—	√	FFFFH
F01C1H				—	—	—	
F01C2H	定时器计数器寄存器 11	TCR11	R	—	—	√	FFFFH
F01C3H				—	—	—	
F01C4H	定时器计数器寄存器 12	TCR12	R	—	—	√	FFFFH
F01C5H				—	—	—	
F01C6H	定时器计数器寄存器 13	TCR13	R	—	—	√	FFFFH
F01C7H				—	—	—	
F01D0H	定时器模式寄存器 10	TMR10	R/W	—	—	√	0000H
F01D1H				—	—	—	
F01D2H	定时器模式寄存器 11	TMR11	R/W	—	—	√	0000H
F01D3H				—	—	—	
F01D4H	定时器模式寄存器 12	TMR12	R/W	—	—	√	0000H
F01D5H				—	—	—	
F01D6H	定时器模式寄存器 13	TMR13	R/W	—	—	√	0000H
F01D7H				—	—	—	
F01E0H	定时器状态寄存器 10	TSR10L	R	—	√	√	0000H
F01E1H		—		—	—	—	
F01E2H	定时器状态寄存器 11	TSR11L	R	—	√	√	0000H
F01E3H		—		—	—	—	
F01E4H	定时器状态寄存器 12	TSR12L	R	—	√	√	0000H
F01E5H		—		—	—	—	
F01E6H	定时器状态寄存器 13	TSR13L	R	—	√	√	0000H
F01E7H		—		—	—	—	
F01F0H	定时器通道允许状态寄存器 1	TE1L	R	√	√	√	0000H
F01F1H		—		—	—	—	
F01F2H	定时器通道开始寄存器 1	TS1L	R/W	√	√	√	0000H
F01F3H		—		—	—	—	
F01F4H	定时器通道停止寄存器 1	TT1L	R/W	√	√	√	0000H
F01F5H		—		—	—	—	
F01F6H	定时器时钟选择寄存器 1	TPS1	R/W	—	—	√	0000H
F01F7H				—	—	—	
F01F8H	定时器输出寄存器 1	TO1L	R/W	—	√	√	0000H
F01F9H		—		—	—	—	
F01FAH	定时器输出允许寄存器 1	TOE1L	R/W	√	√	√	0000H
F01FBH		—		—	—	—	
F01FCH	定时器输出电平寄存器 1	TOL1L	R/W	—	√	√	0000H
F01FDH		—		—	—	—	
F01FEH	定时器输出模式寄存器 1	TOM1L	R/W	—	√	√	0000H
F01FFH		—		—	—	—	

表 3-6. 扩展 SFR (2nd SFR)列表 (7/9)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
F0230H	IICA 控制寄存器 00	IICCTL00	R/W	√	√	—	00H
F0231H	IICA 控制寄存器 01	IICCTL01	R/W	√	√	—	00H
F0232H	IICA 低电平宽度设置寄存器 0	IICWL0	R/W	—	√	—	FFH
F0233H	IICA 高电平宽度设置寄存器 0	IICWH0	R/W	—	√	—	FFH
F0234H	从属地址寄存器 0	SVA0	R/W	—	√	—	00H
F0238H	IICA 控制寄存器 10	IICCTL10	R/W	√	√	—	00H
F0239H	IICA 控制寄存器 11	IICCTL11	R/W	√	√	—	00H
F023AH	IICA 低电平宽度设置寄存器 1	IICWL1	R/W	—	√	—	FFH
F023BH	IICA 高电平宽度设置寄存器 1	IICWH1	R/W	—	√	—	FFH
F023CH	从属地址寄存器 1	SVA1	R/W	—	√	—	00H
F0240H	定时器 RJ 控制寄存器 0	TRJCR0	R/W	—	√	—	00H
F0241H	定时器 RJ 输入/输出控制寄存器 0	TRJIOC0	R/W	√	√	—	00H
F0242H	定时器 RJ 模式寄存器 0	TRJMR0	R/W	√	√	—	00H
F0243H	定时器 RJ 事件引脚选择寄存器 0	TRJISR0	R/W	√	√	—	00H
F0250H	定时器 RG 模式寄存器	TRGMR	R/W	√	√	—	00H
F0251H	定时器 RG 计数控制寄存器	TRGCNTC	R/W	√	√	—	00H
F0252H	定时器 RG 控制寄存器	TRGCR	R/W	√	√	—	00H
F0253H	定时器 RG 中断允许寄存器	TRGIER	R/W	√	√	—	00H
F0254H	定时器 RG 状态寄存器	TRGSR	R/W	√	√	—	00H
F0255H	定时器 RG I/O 控制寄存器	TRGIOR	R/W	√	√	—	00H
F0256H	定时器 RG 计数器	TRG	R/W	—	—	√	0000H
F0257H							
F0258H	定时器 RG 通常寄存器 A	TRGGRA	R/W	—	—	√	FFFFH
F0259H							
F025AH	定时器 RG 通常寄存器 B	TRGGRB	R/W	—	—	√	FFFFH
F025BH							
F0260H	定时器 RD ELC 寄存器	TRDEL	R/W	√	√	—	00H ^注
F0263H	定时器 RD 开始寄存器	TRDSTR	R/W	—	√	—	0CH ^注
F0264H	定时器 RD 模式寄存器	TRDMR	R/W	√	√	—	00H ^注
F0265H	定时器 RD PWM 功能选择寄存器	TRDPMR	R/W	√	√	—	00H ^注
F0266H	定时器 RD 功能控制寄存器	TRDFCR	R/W	√	√	—	80H ^注
F0267H	定时器 RD 输出主允许寄存器 1	TRDOER1	R/W	√	√	—	FFH ^注
F0268H	定时器 RD 输出主允许寄存器 2	TRDOER2	R/W	√	√	—	00H ^注
F0269H	定时器 RD 输出控制寄存器	TRDOCR	R/W	√	√	—	00H ^注

注 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 并且 PER1 寄存器中的 TRD0EN = 0 时, 定时器 RD SFR 为不确定。需要读取初始值时, 将 f_{CLK} 设置为 f_{IH} 且将 TRD0EN 设置为 1 之后再进行读取。

表 3-6. 扩展 SFR (2nd SFR)列表 (8/9)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
F026AH	定时器 RD 数字过滤器功能选择寄存器 0	TRDDF0	R/W	√	√	—	00H ^注
F026BH	定时器 RD 数字过滤器功能选择寄存器 1	TRDDF1	R/W	√	√	—	00H ^注
F0270H	定时器 RD 控制寄存器 0	TRDCR0	R/W	√	√	—	00H ^注
F0271H	定时器 RD I/O 控制寄存器 A0	TRDIORA0	R/W	√	√	—	00H ^注
F0272H	定时器 RD I/O 控制寄存器 C0	TRDIORC0	R/W	√	√	—	88H ^注
F0273H	定时器 RD 状态寄存器 0	TRDSR0	R/W	√	√	—	00H ^注
F0274H	定时器 RD 输入允许寄存器 0	TRDIER0	R/W	√	√	—	00H ^注
F0275H	定时器 RD PWM 功能输出电平控制寄存器 0	TRDPOCR0	R/W	√	√	—	00H ^注
F0276H	定时器 RD 计数器 0	TRD0	R/W	—	—	√	0000H ^注
F0277H							
F0278H	定时器 RD 通常寄存器 A0	TRDGRA0	R/W	—	—	√	FFFFH ^注
F0279H							
F027AH	定时器 RD 通常寄存器 B0	TRDGRB0	R/W	—	—	√	FFFFH ^注
F027BH							
F0280H	定时器 RD 控制寄存器 1	TRDCR1	R/W	√	√	—	00H ^注
F0281H	定时器 RD I/O 控制寄存器 A1	TRDIORA1	R/W	√	√	—	00H ^注
F0282H	定时器 RD I/O 控制寄存器 C1	TRDIORC1	R/W	√	√	—	88H ^注
F0283H	定时器 RD 状态寄存器 1	TRDSR1	R/W	√	√	—	00H ^注
F0284H	定时器 RD 输入允许寄存器 1	TRDIER1	R/W	√	√	—	00H ^注
F0285H	定时器 RD PWM 功能输出电平控制寄存器 1	TRDPOCR1	R/W	√	√	—	00H ^注
F0286H	定时器 RD 计数器 1	TRD1	R/W	—	—	√	0000H ^注
F0287H							
F0288H	定时器 RD 通常寄存器 A1	TRDGRA1	R/W	—	—	√	FFFFH ^注
F0289H							
F028AH	定时器 RD 通常寄存器 B1	TRDGRB1	R/W	—	—	√	FFFFH ^注
F028BH							
F02E0H	DTC 基址寄存器	DTCBAR	R/W	—	√	—	FDH
F02E8H	DTC 激活允许寄存器 0	DTCEN0	R/W	√	√	—	00H
F02E9H	DTC 激活允许寄存器 1	DTCEN1	R/W	√	√	—	00H
F02EAH	DTC 激活允许寄存器 2	DTCEN2	R/W	√	√	—	00H
F02EBH	DTC 激活允许寄存器 3	DTCEN3	R/W	√	√	—	00H
F02ECH	DTC 激活允许寄存器 4	DTCEN4	R/W	√	√	—	00H
F02F0H	闪存 CRC 控制寄存器	CRC0CTL	R/W	√	√	—	00H
F02F2H	闪存 CRC 运算结果寄存器	PGCRCL	R/W	—	—	√	0000H
F02FAH	CRC 数据寄存器	CRCD	R/W	—	—	√	0000H

注 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 并且 PER1 寄存器中的 TRD0EN = 0 时, 定时器 RD SFR 为不确定。需要读取初始值时, 将 f_{CLK} 设置为 f_{IH} 且将 TRD0EN 设置为 1 之后再进行读取。

表 3-6. 扩展 SFR (2nd SFR)列表 (9/9)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位范围			复位后
				1 位	8 位	16 位	
F0300H	事件输出目标选择寄存器 00	ELSELR00	R/W	√	√	–	00H
F0301H	事件输出目标选择寄存器 01	ELSELR01	R/W	√	√	–	00H
F0302H	事件输出目标选择寄存器 02	ELSELR02	R/W	√	√	–	00H
F0303H	事件输出目标选择寄存器 03	ELSELR03	R/W	√	√	–	00H
F0304H	事件输出目标选择寄存器 04	ELSELR04	R/W	√	√	–	00H
F0305H	事件输出目标选择寄存器 05	ELSELR05	R/W	√	√	–	00H
F0306H	事件输出目标选择寄存器 06	ELSELR06	R/W	√	√	–	00H
F0307H	事件输出目标选择寄存器 07	ELSELR07	R/W	√	√	–	00H
F0308H	事件输出目标选择寄存器 08	ELSELR08	R/W	√	√	–	00H
F0309H	事件输出目标选择寄存器 09	ELSELR09	R/W	√	√	–	00H
F030AH	事件输出目标选择寄存器 10	ELSELR10	R/W	√	√	–	00H
F030BH	事件输出目标选择寄存器 11	ELSELR11	R/W	√	√	–	00H
F030CH	事件输出目标选择寄存器 12	ELSELR12	R/W	√	√	–	00H
F030DH	事件输出目标选择寄存器 13	ELSELR13	R/W	√	√	–	00H
F030EH	事件输出目标选择寄存器 14	ELSELR14	R/W	√	√	–	00H
F030FH	事件输出目标选择寄存器 15	ELSELR15	R/W	√	√	–	00H
F0310H	事件输出目标选择寄存器 16	ELSELR16	R/W	√	√	–	00H
F0311H	事件输出目标选择寄存器 17	ELSELR17	R/W	√	√	–	00H
F0312H	事件输出目标选择寄存器 18	ELSELR18	R/W	√	√	–	00H
F0313H	事件输出目标选择寄存器 19	ELSELR19	R/W	√	√	–	00H
F0314H	事件输出目标选择寄存器 20	ELSELR20	R/W	√	√	–	00H
F0315H	事件输出目标选择寄存器 21	ELSELR21	R/W	√	√	–	00H
F0316H	事件输出目标选择寄存器 22	ELSELR22	R/W	√	√	–	00H
F0317H	事件输出目标选择寄存器 23	ELSELR23	R/W	√	√	–	00H
F0318H	事件输出目标选择寄存器 24	ELSELR24	R/W	√	√	–	00H
F0319H	事件输出目标选择寄存器 25	ELSELR25	R/W	√	√	–	00H
F0340H	比较器模式设置寄存器	COMPMD R	R/W	√	√	–	00H
F0341H	比较器过滤器控制寄存器	COMPFIR	R/W	√	√	–	00H
F0342H	比较器输出控制寄存器	COMPOC R	R/W	√	√	–	00H
F0500H	TRJ 计数器	TRJ0	R/W	–	–	√	FFFFH
F0501H							

备注 关于 SFR 区域中的 SFR，请参阅 表 3-5 SFR 列表。

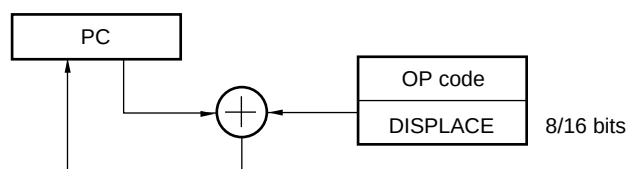
3.3 指令地址寻址

3.3.1 相对寻址

[功能]

相对寻址把指令字（带符号的补码数据：-128 至+127 或-32768 至+32767）中的位移值与程序计数器 (PC) 的值（下一条指令的起始地址）之和存储在程序计数器(PC)中，并指定分支目的地的程序地址。相对寻址仅用于分支指令。

图 3-24 相对寻址的概述



3.3.2 立即寻址

[功能]

立即寻址把指令字的立即数存储于程序计数器中，并指定分支目的地的程序地址。

在立即寻址中，利用 CALL !!addr20 或 BR !!addr20 来指定 20 位地址，利用 CALL !addr16 或 BR !addr16 来指定 16 位地址。指定 16 位地址时，高 4 位设为 0000。

图 3-25 CALL !!addr20/BR !!addr20 的示例

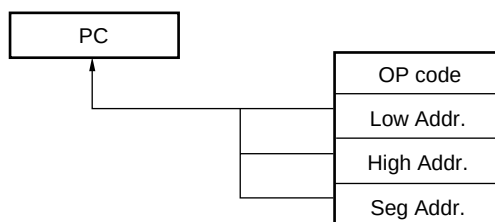
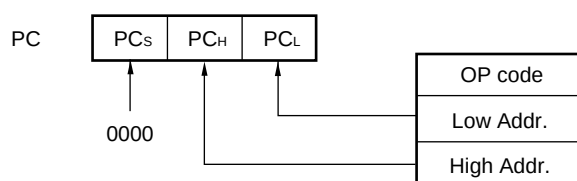


图 3-26 CALL !addr16/BR !addr16 的示例



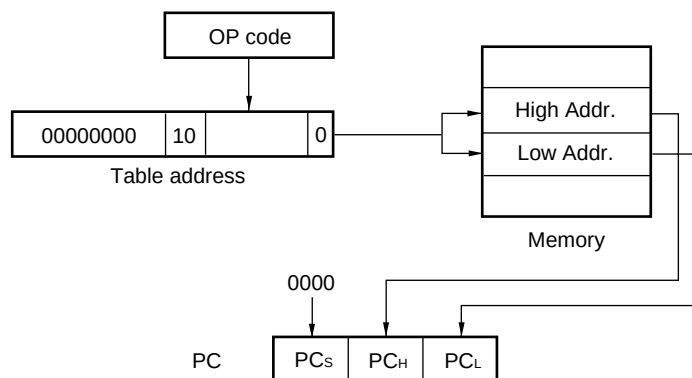
3.3.3 表间接寻址

[功能]

表间接寻址用指令字中的 5 位立即数在 CALLT 表区域（0080H 至 00BFH）中指定 1 个表地址，将表地址和下一个地址的内容以 16 位数据的形式存储在程序计数器(PC)中，并指定程序地址。表间接寻址仅用于 CALLT 指令。

RL78 微控制器中，仅在 00000H 至 0FFFFH 的 64KB 空间中允许分支。

图 3-27 表间接寻址的概述

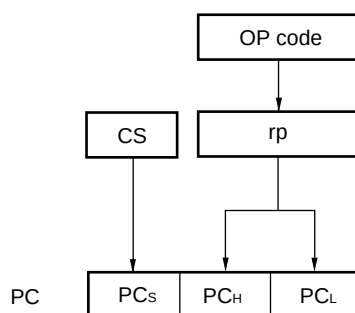


3.3.4 寄存器直接寻址

[功能]

寄存器直接寻址，是将通过指令字指定的当前寄存器组的通用寄存器对(AX/BC/DE/HL)以及 CS 寄存器的内容，以 20 位数据的形式存储在程序计数器(PC)中，并指定程序地址。寄存器直接寻址只适用于 CALL AX、BC、DE、HL 和 BR AX 指令。

图 3-28 寄存器直接寻址的概述



3.4 处理数据地址的寻址

3.4.1 隐含寻址

[功能]

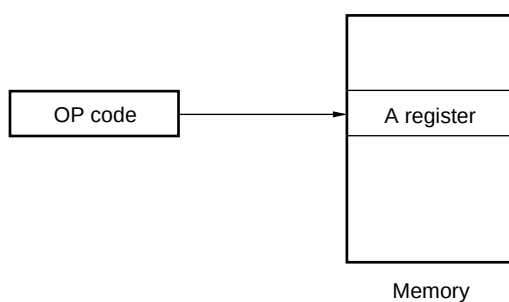
用于存取具有特殊功能的寄存器（例如累加器）的指令，可以通过指令字来直接指定，而无需使用指令字中的任何寄存器指定字段。

[操作数格式]

隐含寻址可以通过指令来自动使用，因此不需要特殊的操作数格式。

隐含寻址只适用于 MULU X。

图 3-29 隐含寻址的概述



3.4.2 寄存器寻址

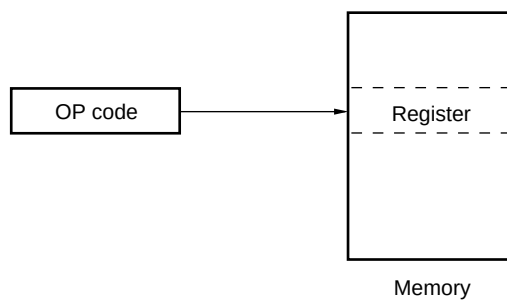
[功能]

寄存器寻址是将通用寄存器作为操作数来存取。通过 3 位的指令字选择 8 位寄存器，通过 2 位的指令字选择 16 位寄存器。

[操作数格式]

标识符	描述
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

图 3-30 寄存器寻址的概述



3.4.3 直接寻址

[功能]

直接寻址是将指令字中的立即数作为操作数地址，从而直接指定目标地址。

[操作数格式]

标识符	描述
ADDR16	标记或16位立即数(仅可以指定 F0000H至FFFFFH 的空间)
ES: ADDR16	标记或16位立即数(高4位地址由ES寄存器指定)

图 3-31. ADDR16 的示例

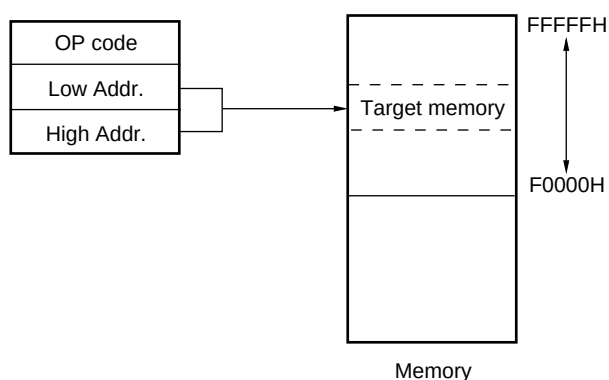
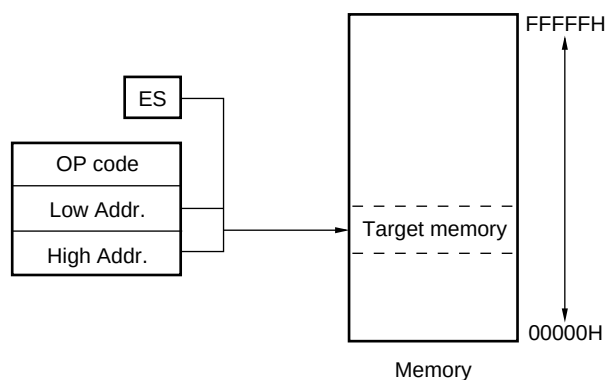


图 3-32. ES:ADDR16 的示例



3.4.4 短直接寻址

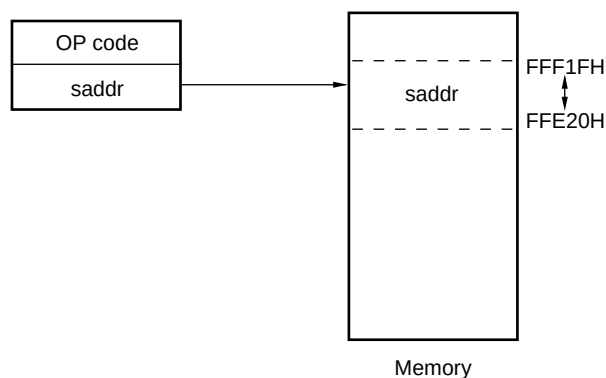
[功能]

短直接寻址利用指令字中的 8 位数据直接指定目标地址。这种寻址方式只适用于从 FFE20H 至 FFF1FH 的空间。

[操作数格式]

标识符	描述
SADDR	标记、FFE20H至FFF1FH 立即数或 0FE20H至0FF1FH 立即数 (仅可以指定 FFE20H至FFF1FH 的空间)
SADDRP	标记、FFE20H至FFF1FH 立即数或 0FE20H至0FF1FH 立即数(仅限偶数地址) (仅可以指定 FFE20H至FFF1FH 的空间)

图 3-33. 短直接寻址的概述



备注 SADDR 和 SADDRP 用于以 16 位立即数（省略了实际地址的高 4 位）描述 FFE20H 至 FFF1FH 地址的值，或者以 20 位立即数描述 FFE20H 至 FFF1FH 地址的值。
无论采用 SADDR 还是 SADDRP，都将指定从 FFE20H 至 FFF1FH 空间内的地址为存储器。

3.4.5 SFR 寻址

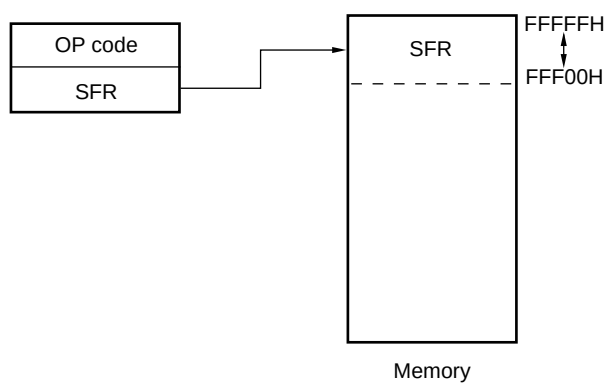
[功能]

SFR 寻址利用指令字中的 8 位数据直接指定目标 SFR 地址。这种寻址方式只适用于从 FFF00H 至 FFFFFH 的空间。

[操作数格式]

标识符	描述
SFR	SFR 名称
SFRP	16 位可操作 SFR 名称 (仅限偶数地址)

图 3-34. SFR 寻址的概述



3.4.6 寄存器间接寻址

[功能]

寄存器间接寻址是将指令字所指定的寄存器对的内容作为操作数地址，从而指定所对应的目标地址。

[操作数格式]

标识符	描述
–	[DE], [HL] (仅可以指定 F0000H至FFFFFH 的空间)
–	ES:[DE], ES:[HL] (高4位地址由ES寄存器指定)

图 3-35. [DE], [HL] 的示例

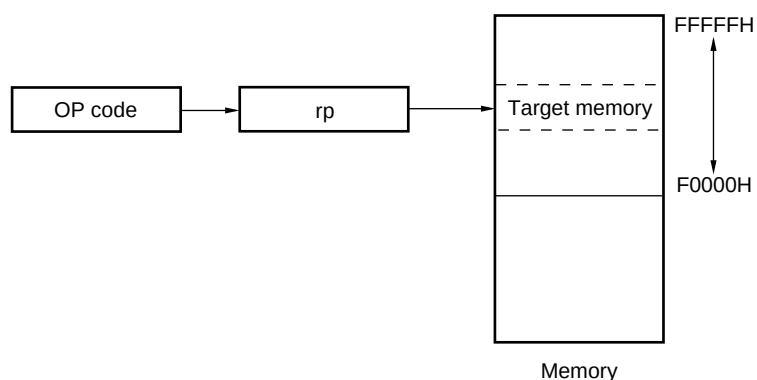
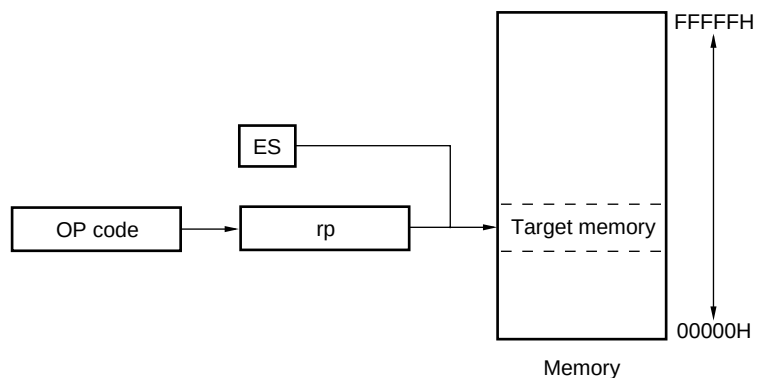


图 3-36. ES:[DE], ES:[HL] 的示例



3.4.7 基址寻址

[功能]

基址寻址是将指令字所指定的寄存器对的内容作为基址，将 8 位立即数或 16 位立即数作为偏移数，并利用这些值之和指定目标地址。

[操作数格式]

标识符	描述
–	[HL + byte], [DE + byte], [SP + byte] (仅可以指定 F0000H至FFFFFH 的空间)
–	字[B], 字[C] (仅可以指定 F0000H至FFFFFH 的空间)
–	字[BC] (仅可以指定 F0000H至FFFFFH 的空间)
–	ES:[HL + byte], ES:[DE + byte] (高4位地址由ES寄存器指定)
–	ES:字[B], ES:字[C] (高4位地址由ES寄存器指定)
–	ES:字[BC] (高4位地址由ES寄存器指定)

图 3-37. [SP+byte] 的示例

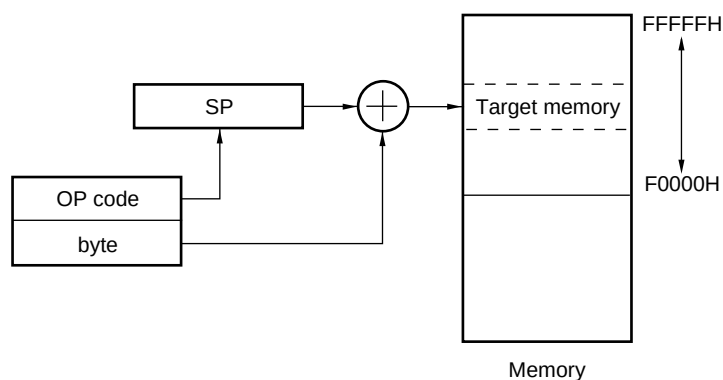


图 3-38. [HL + byte], [DE + byte] 的示例

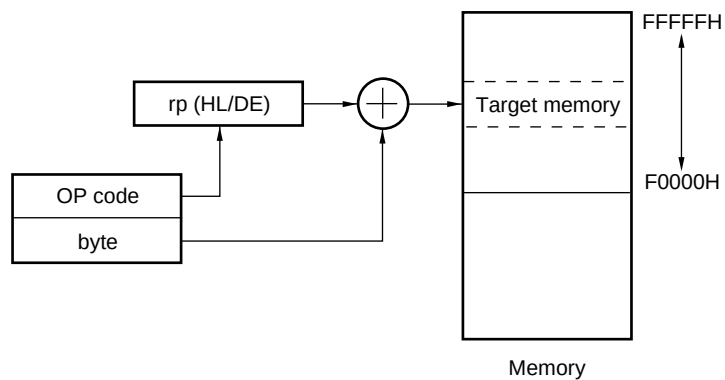


图 3-39. 字[B], 字[C] 的示例

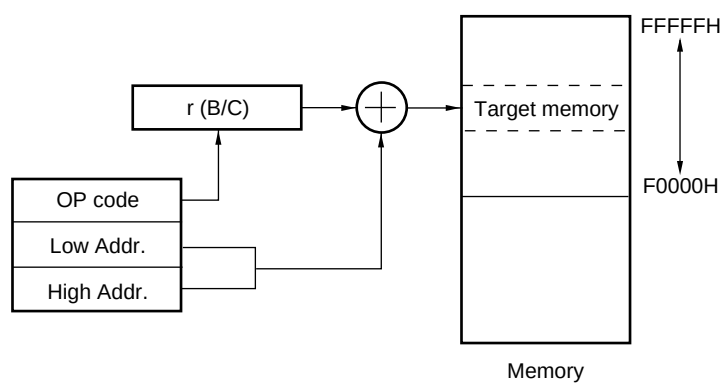


图 3-40. 字[BC] 的示例

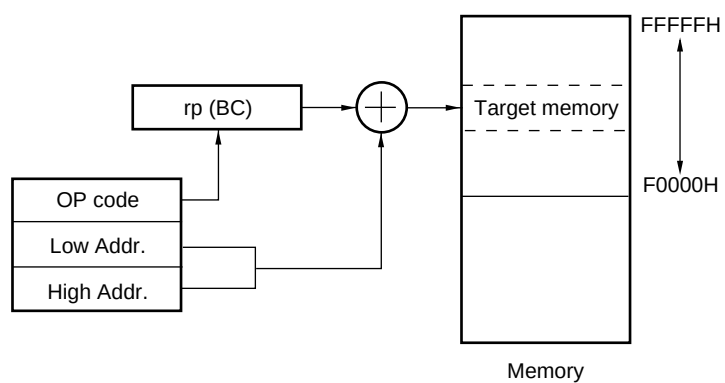


图 3-41. ES:[HL + byte], ES:[DE + byte] 的示例

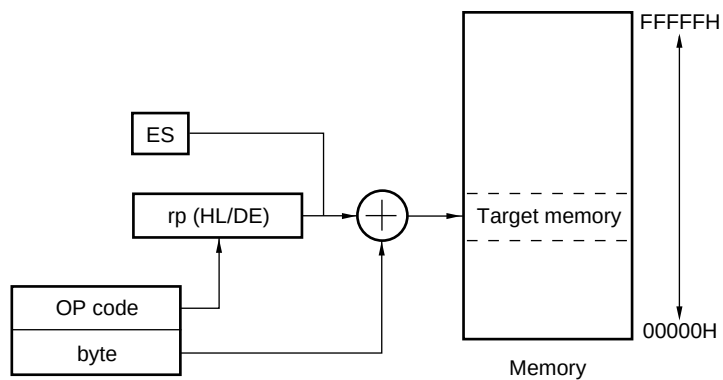


图 3-42. ES:字[B], ES:字[C] 的示例

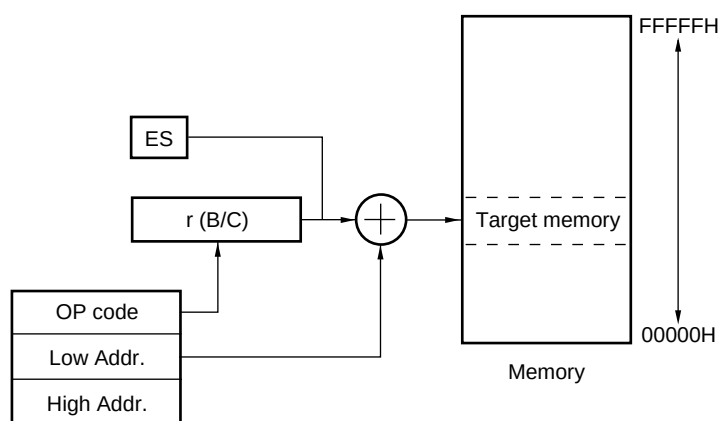
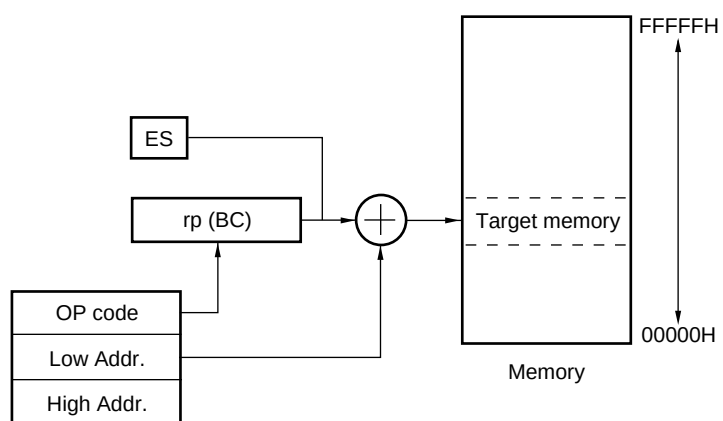


图 3-43. ES:字[BC] 的示例



3.4.8 基址变址寻址

[功能]

基址变址寻址是将指令字所指定的寄存器对的内容作为基址，将同样通过指令字所指定的 B 寄存器或 C 寄存器的内容作为偏移地址，并利用这些值之和指定目标地址。

[操作数格式]

标识符	描述
–	[HL+B], [HL+C] (仅可以指定 F0000H至FFFFFH 的空间)
–	ES:[HL+B], ES:[HL+C] (高4位地址由ES寄存器指定)

图 3-44. [HL+B], [HL+C] 的示例

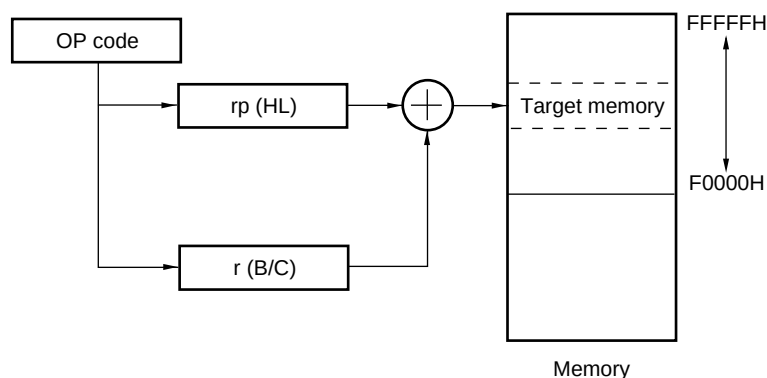
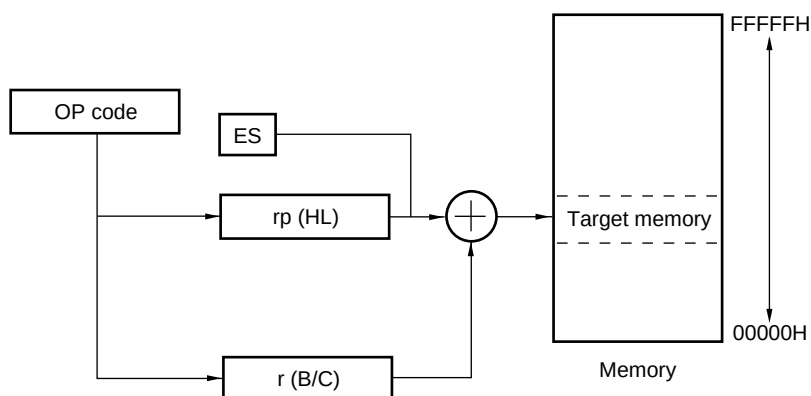


图 3-45. ES:[HL+B], ES:[HL+C] 的示例



3.4.9 堆栈寻址

[功能]

通过堆栈指针 (SP) 的内容对堆栈区域进行间接寻址。当执行 PUSH、POP、子程序调用和返回指令时，或者由于产生中断请求而保存/恢复寄存器时，将自动使用这种寻址模式。

堆栈寻址仅适用于内部 RAM 区域。

[操作数格式]

标识符	描述
—	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (产生中断请求) RETI

第四章 端口功能

4.1 端口功能

引脚的输入/输出缓冲器电源因产品而异。各个电源与引脚之间的关系如下所示。

表 4-1. 引脚的输入/输出缓冲器电源

(1) 30 针、32 针、36 针、40 针、44 针、48 针、52 针产品

供电	对应引脚
V _{DD}	所有引脚

(2) 64 针产品

供电	对应引脚
EV _{DD0}	除了 P20 至 P27、P121 至 P124 和 P137 以外的端口引脚
V _{DD}	• P20 至 P27、P121 至 P124 和 P137 • 端口引脚以外的引脚

(3) 80 针产品

供电	对应引脚
EV _{DD0}	除了 P20 至 P27、P121 至 P124、P137 和 P150 至 P153 以外的端口引脚
V _{DD}	• P20 至 P27、P121 至 P124、P137 和 P150 至 P153 • 端口引脚以外的引脚

(4) 100 针产品

供电	对应引脚
EV _{DD0} 、EV _{DD1}	除了 P20 至 P27、P121 至 P124、P137 和 P150 至 P156 以外的端口引脚
V _{DD}	• P20 至 P27、P121 至 P124、P137 和 P150 至 P156 • 端口引脚以外的引脚

RL78/G14 微控制器提供有数字输入/输出端口，支持多种控制操作。

除了作为数字输入/输出端口的功能以外，这些端口还具有多种复用功能。有关复用功能的详情，请参阅第二章 引脚功能。

4.2 端口配置

端口包括下列硬件。

表 4-2. 端口配置

项目	配置
控制寄存器	端口模式寄存器(PM0 至 PM8、PM10 至 PM12、PM14、PM15) 端口寄存器(P0 至 P8、P10 至 P15) 上拉电阻选项寄存器(PU0、PU1、PU3 至 PU8、PU10 至 PU12、PU14) 端口输入模式寄存器(PIM0、PIM1、PIM3 至 PIM5、PIM8、PIM14) 端口输出模式寄存器(POM0、POM1、POM3 至 POM5、POM7、POM8、POM14) 端口模式控制寄存器 (PMC0、PMC1、PMC10、PMC12、PMC14) A/D 端口配置寄存器(ADPC) 外围输入/输出重定向寄存器(PIOR0、PIOR1) 全局数字输入禁止寄存器(GDIDIS)
端口	• 30 针产品 总共：26 (CMOS 输入/输出：21，CMOS 输入：3，N 沟道开路漏极输入/输出：2) • 32 针产品 总共：28 (CMOS 输入/输出：22，CMOS 输入：3，N 沟道开路漏极输入/输出：3) • 36 针产品 总共：32 (CMOS 输入/输出：26，CMOS 输入：3，N 沟道开路漏极输入/输出：3) • 40 针产品 总共：36 (CMOS 输入/输出：28，CMOS 输入：5，N 沟道开路漏极输入/输出：3) • 44 针产品 总共：40 (CMOS 输入/输出：31，CMOS 输入：5，N 沟道开路漏极输入/输出：4) • 48 针产品 总共：44 (CMOS 输入/输出：34，CMOS 输入：5，CMOS 输出：1，N 沟道开路漏极输入/输出：4) • 52 针产品 总共：48 (CMOS 输入/输出：38，CMOS 输入：5，CMOS 输出：1，N 沟道开路漏极输入/输出：4) • 64 针产品 总共：58 (CMOS 输入/输出：48，CMOS 输入：5，CMOS 输出：1，N 沟道开路漏极输入/输出：4) • 80 针产品 总共：74 (CMOS 输入/输出：64，CMOS 输入：5，CMOS 输出：1，N 沟道开路漏极输入/输出：4) • 100 针产品 总共：92 (CMOS 输入/输出：82，CMOS 输入：5，CMOS 输出：1，N 沟道开路漏极输入/输出：4)
上拉电阻	• 30 针产品 总共：17 • 32 针产品 总共：18 • 36 针产品 总共：20 • 40 针产品 总共：21 • 44 针产品 总共：23 • 48 针产品 总共：26 • 52 针产品 总共：30 • 64 针产品 总共：40 • 80 针产品 总共：52 • 100 针产品 总共：67

注意事项 本章的下述内容大多是以外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 设置为 00H 的 100 针产品为例。

4.2.1 端口 0

端口 0 是具有输出锁存器的输入/输出端口。端口 0 可以通过端口模式寄存器 0(PM0)按 1 位单位设为输入模式或输出模式。当 P00 至 P06 引脚用作输入端口时，可通过上拉电阻选项寄存器 0(PU0)按 1 位单位指定使用片上上拉电阻。

至 P01、P03 和 P04 引脚的输入可利用端口输入模式寄存器 0(PIM0)通过正常输入缓冲器或 TTL 输入缓冲器按 1 位单位指定。

P00 和 P02 至 P04 引脚的输出可利用端口输出模式寄存器 0(POM0)按 1 位单位指定为 N 沟道开路漏极输出（EV_{DD0} 耐压）。

P00 至 P03 引脚的输入可利用端口模式控制寄存器 0(PMC0)按 1 位单位指定为模拟输入或数字输入。

这个端口也可以用作定时器输入/输出、A/D 转换器模拟输入、串行接口数据输入/输出和时钟输入/输出。

产生复位信号时，将设置以下配置。

- 30 和 32 针产品的 P00 和 P01 引脚 … 模拟输入
- 其他产品的 P00、P01 和 P04 至 P06 引脚 … 输入模式
- 其他产品的 P02 和 P03 引脚 … 模拟输入

表 4-3. 使用端口 0 时寄存器的设置

引脚名称		PM0x	PIM0x	POM0x	PMC0x	复用功能设置	备注
名称	输入/输出						
P00	输入	1	—	×	0 ^{注1}	×	
	输出	0		0	0 ^{注1}	TxD1输出 = 1 ^{注3}	CMOS输出
		0		1	0 ^{注1}		N沟道O.D.输出
P01	输入	1	0	—	0 ^{注1}	×	CMOS输入
		1	1		0 ^{注1}	×	TTL输入
	输出	0	×		0 ^{注1}	TO00输出 = 0 ^{注4} TRJIO01输出 = 1 ^{注5}	
P02	输入	1	—	×	0 ^{注2}	×	
	输出	0		0	0 ^{注2}	SO10/TxD1输出 = 1 ^{注6}	CMOS输出
		0		1	0 ^{注2}		N沟道O.D.输出
P03	输入	1	0	×	0 ^{注2}	×	CMOS输入
		1	1	×	0 ^{注2}	×	TTL输入
	输出	0	×	0	0 ^{注2}	SDA10输出 = 1 ^{注6}	CMOS输出
		0	×	1	0 ^{注2}		N沟道O.D.输出
P04	输入	1	0	×	—	×	CMOS输入
		1	1	×		×	TTL输入
	输出	0	×	0		SCK10/SCL10输出 = 1 ^{注6}	CMOS输出
		0	×	1			N沟道O.D.输出
P05, P06	输入	1	—	—	—	—	
	输出	0		—		—	

注1. 仅限 30、32 针产品

2. 仅限 52、64、80、100 针产品

- 注3. 要将 30 至 48 针产品中复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM) 的 SOMn 位、串行输出允许寄存器 m (SOEm) 的 SOEmn 位以及串行通道允许状态寄存器 m (SEm) 的 SEmn 位设置为初始值。 (mn = 02)
4. 要将复用于定时器阵列单元的定时器输出功能的引脚用作通用端口，则须将对应单元通道的定时器输出寄存器 m (TOM) 的 TOMn 位和定时器输出允许寄存器 m (TOEm) 的 TOEmn 位设置为初始状态。 (m = 0, n = 0)
5. 要将复用于定时器 RJ 的定时器 I/O 功能的引脚用作通用端口，则须将定时器 RJ 模式寄存器 0 (TRJMR0) 的 TMOD2 至 TMOD0 位设置为初始值或者 001B 以外的值。
6. 要将 52 至 100 针产品中复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM) 的 SOMn 位、串行输出允许寄存器 m (SOEm) 的 SOEmn 位以及串行通道允许状态寄存器 m (SEm) 的 SEmn 位设置为初始值。 (mn = 02)

备注 x: 忽略

PM0x: 端口模式寄存器 0

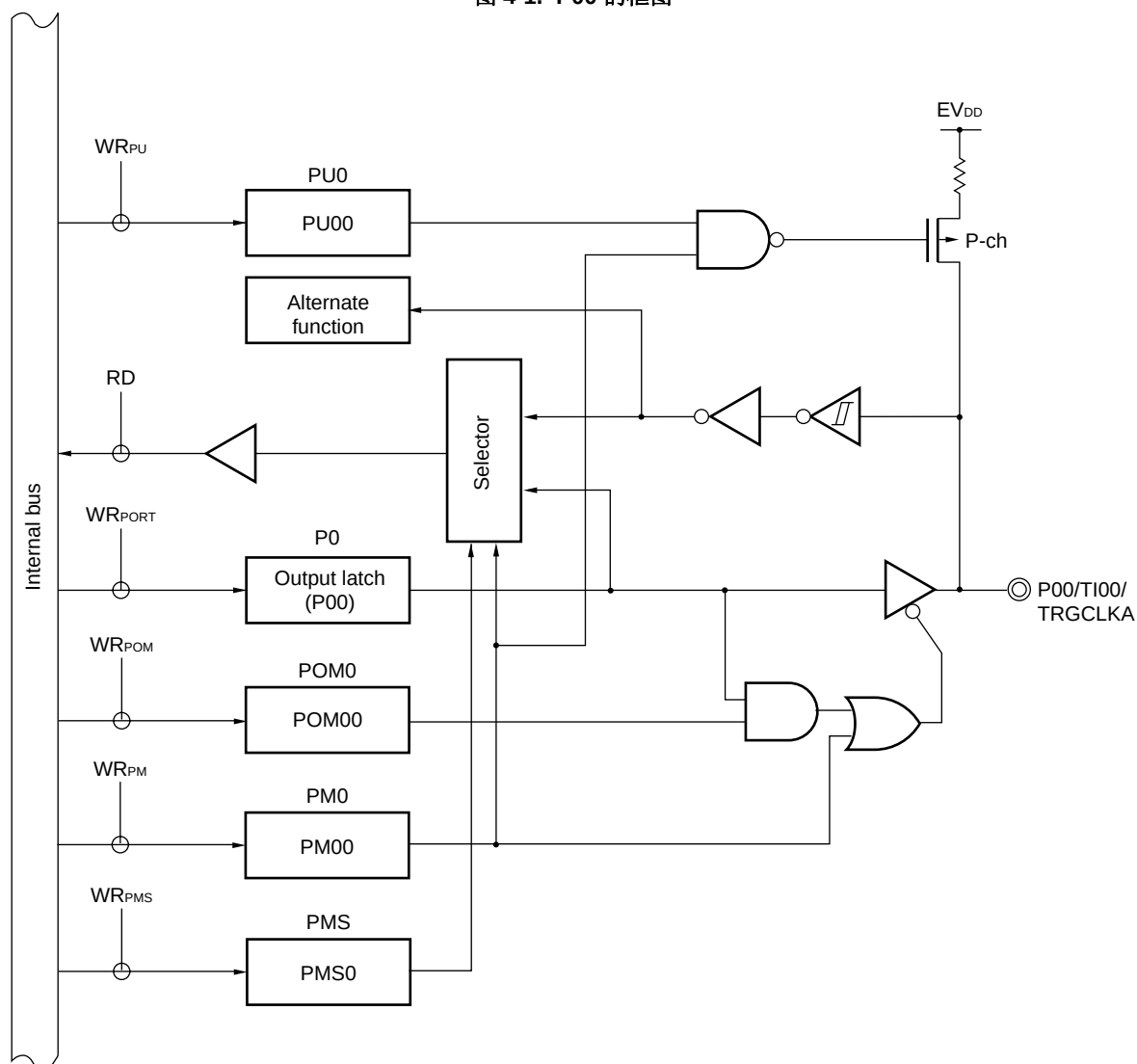
PIM0x: 端口输入模式寄存器 0

POM0x: 端口输出模式寄存器 0

PMC0x: 端口模式控制寄存器 0

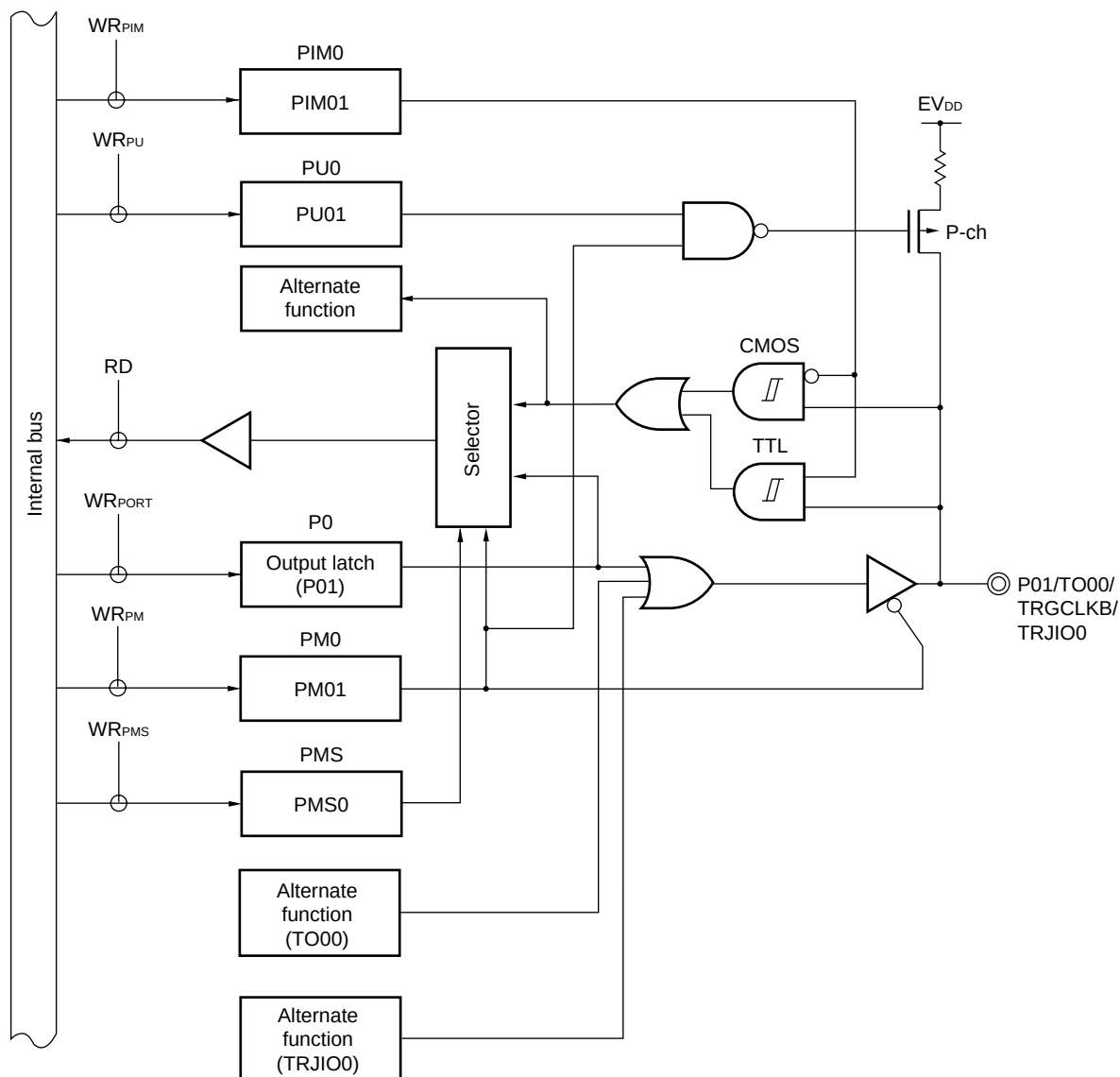
例如，PIOR0 = 00H、PIOR1 = 00H 时 100 针产品中端口 0 的框图如图 4-1 至 4-7 所示。

图 4-1. P00 的框图



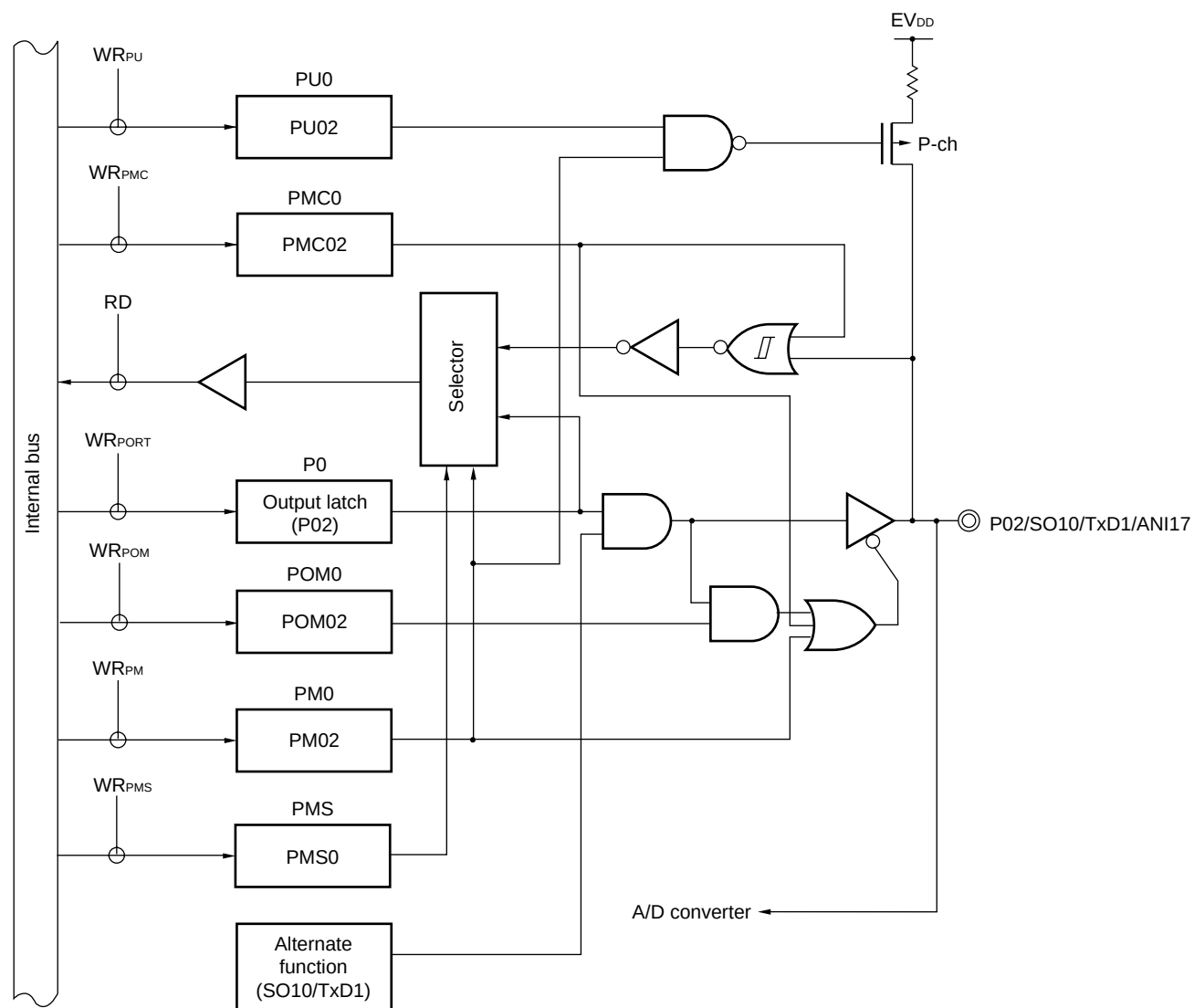
P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 POM0: 端口输出模式寄存器 0
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-2. P01 的框图



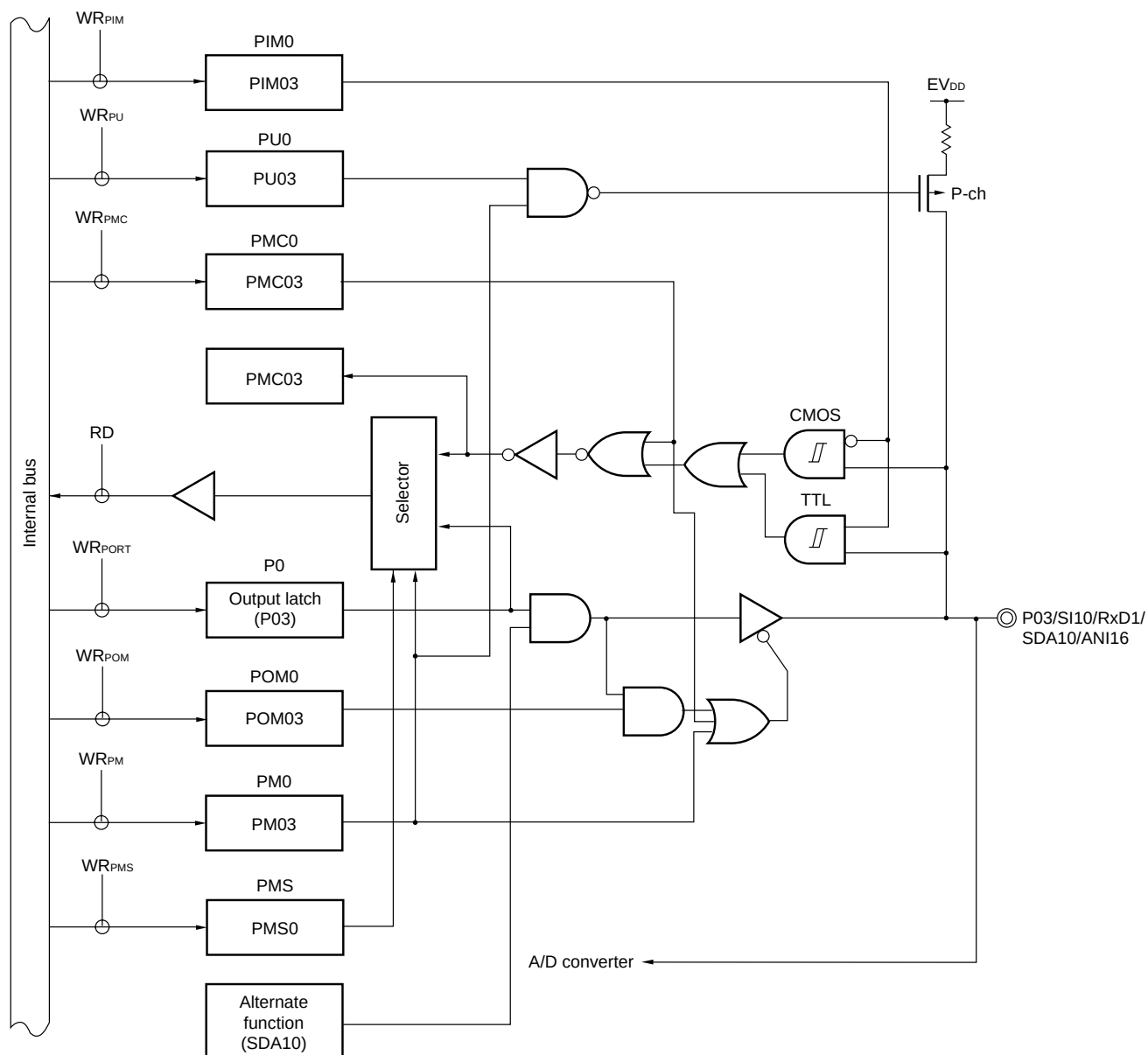
P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 PIM0: 端口输入模式寄存器 0
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-3. P02 的框图



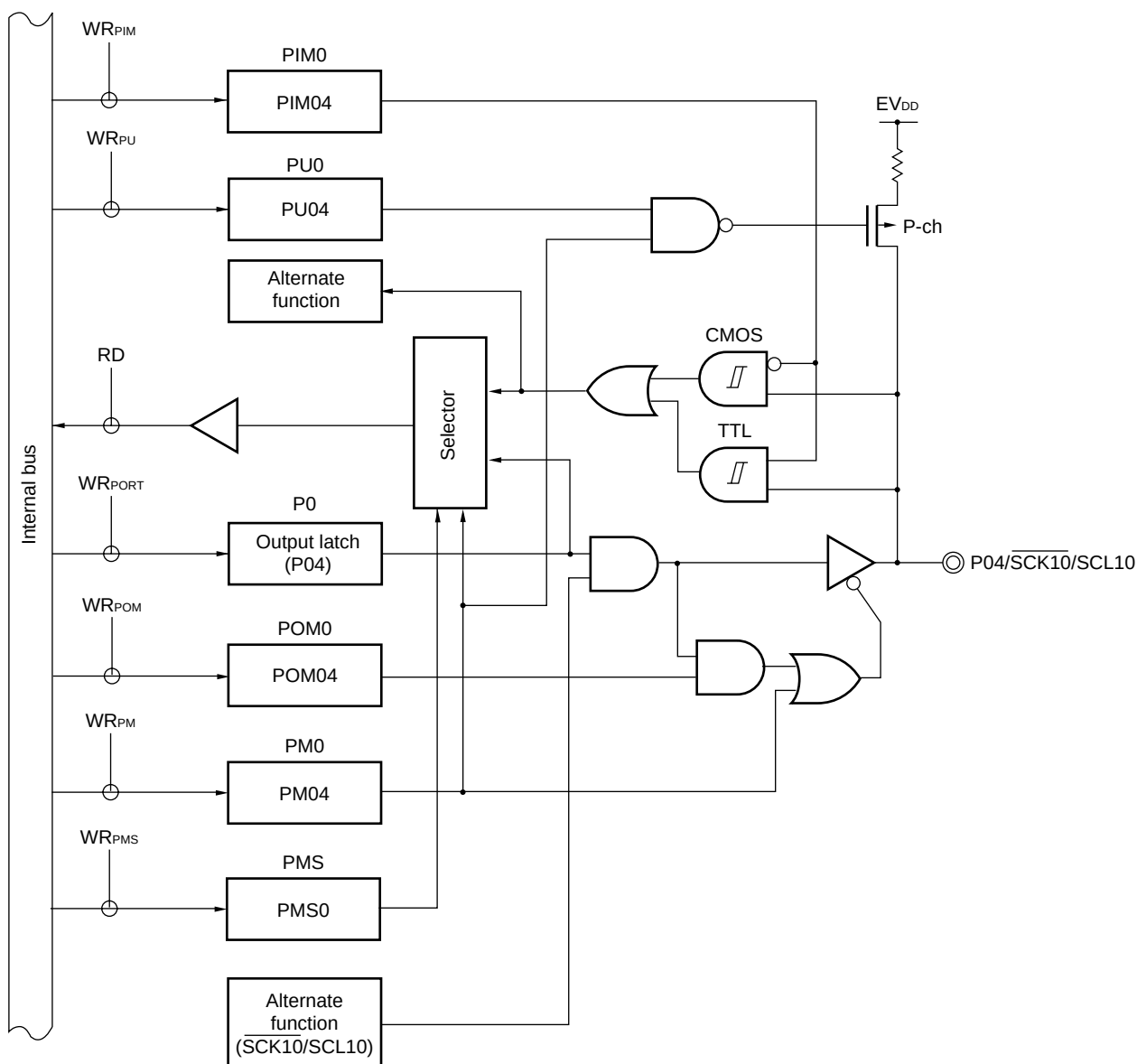
- P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 POM0: 端口输出模式寄存器 0
 PMC0: 端口模式控制寄存器 0
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-4. P03 的框图



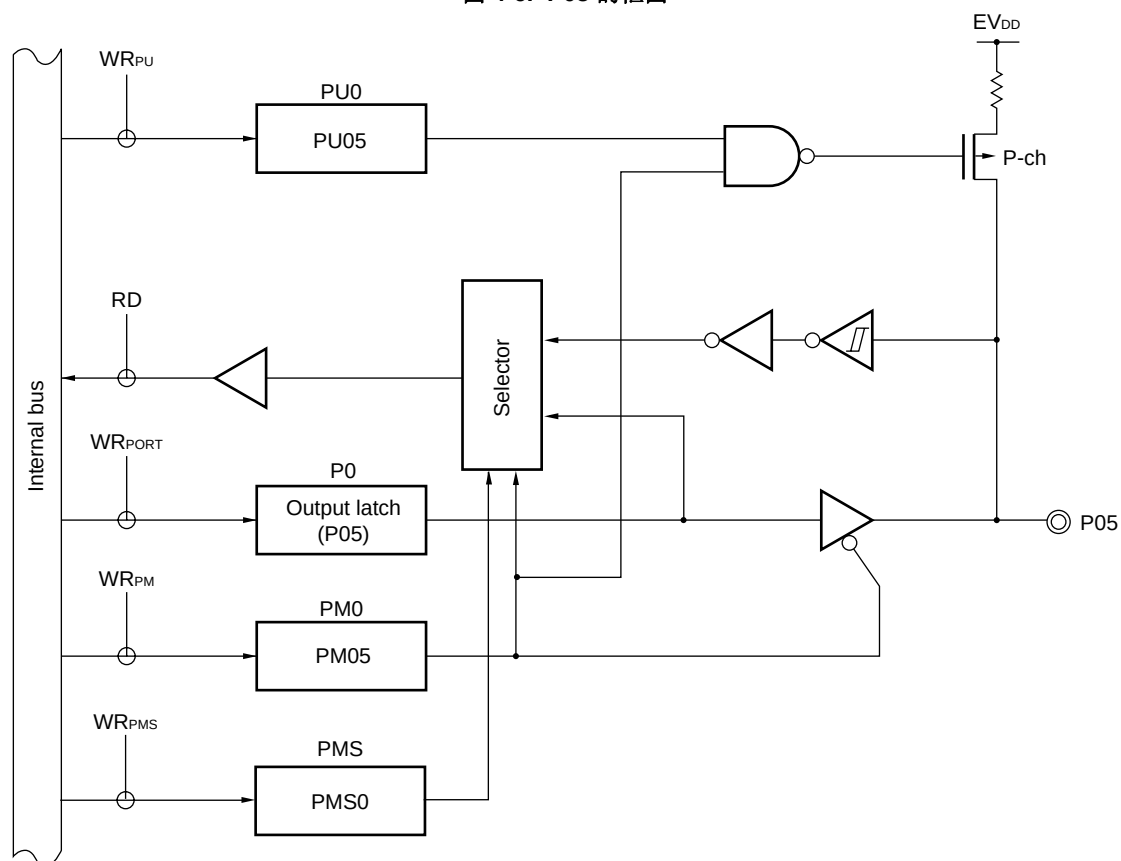
- P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 PIM0: 端口输入模式寄存器 0
 POM0: 端口输出模式寄存器 0
 PMC0: 端口模式控制寄存器 0
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-5. P04 的框图



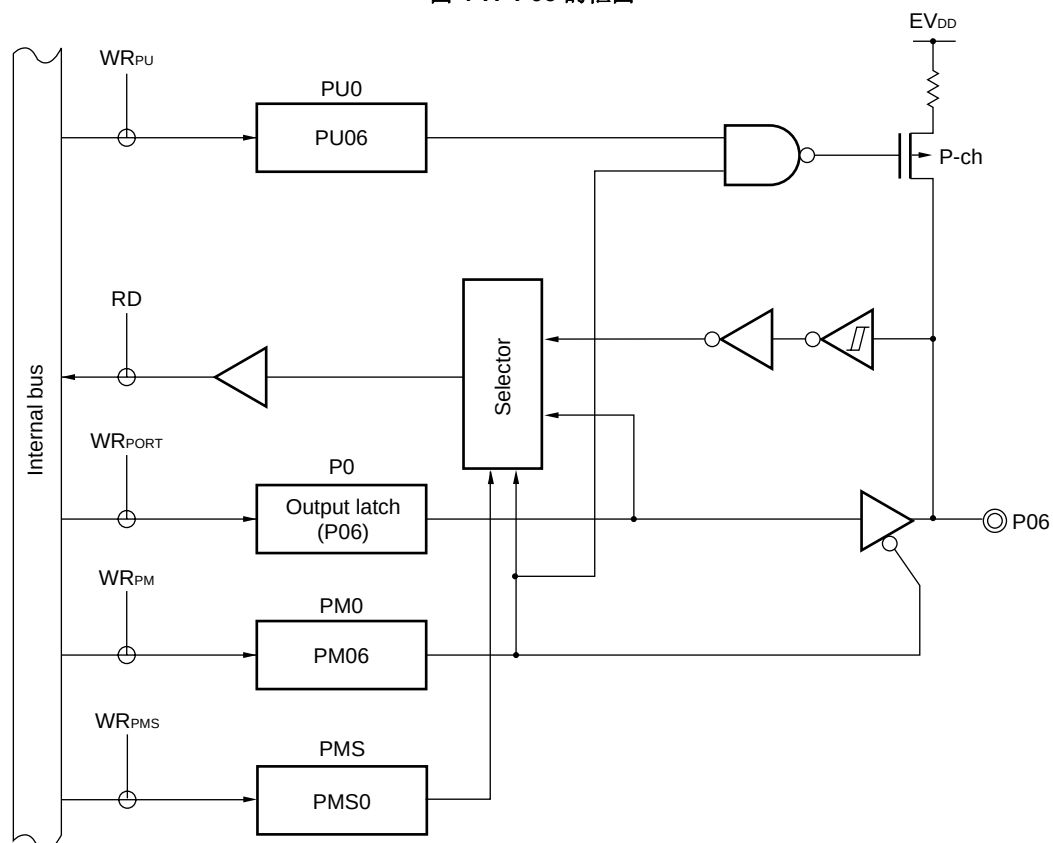
P0: 端口寄存器 0
PU0: 上拉电阻选项寄存器 0
PM0: 端口模式寄存器 0
PIM0: 端口输入模式寄存器 0
POM0: 端口输出模式寄存器 0
PMS: 端口输出模式寄存器
RD: 读取信号
WR_{xx}: 写入信号

图 4-6. P05 的框图



P0:	端口寄存器 0
PU0:	上拉电阻选项寄存器 0
PM0:	端口模式寄存器 0
PMS:	端口输出模式寄存器
RD:	读取信号
WRxx:	写入信号

图 4-7. P06 的框图



- P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

4.2.2 端口 1

端口 1 是具有输出锁存器的输入/输出端口。端口 1 可以通过端口模式寄存器 1(PM1)按 1 位单位设为输入模式或输出模式。当 P10 至 P17 引脚用作输入端口时，可通过上拉电阻选项寄存器 1(PU1)按 1 位单位指定使用片上上拉电阻。

至 P10 和 P14 至 P17 引脚的输入可利用端口输入模式寄存器 1(PIM1)通过正常输入缓冲器或 TTL 输入缓冲器按 1 位单位指定。

P10、P11、P13 至 P15 和 P17 引脚的输出可利用端口输出模式寄存器 1(POM1)按 1 位单位指定为 N 沟道开路漏极输出（EV_{DD0} 耐压）。

只有在配备 96 KB 或更大代码闪存的产品中，若要将 P12、P13、P16 或 P17 引脚用作模拟输入，须用端口模式控制寄存器 1 指定为数字或模拟（按 1 位单位指定）。

这个端口也可以用作串行接口数据输入/输出、时钟输入/输出、定时器输入/输出、外部中断请求输入、比较器基准电压输入和比较器模拟电压输入。

产生复位信号后，端口 1 被设置为输入模式。

表 4-4. 使用端口 1 时寄存器的设置 (1/2)

引脚名称		PM1x	PIM1x	POM1x	PMC1x	复用功能设置 ^{注 9}	备注
名称	输入/输出						
P10	输入	1	0	×	—	×	CMOS 输入
		1	1	×		×	TTL 输入
	输出	0	×	0		$\overline{\text{SCK11/SCL11}} \text{ 输出} = 1^{\text{注 2}}$	CMOS 输出
		0	×	1		TRDIOD1 输出 = 0 ^{注 3}	N 沟道 O.D. 输出
P11	输入	1	—	×	—	×	
	输出	0		0		SDA11 输出 = 1 ^{注 4}	CMOS 输出
		0		1		TRDIOC1 输出 = 0 ^{注 3}	N 沟道 O.D. 输出
P12	输入	1	—	—	0 ^{注 1}	×	
	输出	0			0 ^{注 1}	SO11 输出 = 1 ^{注 4} TRDIOB1 输出 = 0 ^{注 3}	
P13	输入	1	—	×	0 ^{注 1}	×	
	输出	0		0	0 ^{注 1}	TxD2/SO20 输出 = 1 ^{注 4}	CMOS 输出
		0		1	0 ^{注 1}	TRDIOA1 输出 = 0 ^{注 3}	N 沟道 O.D. 输出
P14	输入	1	0	×	—	×	CMOS 输入
		1	1	×		×	TTL 输入
	输出	0	×	0		SDA20 输出 = 1 ^{注 4}	CMOS 输出
		0	×	1		TRDIOD0 输出 = 0 ^{注 3} (SCLA0 输出 = 0 ^{注 5})	N 沟道 O.D. 输出
P15	输入	1	0	×	—	×	CMOS 输入
		1	1	×		×	TTL 输入
	输出	0	×	0		PCLBUZ1 输出 = 0 ^{注 6}	CMOS 输出
		0	×	1		$\overline{\text{SCK20/SCL20}} \text{ 输出} = 1^{\text{注 2}}$ TRDIOB0 输出 = 0 ^{注 3} (SDAA0 输出 = 0 ^{注 5})	N 沟道 O.D. 输出

(注和备注如下页所示。)

表 4-4. 使用端口 1 时寄存器的设置 (2/2)

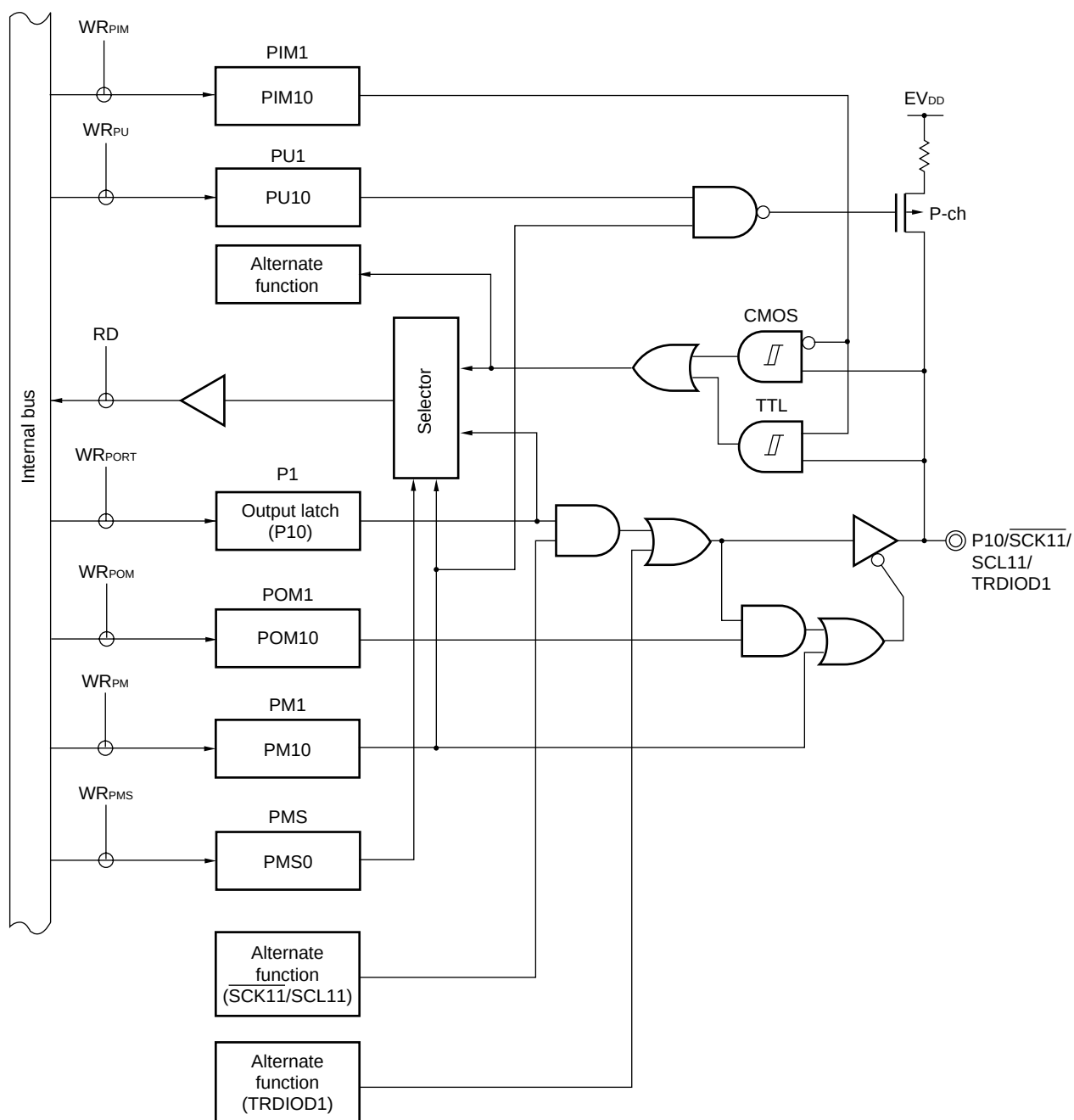
引脚名称		PM1x	PIM1x	POM1x	PMC1x	复用功能设置	备注
名称	输入/输出						
P16	输入	1	0	—	0 ^{注 1}	×	CMOS输入
		1	1		0 ^{注 1}	×	TTL输入
	输出	0	×		0 ^{注 1}	TO01输出 = 0 ^{注 7} TRDIOC0输出 = 0 ^{注 3}	
P17	输入	1	0	×	0 ^{注 1}	×	CMOS输入
		1	1	×	0 ^{注 1}	×	TTL输入
	输出	0	×	0	0 ^{注 1}	TO02输出 = 0 ^{注 7} TRDIOA0输出 = 0 ^{注 3}	CMOS输出
		0	×	1	0 ^{注 1}	(SO00/TxD0输出 = 1 ^{注 8})	N沟道O.D.输出

- 注 1. 仅限代码闪存为 96 KB 或更大的产品。
- 要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM) 的 CKOm_n 位、串行输出允许寄存器 m (SOEm) 的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm) 的 SE_m_n 位设置为初始值。(mn = 03, 10)
 - 要将复用于定时器 RD 功能的引脚用作通用端口，则须将定时器 RD 输出主允许寄存器 1 (TRDOER1) 中对应于 TRDIOj 引脚的输出控制位设置为初始值。(i = A, B, C, D; j = 0, 1)
 - 要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM) 的 SOM_n 位、串行输出允许寄存器 m (SOEm) 的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm) 的 SE_m_n 位设置为初始值。(mn = 03, 10)
 - 当外围 I/O 重定向寄存器 0 (PIOR0) 的 PIOR02 位为 1 时，要将复用于串行接口 IICA 功能的引脚用作通用端口，则须停止操作对应串行接口 IICA。
 - 要将 30 至 52 针产品中复用于时钟/蜂鸣器输出功能的引脚用作通用端口，则须将时钟输出选择寄存器 i (CKSi) 的 PCLOE_i 位设置为初始状态。(i = 1) 要将 30 至 52 引脚产品中与时钟/蜂鸣器输出功能多路复用的引脚用作通用端口，则须把时钟输出选择寄存器 i (CKSi) 的 PCLOE_i 位设为默认状态 (i = 1)。
 - 要将复用于定时器阵列单元的定时器输出功能的引脚用作通用端口，则须将对应单元通道的定时器输出寄存器 m (TOM) 的 TOM_n 位和定时器输出允许寄存器 m (TOEm) 的 TOEm_n 位设置为初始状态。(m = 0, n = 1, 2)
 - 当外围 I/O 重定向寄存器 0 (PIOR0) 的 PIOR01 位为 1 时，要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM) 的 SOM_n 位、串行输出允许寄存器 m (SOEm) 的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm) 的 SE_m_n 位设置为初始值。(mn = 00)
 - 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 来分配上表括号内的功能。

备注 ×: 忽略
 PM1x: 端口模式寄存器 1
 PIM1x: 端口输入模式寄存器 1
 POM1x: 端口输出模式寄存器 1
 PMC1x: 端口模式控制寄存器 1

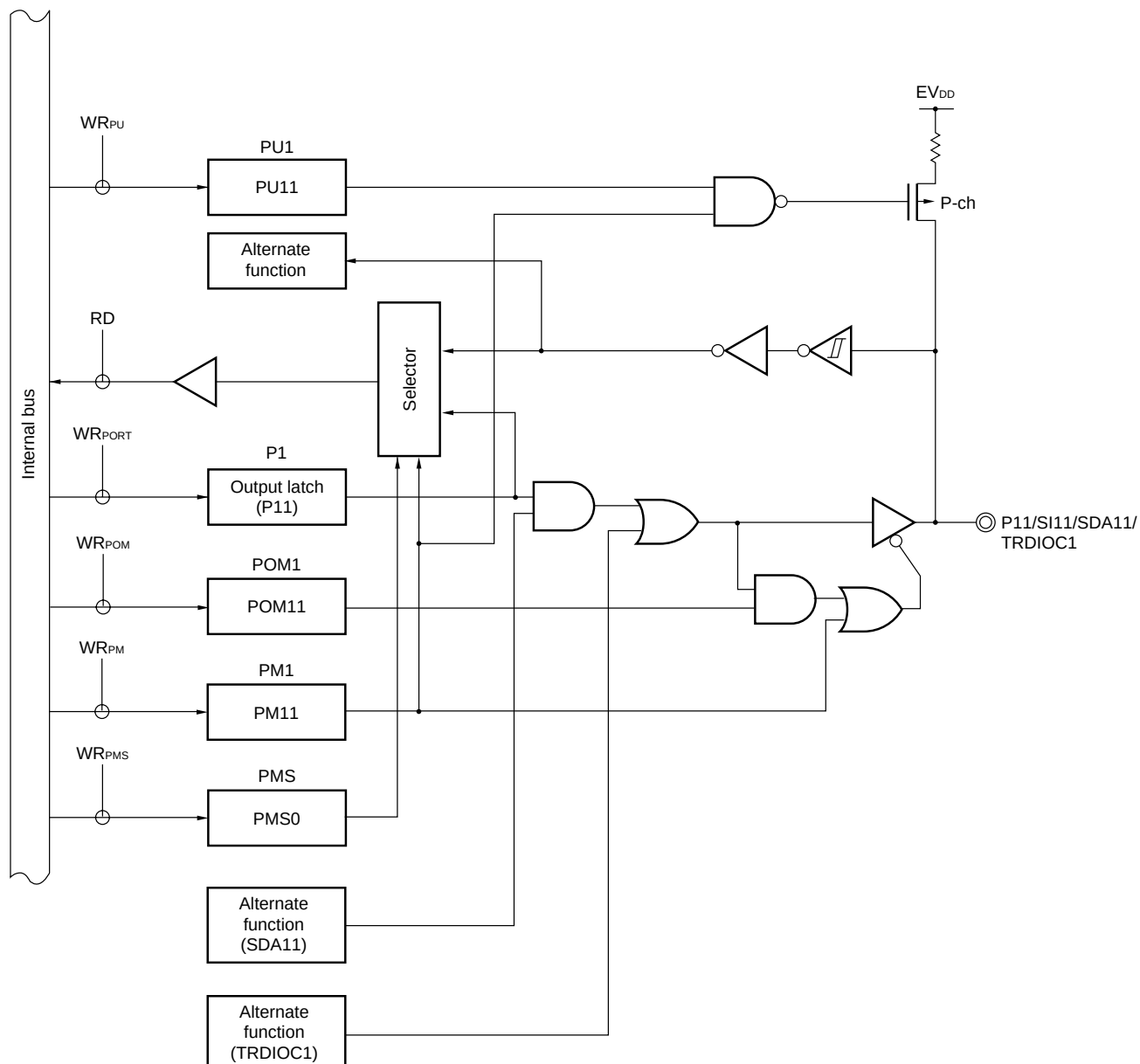
例如, $PIOR0 = 00H$ 、 $PIOR1 = 00H$ 时 100 针产品中端口 1 的框图如图 4-8 至 4-15 所示。

图 4-8. P10 的框图



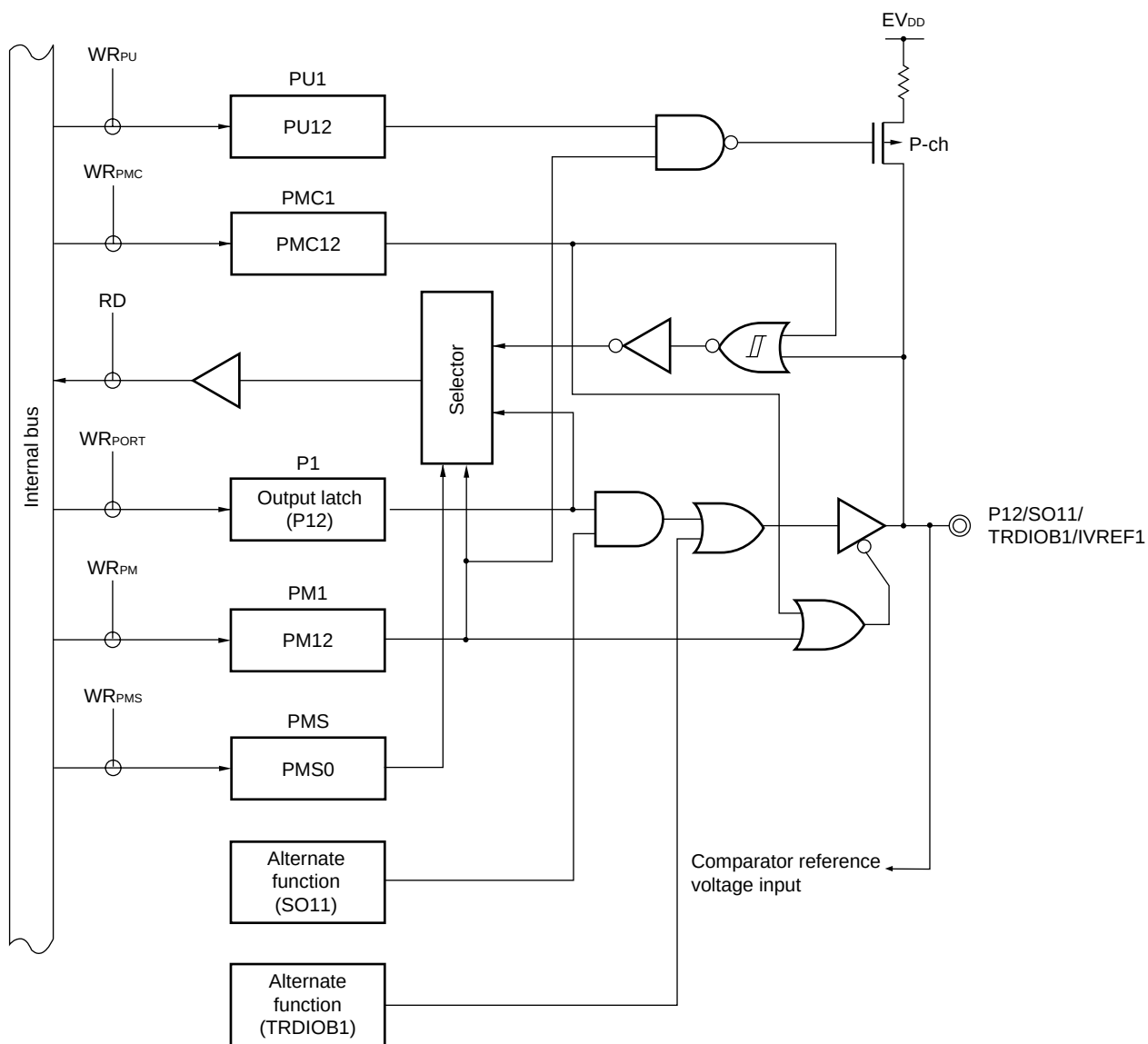
- P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 PIM1: 端口输入模式寄存器 1
 POM1: 端口输出模式寄存器 1
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-9. P11 的框图



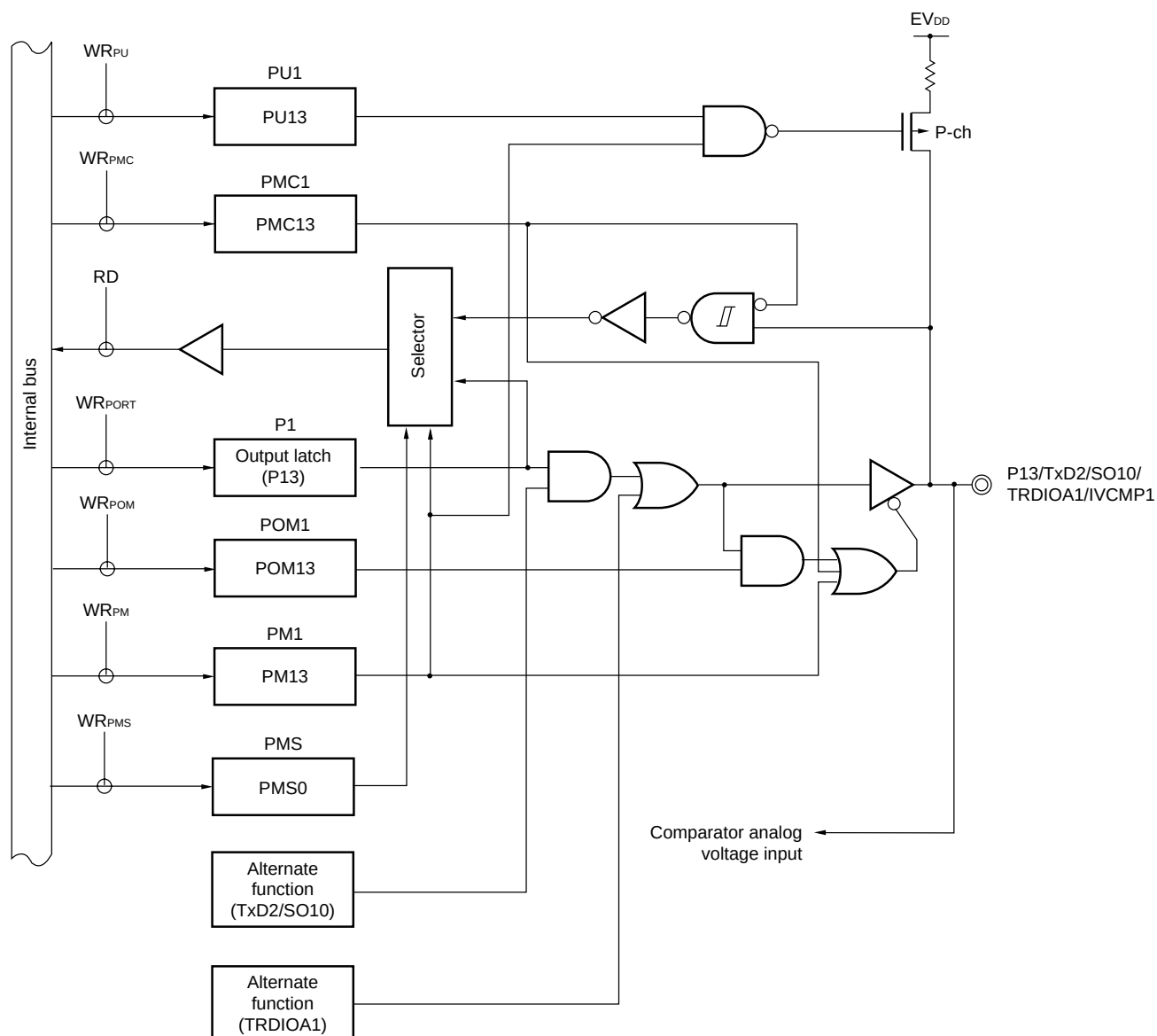
P1:	端口寄存器 1
PU1:	上拉电阻选项寄存器 1
PM1:	端口模式寄存器 1
POM1:	端口输出模式寄存器 1
PMS:	端口输出模式寄存器
RD:	读取信号
WRxx:	写入信号

图 4-10. P12 的框图



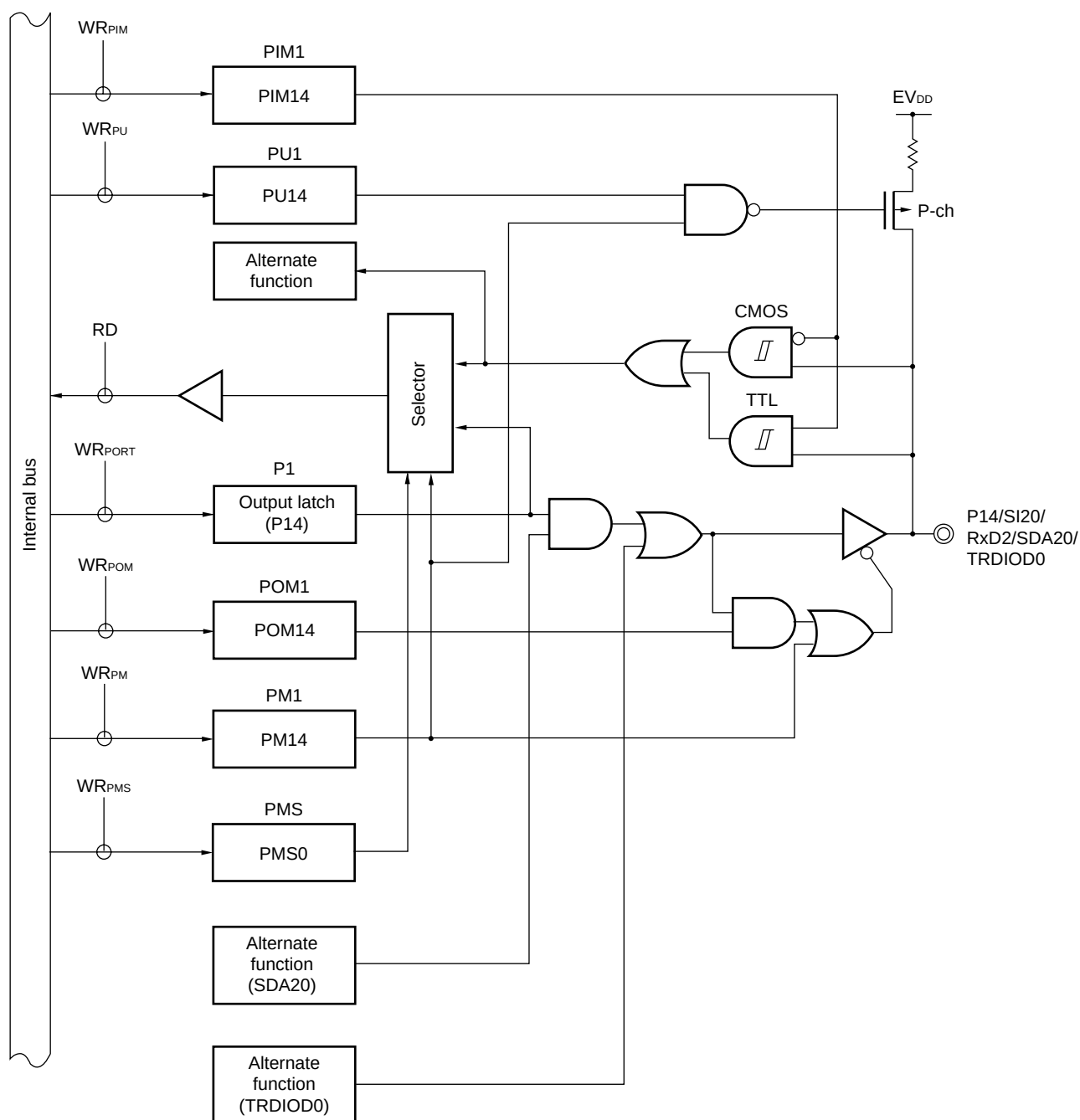
- P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 PMC1: 端口模式控制寄存器 1
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-11. P13 的框图



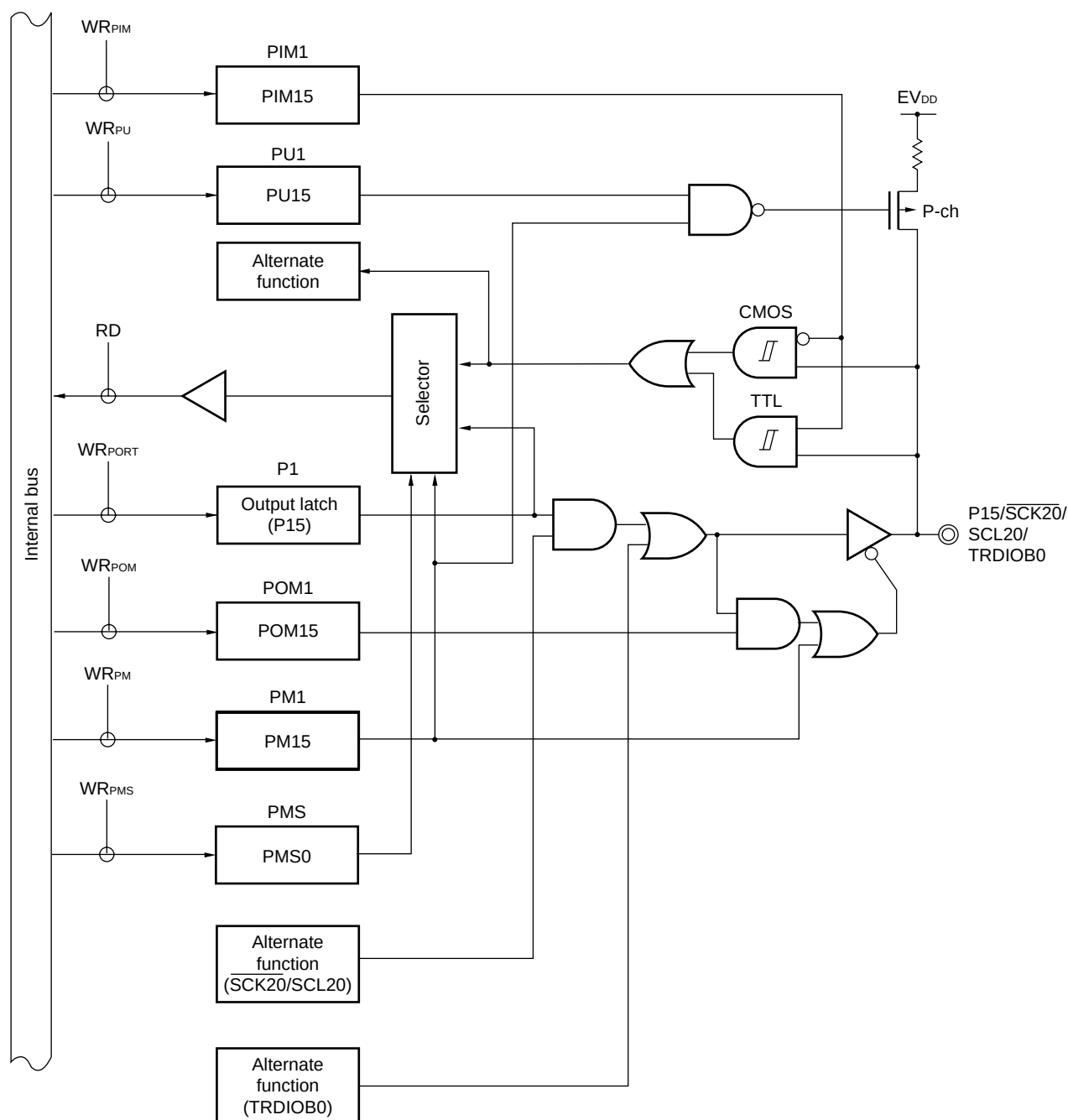
- P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 POM1: 端口输出模式寄存器 1
 PMC1: 端口模式控制寄存器 1
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-12. P14 的框图



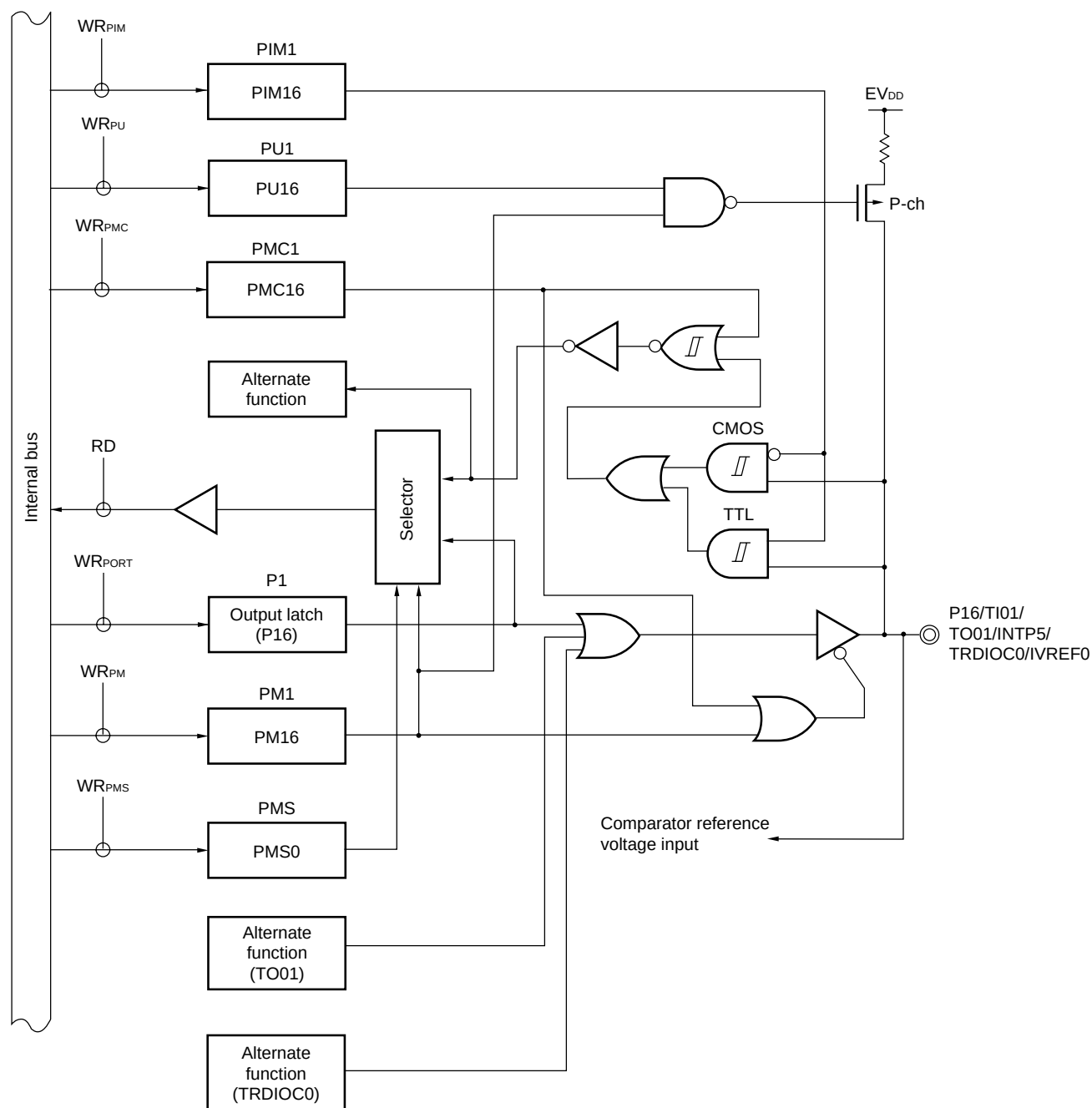
- P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 PIM1: 端口输入模式寄存器 1
 POM1: 端口输出模式寄存器 1
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-13. P15 的框图



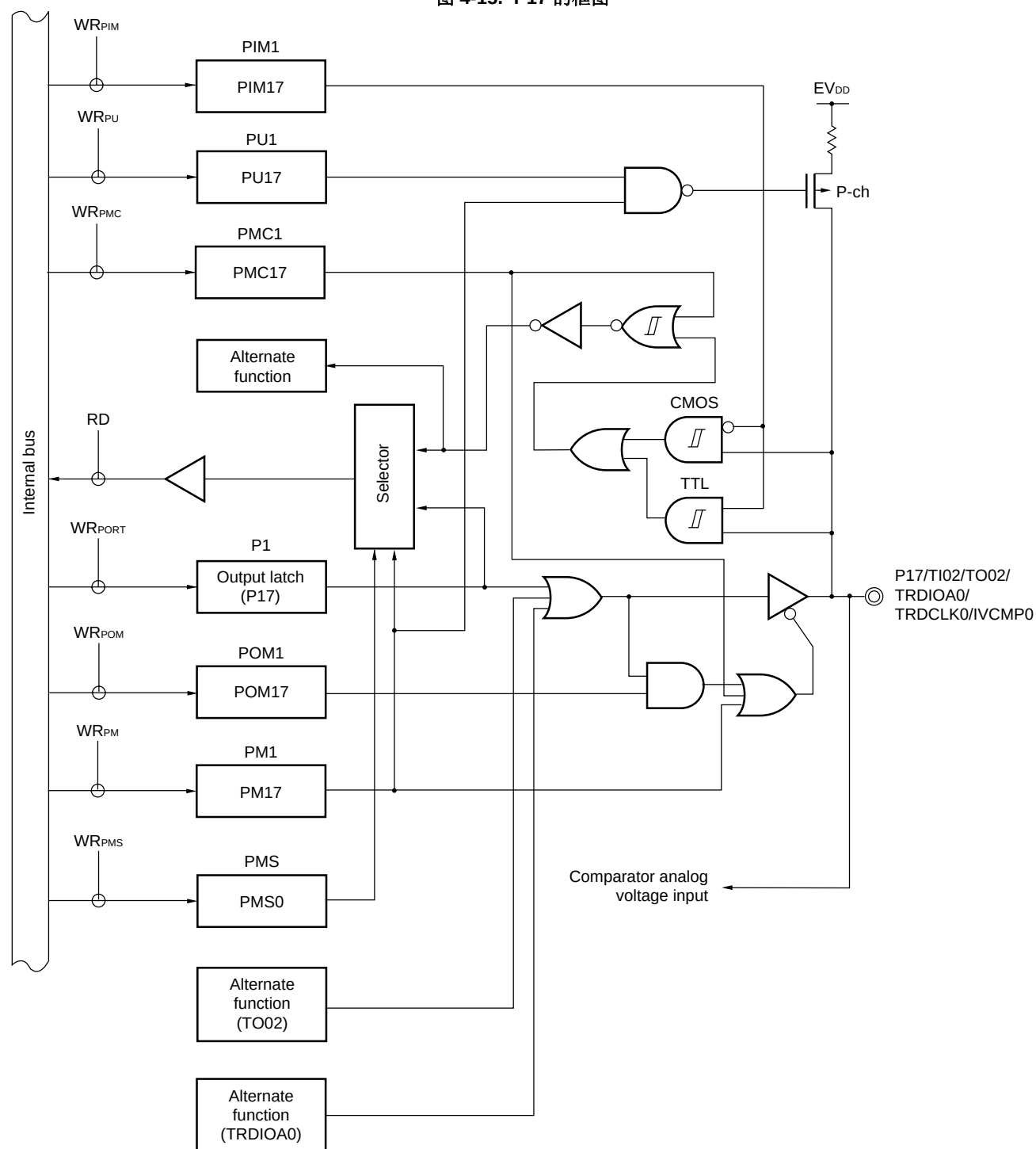
- P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 PIM1: 端口输入模式寄存器 1
 POM1: 端口输出模式寄存器 1
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-14. P16 的框图



- P1:** 端口寄存器 1
PU1: 上拉电阻选项寄存器 1
PM1: 端口模式寄存器 1
PIM1: 端口输入模式寄存器 1
PMC1: 端口模式控制寄存器 1
PMS: 端口输出模式寄存器
RD: 读取信号
WR_{xx}: 写入信号

图 4-15. P17 的框图



- P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 PIM1: 端口输入模式寄存器 1
 POM1: 端口输出模式寄存器 1
 PMC1: 端口模式控制寄存器 1
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

4.2.3 端口 2

端口 2 是具有输出锁存器的输入/输出端口。端口 2 可以通过端口模式寄存器 2(PM2)按 1 位单位设为输入模式或输出模式。

这个端口也可以用作 A/D 转换器模拟输入、(+ 极和- 极) 基准电压输入以及 D/A 转换器输出。

将 P20/ANI0、P21/ANI1、P22/ANI2/ANO0、P23/ANI3/ANO1、P24/ANI4 至 P27/ANI7 用作数字输入引脚时, 请通过 A/D 端口配置寄存器(ADPC)将其设为数字输入/输出模式, 并通过 PM2 寄存器将其设为输入模式。从高位开始使用这些引脚。

将 P20/ANI0、P21/ANI1、P22/ANI2/ANO0、P23/ANI3/ANO1、P24/ANI4-P27/ANI7 用作数字输出引脚时, 请通过 ADPC 寄存器将其设为数字输入/输出模式, 并通过 PM2 寄存器将其设为输出模式。

将 P20/ANI0、P21/ANI1、P22/ANI2/ANO0、P23/ANI3/ANO1、P24/ANI4-P27/ANI7 用作模拟输入引脚时, 请通过 A/D 端口配置寄存器(ADPC)将其设为模拟输入/输出模式, 并通过 PM2 寄存器将其设为输入模式。从低位开始使用这些引脚。

表 4-5. 使用端口 2 时寄存器的设置

引脚名称		PM2x	ADPC	复用功能设置	备注
名称	输入/输出				
P2n	输入	1	01至n+1H	—	将P2n用作端口时, 从高位开始使用这些引脚。
	输出	0	01至n+1H		

备注 1. PM2x: 端口模式寄存器 2
ADPC: A/D 端口配置寄存器
2. n = 0 至 7

表 4-6. P20/ANI0 至 P27/ANI7 引脚功能的设置(具有 64 KB 或更小的代码闪存的产品)

ADPC寄存器	PM2寄存器	ADS寄存器	P20/ANI0至P27/ANI7引脚
数字输入/输出选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入选择	输入模式	选择ANI。	模拟输入 (将被转换)
		不选择ANI。	模拟输入 (不被转换)
	输出模式	选择ANI。	禁止设置
		不选择ANI。	

产生复位信号后, P20/ANI0 至 P27/ANI7 的所有引脚被设置为模拟输入模式。

表 4-7. P20/ANI0、P21/ANI1、P24/ANI4 至 P27/ANI7 引脚功能的设置 (具有 96 KB 或更大的代码闪存的产品)

ADPC寄存器	PM2寄存器	ADS寄存器	P20/ANI0、P21/ANI1、 P24/ANI4至P27/ANI7引脚
数字输入/输出选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入选择	输入模式	选择ANI。	模拟输入 (将被转换)
		不选择ANI。	模拟输入 (不被转换)
	输出模式	选择ANI。	禁止设置
		不选择ANI。	

产生复位信号后, P20/ANI0、P21/ANI1、P24/ANI4 至 P27/ANI7 的所有引脚被设置为模拟输入模式。

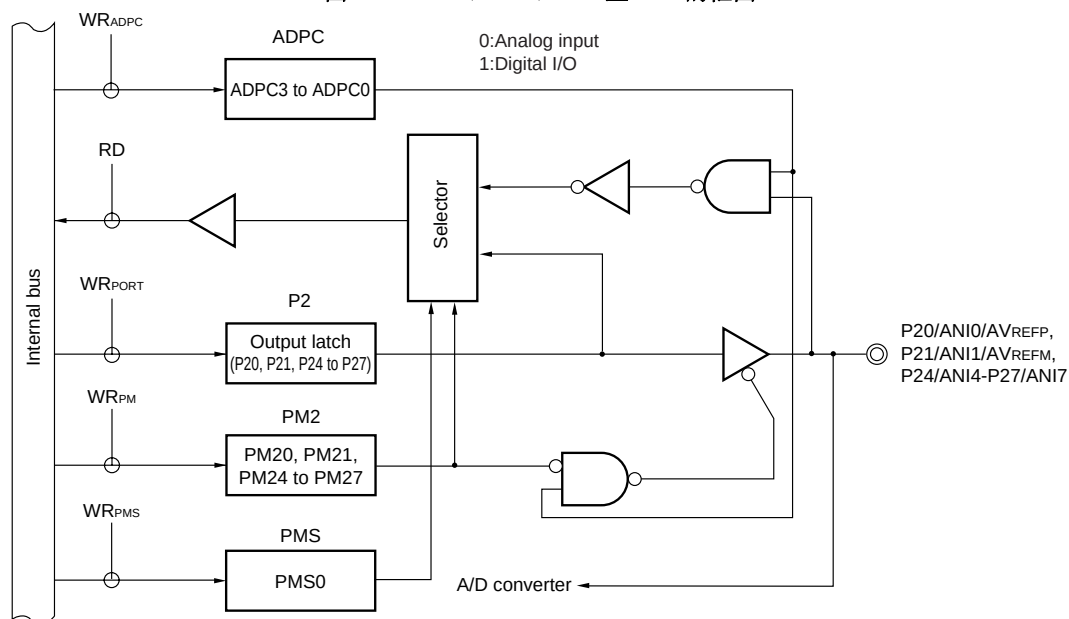
表 4-8. P22/ANI2/ANO0、P23/ANI3/ANO1 引脚功能的设置(具有 96 KB 或更大的代码闪存的产品)

ADPC寄存器	PM2寄存器	DAM寄存器	ADS寄存器	P22/ANI2/ANO0、 P23/ANI3/ANO1引脚
数字输入/输出选择	输入模式	—	—	数字输入
	输出模式	—	—	数字输出
模拟输入选择	输入模式	允许D/A转换操作	选择ANI。	禁止设置
			不选择ANI。	模拟输出
		停止D/A转换操作	选择ANI。	模拟输入 (将被转换)
			不选择ANI。	模拟输入 (不被转换)
	输出模式	允许D/A转换操作	选择ANI。	禁止设置
			不选择ANI。	
		停止D/A转换操作	选择ANI。	
			不选择ANI。	

产生复位信号后，P22/ANI2/ANO0、P23/ANI3/ANO1 的所有引脚被设置为模拟输入/输出模式。

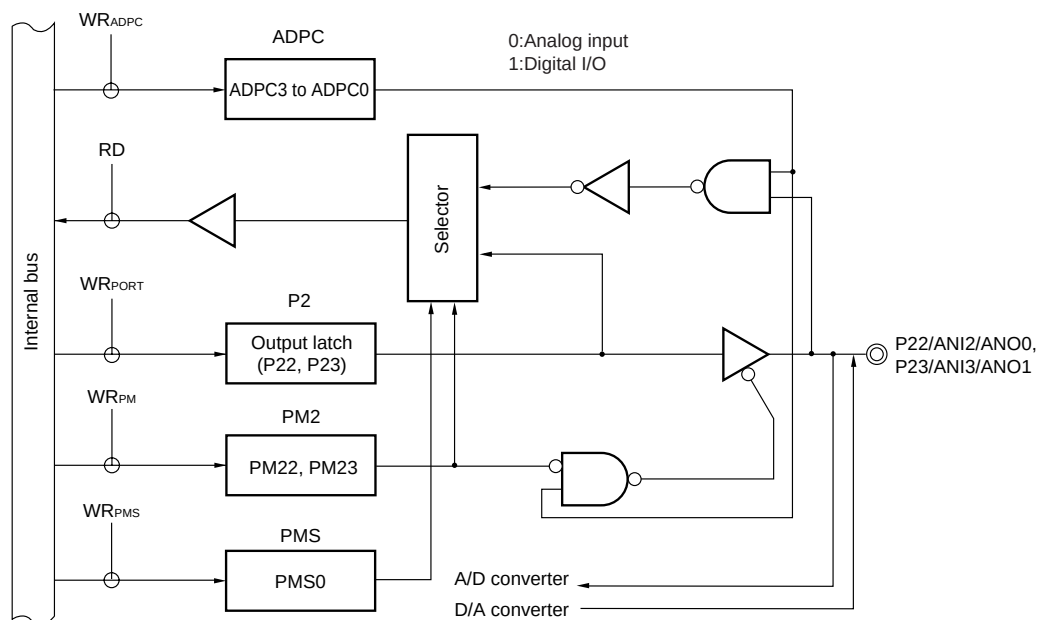
例如，100 针产品中端口 2 的框图如图 4-16、4-17 所示。

图 4-16. P20、P21、P24 至 P27 的框图



P2: 端口寄存器 2
 PM2: 端口模式寄存器 2
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-17. P22 和 P23 的框图



P2: 端口寄存器 2
 PM2: 端口模式寄存器 2
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

4.2.4 端口 3

端口 3 是具有输出锁存器的输入/输出端口。端口 3 可以通过端口模式寄存器 3(PM3)按 1 位单位设为输入模式或输出模式。当 P30 和 P31 引脚用作输入端口时,可通过上拉电阻选项寄存器 3(PU3)按 1 位单位指定使用片上上拉电阻。

至 P30 引脚的输入可利用端口输入模式寄存器 3(PIM3)通过正常输入缓冲器或 TTL 输入缓冲器按 1 位单位指定。

P30 引脚的输出可利用端口输出模式寄存器 3(POM3)按 1 位单位指定为 N 沟道开路漏极输出 (EVDD0 耐压)。

这个端口也可以用作外部中断请求输入、实时时钟校正时钟输出、串行接口时钟输入/输出,以及定时器输入/输出。

产生复位信号后,端口 3 被设置为输入模式。

表 4-9. 使用端口 3 时寄存器的设置

引脚名称		PM3×	PIM3×	POM3×	复用功能设置 ^{注 8}	备注
名称	输入/输出					
P30	输入	1	0	×	×	CMOS输入
		1	1	×	×	TTL输入
	输出	0	×	0	RTC1HZ输出 = 0 ^{注 1}	CMOS输出
		0	×	1	SCK00/SCL00输出 = 0 ^{注 2} TRJ00输出 = 0 ^{注 3}	N沟道O.D.输出
P31	输入	1	—	—	×	CMOS输入
	输出	0	—	—	TO03输出 = 0 ^{注 4} PCLBUZ0输出 = 0 ^{注 5} (PCLBUZ0输出 = 0 ^{注 6}) (TRJIO0输出 = 0 ^{注 7})	

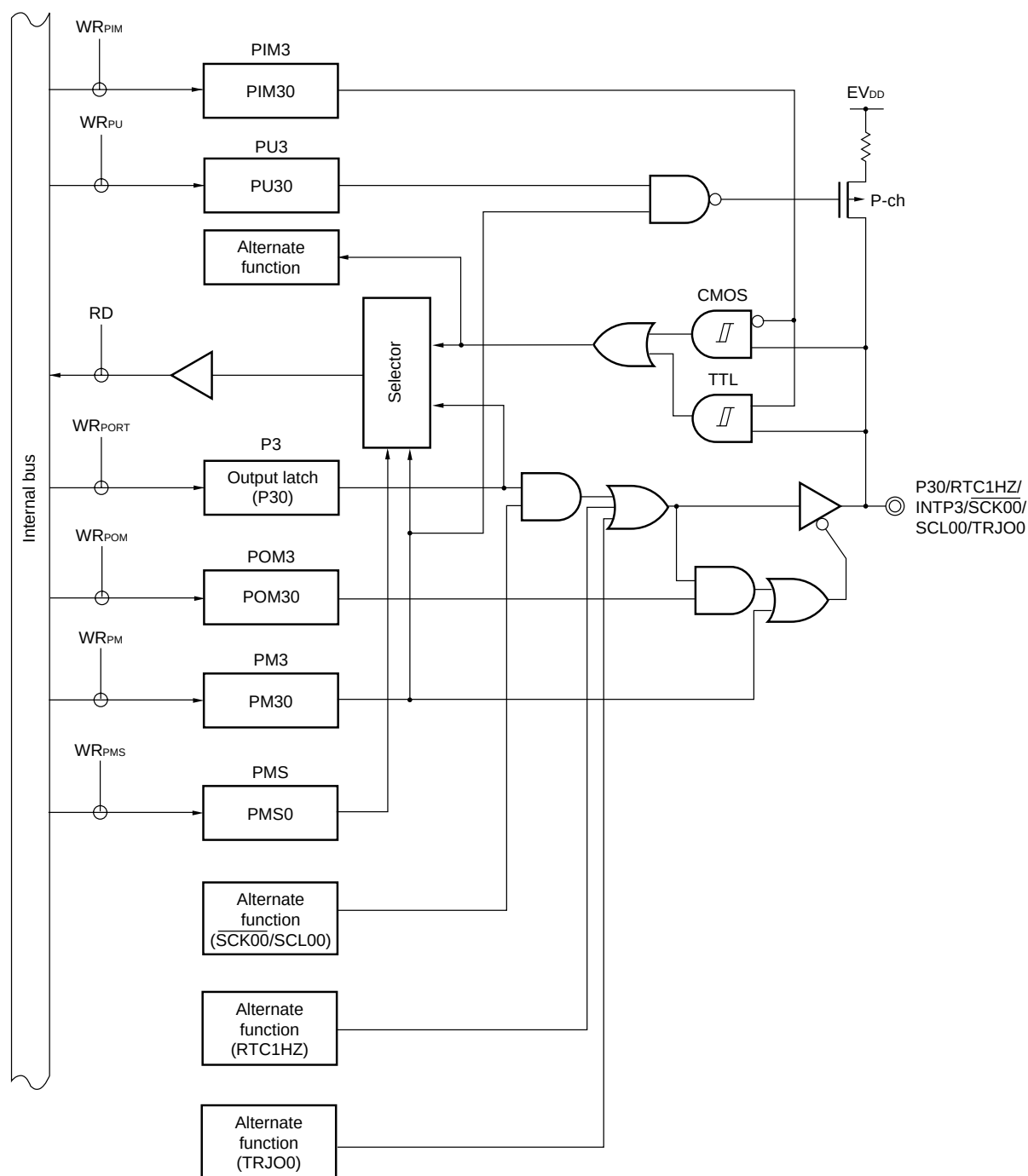
- 注 1. 要将 40 至 100 针产品中复用于 RTC1HZ 引脚的输出(1 Hz)功能的引脚用作通用端口,则须将实时时钟控制寄存器 0 (RTCC0)的 RCLOE1 位设置为初始值。
2. 要将复用于串行阵列单元功能的引脚用作通用端口,则须将对应单元通道的串行输出寄存器 m (SOM)的 CKOm_n 位、串行输出允许寄存器 m (SOEm) 的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm)的 SE_m_n 位设置为初始值。(mn = 00)
3. 要将复用于定时器 RJ 的输出功能的引脚用作通用端口,则须将定时器 RJ I/O 控制寄存器 0 (TRJIOC0)的位 2 (TOENA)设置为初始值。
4. 要将复用于定时器阵列单元的定时器输出功能的引脚用作通用端口,则须将对应单元通道的定时器输出寄存器 m (TOM)的 TOM_n 位和定时器输出允许寄存器 m (TOEm)的 TOEm_n 位设置为初始状态。(m = 0, n = 4)
5. 要将 30 至 44 针产品中复用于时钟/蜂鸣器输出功能的引脚用作通用端口,则须将时钟输出选择寄存器 i (CKSi)的 PCLOEi 位设置为初始值。(i = 0)
6. 当外围 I/O 重定向寄存器 0 (PIOR0)的 PIOR03 位为 1 时,要将 48 至 100 针产品中复用于时钟/蜂鸣器输出功能的引脚用作通用端口,则须将时钟输出选择寄存器 i (CKSi)的 PCLOEi 位设置为初始值。(i = 0)
7. 当外围 I/O 重定向寄存器 1 (PIOR1)的 PIOR11 位和 PIOR10 位为 01B 时,要将复用于定时器 RJ 的定时器 I/O 功能的引脚用作通用端口,则须将定时器 RJ 模式寄存器 0 (TRJMR0)的 TMOD2 至 TMOD0 位设置为初始值或者 001B 以外的值。
8. 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上表括号内的功能。

(备注如下页所示。)

备注 ×: 忽略
 PM3×: 端口模式寄存器 3
 PIM3×: 端口输入模式寄存器 3
 POM3×: 端口输出模式寄存器 3

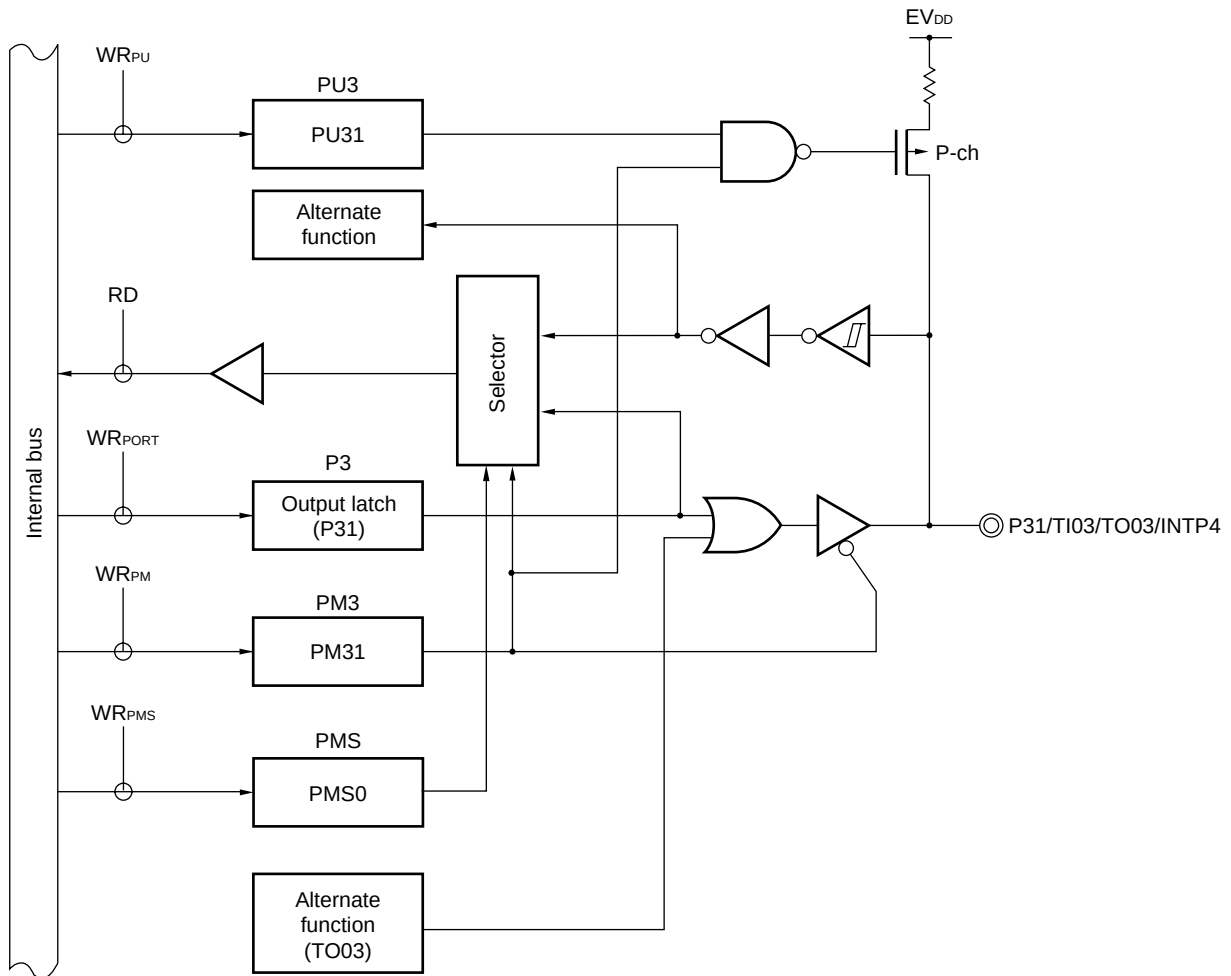
例如, $PIOR1 = 00H$ 时 100 针产品中端口 3 的框图如图 4-18、4-19 所示。

图 4-18. P30 的框图



P3: 端口寄存器 3
 PU3: 上拉电阻选项寄存器 3
 PM3: 端口模式寄存器 3
 PIM3: 端口输入模式寄存器 3
 POM3: 端口输出模式寄存器 3
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-19. P31 的框图



P3:	端口寄存器 3
PU3:	上拉电阻选项寄存器 3
PM3:	端口模式寄存器 3
PMS:	端口输出模式寄存器
RD:	读取信号
WRxx:	写入信号

4.2.5 端口 4

端口 4 是具有输出锁存器的输入/输出端口。端口 4 可以通过端口模式寄存器 4(PM4)按 1 位单位设为输入模式或输出模式。当 P40 至 P47 引脚用作输入端口时，可通过上拉电阻选项寄存器 4(PU4)按 1 位单位指定使用片上上拉电阻。

至 P43 和 P44 引脚的输入可利用端口输入模式寄存器 4(PIM4)通过正常输入缓冲器或 TTL 输入缓冲器按 1 位单位指定。

P43 至 P45 引脚的输出可利用端口输出模式寄存器 4(POM4)按 1 位单位指定为 N 沟道开路漏极输出（EV_{DD0} 耐压）。

这个端口也可以用作闪存编程器/调试用的数据输入/输出、串行接口数据输入/输出、时钟输入/输出和外部中断请求输入。

产生复位信号后，端口 4 被设置为输入模式。

表 4-10. 使用端口 4 时寄存器的设置

引脚名称		PM4x	PIM4x	POM4x	复用功能设置	备注
名称	输入/输出					
P40至P42	输入	1	—	—	×	
	输出	0			×	
P43	输入	1	0	×	×	CMOS输入
		1	1	×	×	TTL输入
	输出	0	×	0	$\overline{\text{SCK01/SCL01}} \text{输出} = 1^{\text{注1}}$	CMOS输出
		0	×	1		N沟道O.D.输出
P44	输入	1	0	×	×	CMOS输入
		1	1	×	×	TTL输入
	输出	0	×	0	SDA01输出 = 1 ^{注2}	CMOS输出
		0	×	1		N沟道O.D.输出
P45	输入	1	—	×	×	CMOS输入
	输出	0		0	SO01输出 = 1 ^{注2}	CMOS输出
		0		1		N沟道O.D.输出
P46, P47	输入	1	—	—	×	
	输出	0			×	

注 1. 要将 80 和 100 针产品中复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM)的 CKOmn 位、串行输出允许寄存器 m (SOEm) 的 SOEmn 位以及串行通道允许状态寄存器 m (SEm)的 SEmn 位设置为初始值。(mn = 01)

2. 要将 80 和 100 针产品中复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM)的 SOMn 位、串行输出允许寄存器 m (SOEm) 的 SOEmn 位以及串行通道允许状态寄存器 m (SEm)的 SEmn 位设置为初始值。(mn = 01)

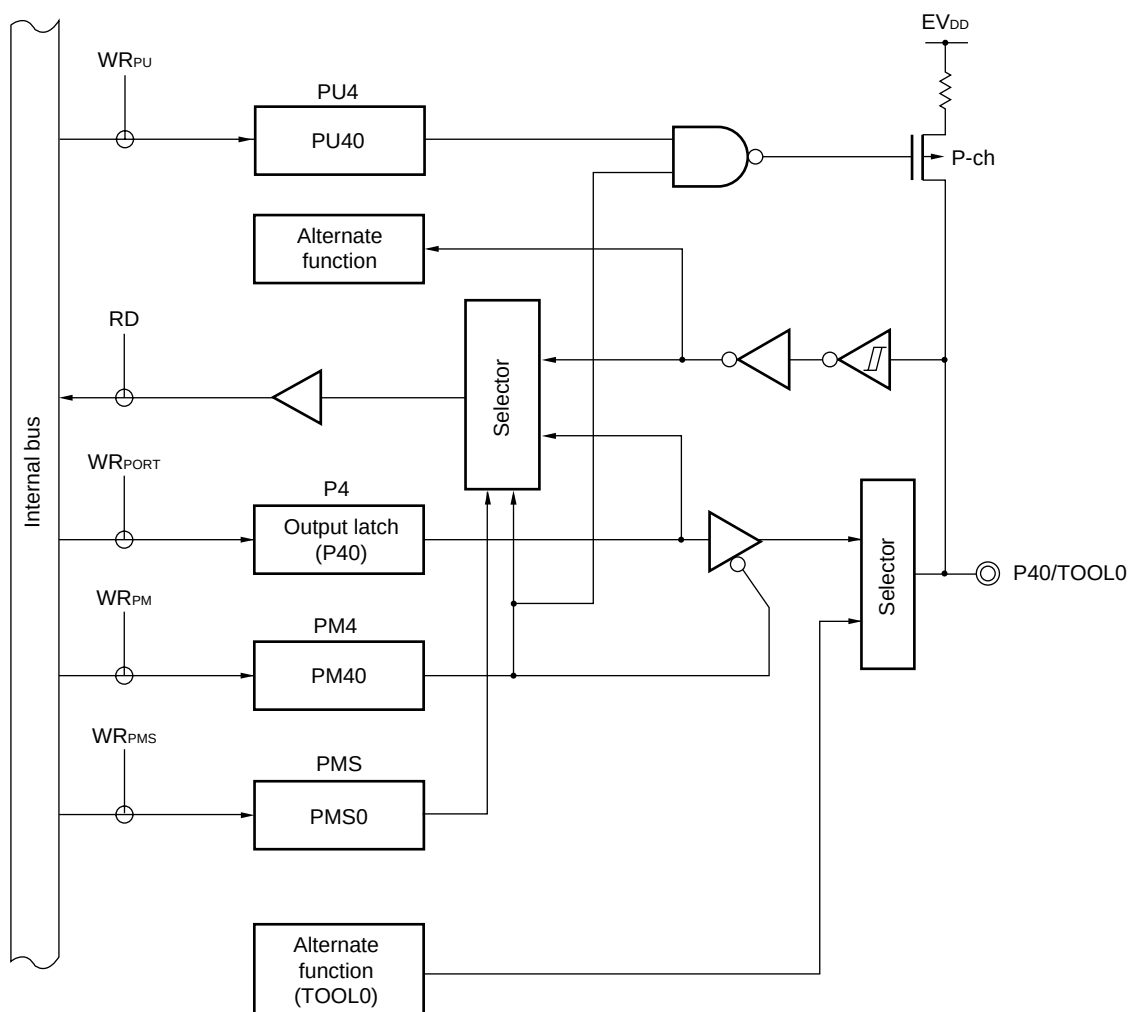
注意事项 连接工具时，P40 引脚不能用作端口引脚。

备注

- ×: 忽略
- PM4x: 端口模式寄存器 4
- PIM4x: 端口输入模式寄存器 4
- POM4x: 端口输出模式寄存器 4

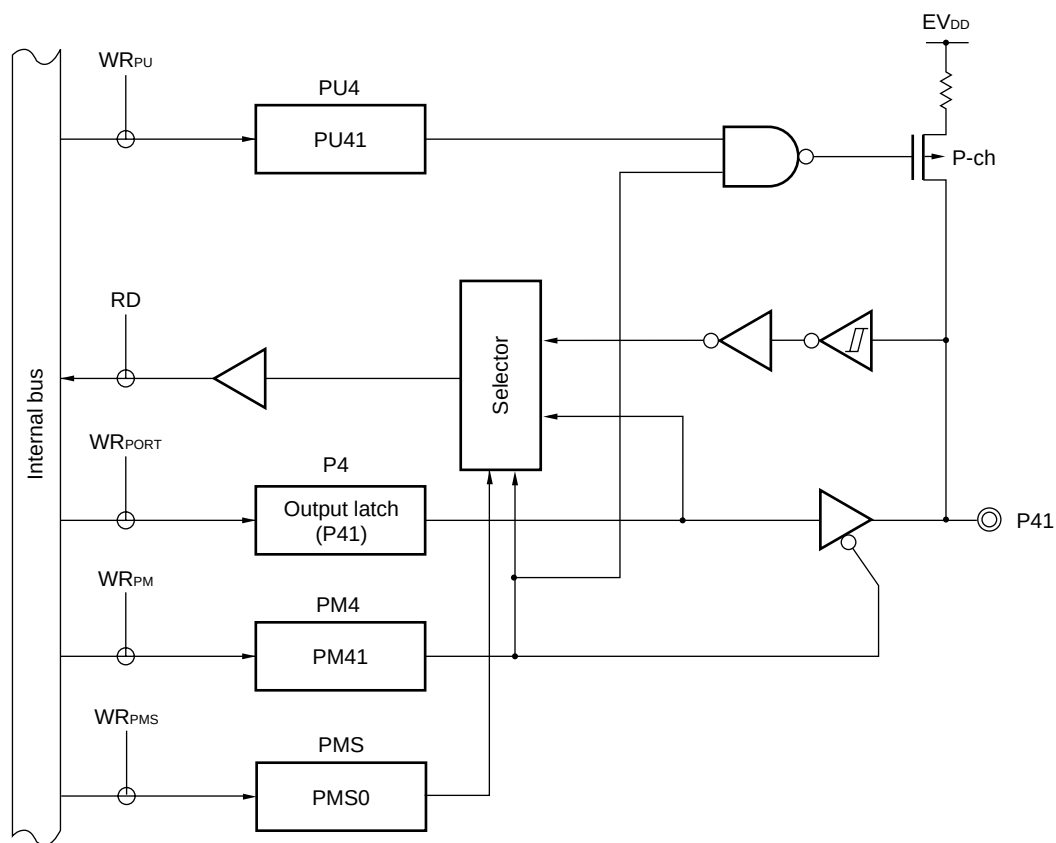
例如，100 针产品中端口 4 的框图如图 4-20 至 4-26 所示。

图 4-20. P40 的框图



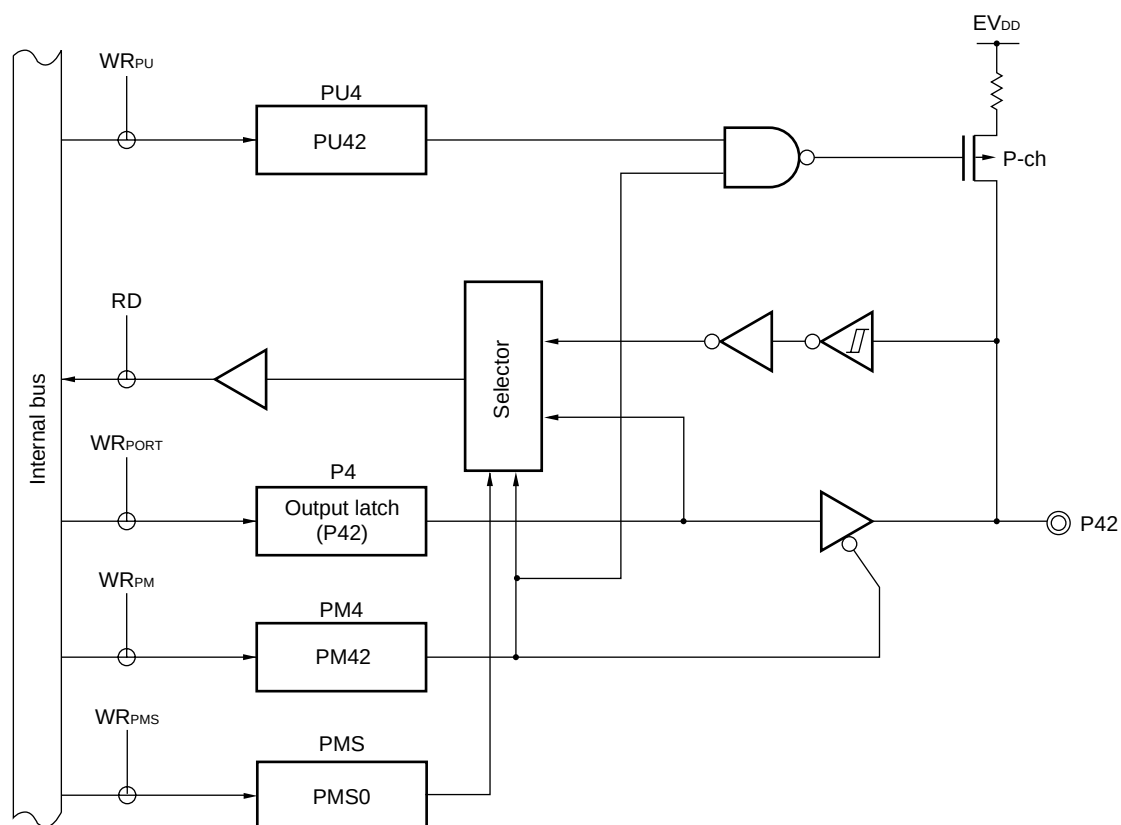
- P4: 端口寄存器 4
- PU4: 上拉电阻选项寄存器 4
- PM4: 端口模式寄存器 4
- PMS: 端口输出模式寄存器
- RD: 读取信号
- WR_{xx}: 写入信号

图 4-21. P41 的框图



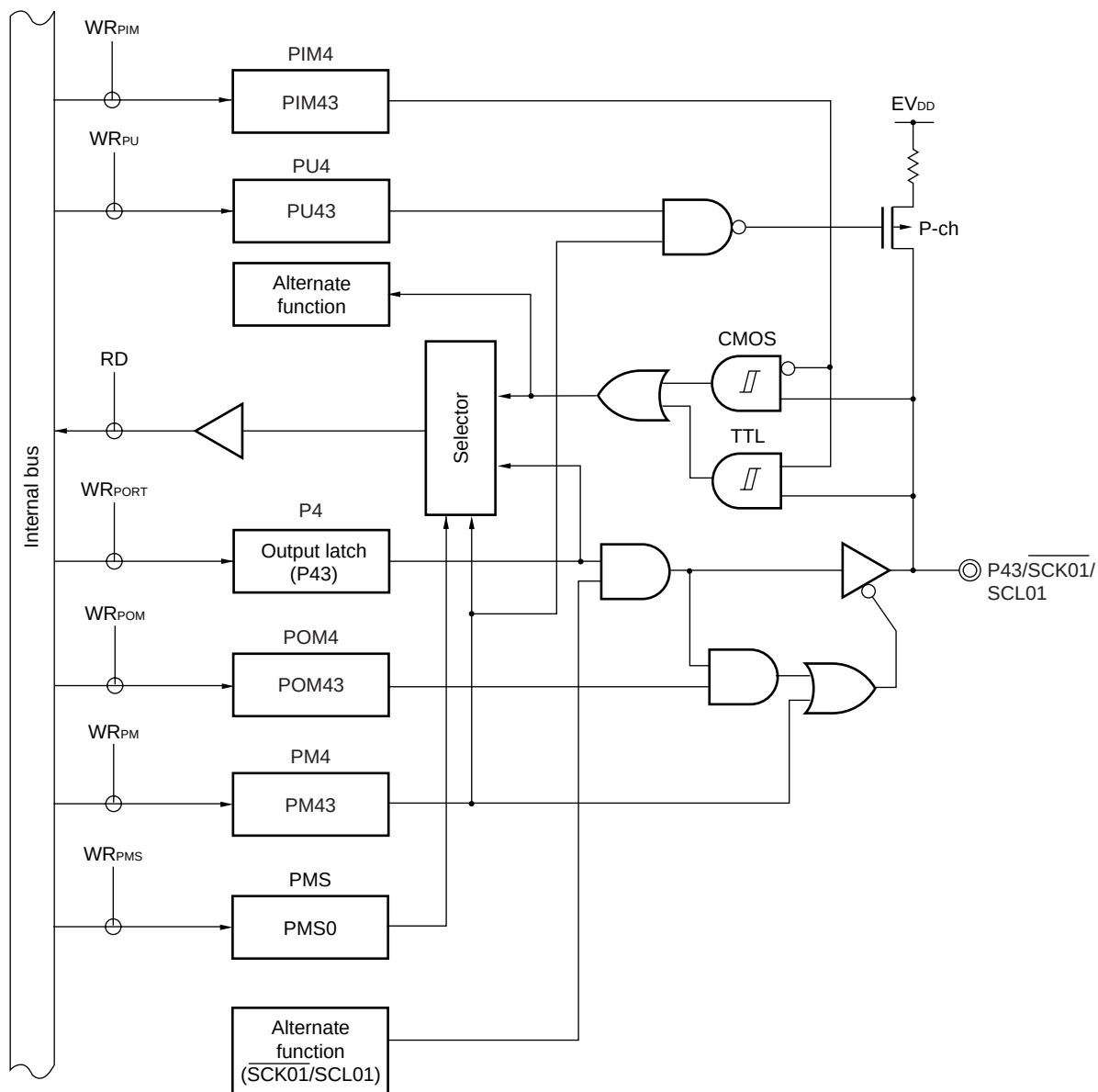
- P4:** 端口寄存器 4
PU4: 上拉电阻选项寄存器 4
PM4: 端口模式寄存器 4
PMS: 端口输出模式寄存器
RD: 读取信号
WR_{xx}: 写入信号

图 4-22. P42 的框图



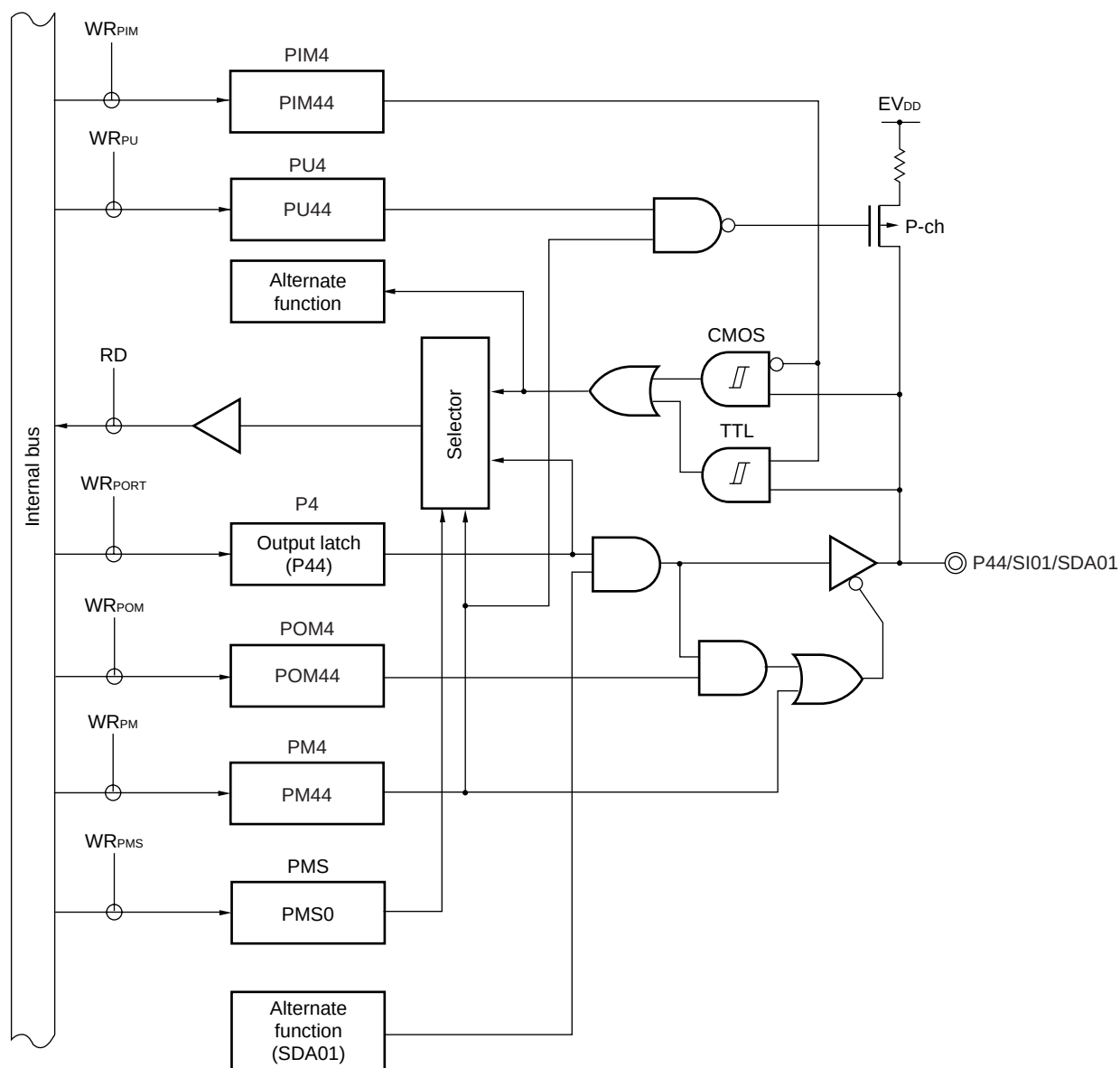
- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-23. P43 的框图



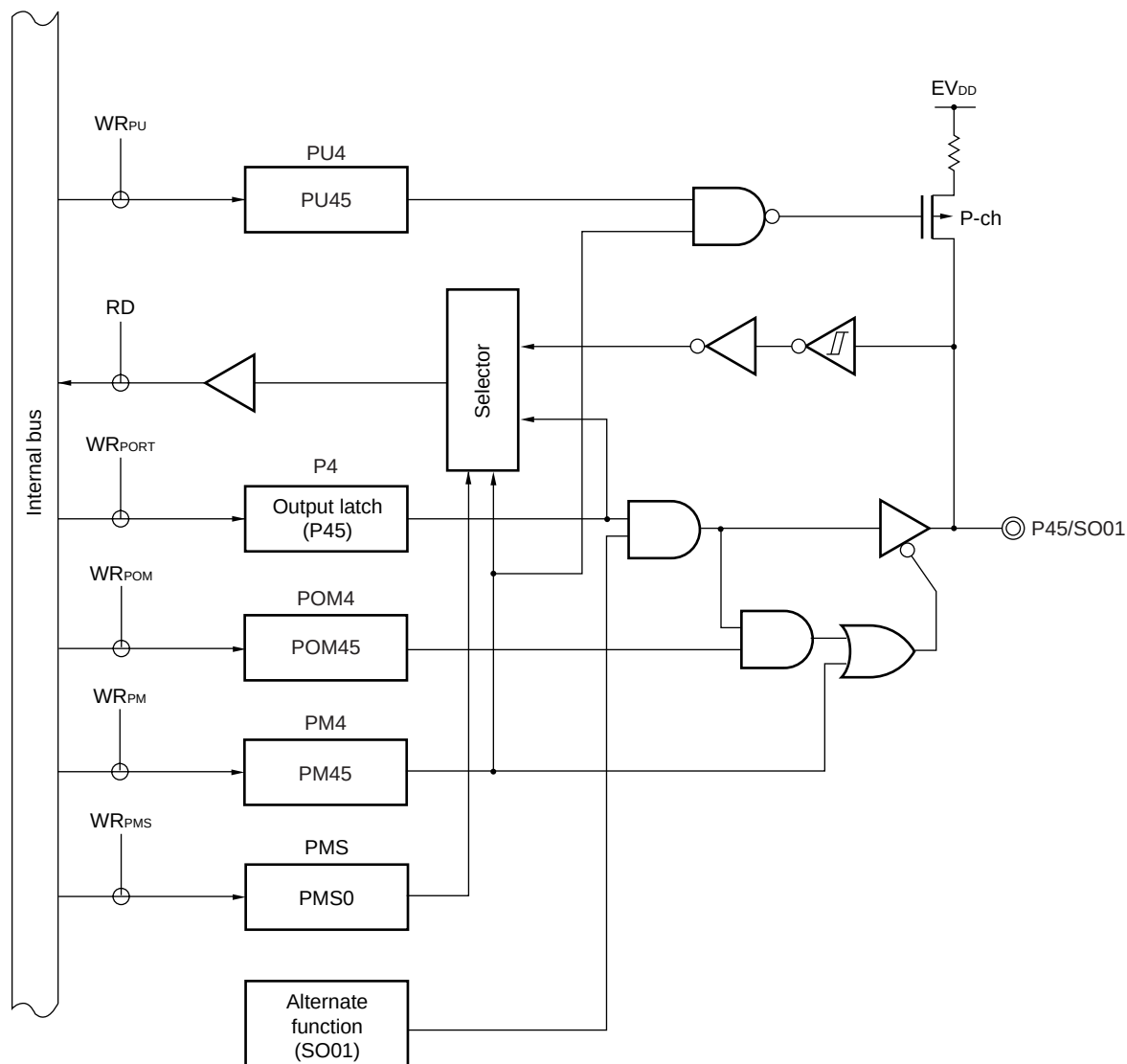
- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 PIM4: 端口输入模式寄存器 4
 POM4: 端口输出模式寄存器 4
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-24. P44 的框图



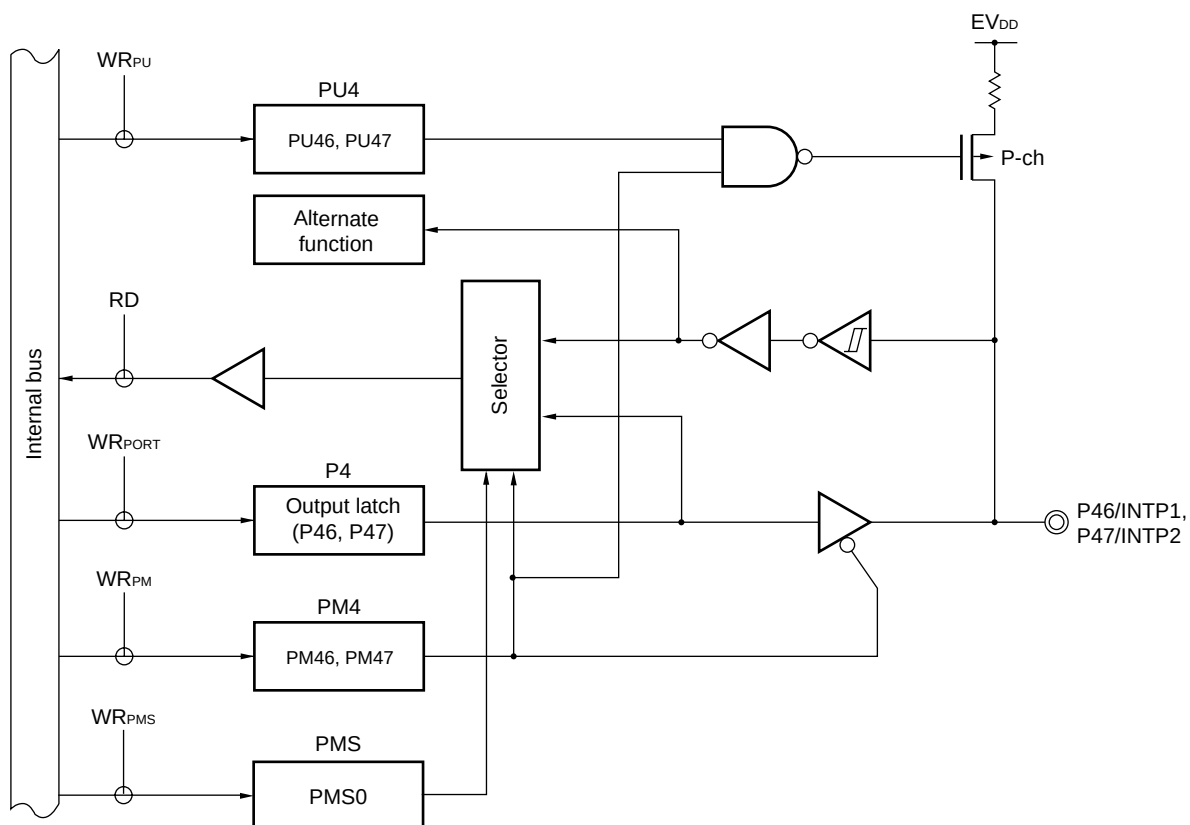
- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 PIM4: 端口输入模式寄存器 4
 POM4: 端口输出模式寄存器 4
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-25. P45 的框图



- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 POM4: 端口输出模式寄存器 4
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-26. P46、P47 的框图



- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

4.2.6 端口 5

端口 5 是具有输出锁存器的输入/输出端口。端口 5 可以通过端口模式寄存器 5(PM5)按 1 位单位设为输入模式或输出模式。当 P50 至 P57 引脚用作输入端口时，可通过上拉电阻选项寄存器 5(PU5)按 1 位单位指定使用片上上拉电阻。

P50、P53 至 P55 引脚的输入可利用端口输入模式寄存器 5(PIM5)通过正常输入缓冲器或 TTL 输入缓冲器按 1 位单位指定。

P50 至 P55 引脚的输出可利用端口输出模式寄存器 5(POM5)按 1 位单位指定为 N 沟道开路漏极输出（EV_{DD0} 耐压）。

这个端口也可以用作外部中断请求输入、串行接口数据输入/输出、时钟输入/输出、编程 UART 发送/接收和定时器输入/输出。

产生复位信号后，端口 5 被设置为输入模式。

表 4-11. 使用端口 5 时寄存器的设置

引脚名称		PM5x	PIM5x	POM5x	复用功能设置 ^{注 7}	备注
名称	输入/输出					
P50	输入	1	0	×	×	CMOS 输入
		1	1	×	×	TTL 输入
	输出	0	×	0	SDA00输出 = 1 ^{注 2}	CMOS 输出
		0	×	1	TRG0A输出 = 0 ^{注 3}	N 沟道 O.D.输出
P51	输入	1	—	×	×	
	输出	0		0	SO00/TxD0输出 = 1 ^{注 4}	CMOS 输出
		0		1	TRG0B输出 = 0 ^{注 3}	N 沟道 O.D.输出
P52	输入	1	—	×	×	
	输出	0		0 ^{注 1}	SO31输出 = 1 ^{注 4}	CMOS 输出
		0		1 ^{注 1}		N 沟道 O.D.输出
P53	输入	1	0 ^{注 1}	×	×	CMOS 输入
		1	1 ^{注 1}	×	×	
	输出	0	×	0 ^{注 1}	SDA31输出 = 1 ^{注 4}	CMOS 输出
		0	×	1 ^{注 1}		N 沟道 O.D.输出
P54	输入	1	0 ^{注 1}	×	×	CMOS 输入
		1	1 ^{注 1}	×	×	TTL 输入
	输出	0	×	0 ^{注 1}	SCK31/SCL31输出 = 1 ^{注 4}	CMOS 输出
		0	×	1 ^{注 1}		N 沟道 O.D.输出
P55	输入	1	0	×	×	CMOS 输入
		1	1	×	×	TTL 输入
	输出	0	×	0	(SCK00输出 = 1 ^{注 6})	CMOS 输出
		0	×	1	(PCLBUZ1输出 = 0 ^{注 5})	N 沟道 O.D.输出
P56,	输入	1	0	×	×	
P57	输出	0	×	0	×	

注 1. 仅限 80、100 针产品

- 要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM)的 CKOm_n 位、串行输出允许寄存器 m (SOEm) 的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm)的 SEm_n 位设置为初始值。(mn = 03, 10)
- 要将复用于定时器 RD 功能的引脚用作通用端口，则须将定时器 RD 输出主允许寄存器 1 (TRDOER1)中对应于 TRDIO_{ij} 引脚的输出控制位设置为初始值。(i = A, B, C, D; j = 0, 1)

- 注 4. 要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM) 的 $SOMn$ 位、串行输出允许寄存器 m (SOEm) 的 $SOEmn$ 位以及串行通道允许状态寄存器 m (SEm) 的 $SEmn$ 位设置为初始值。($mn = 03, 10$)
5. 当外围 I/O 重定向寄存器 0 (PIOR0) 的 $PIOR04$ 位为 1 时，要将复用于时钟/蜂鸣器输出功能的引脚用作通用端口，则须将时钟输出选择寄存器 i 的 $PCLOEi$ 位设置为初始值。($i = 1$)
6. 当外围 I/O 重定向寄存器 0 (PIOR0) 的 $PIOR01$ 位为 1 时，要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM) 的 $SOMn$ 位、串行输出允许寄存器 m (SOEm) 的 $SOEmn$ 位以及串行通道允许状态寄存器 m (SEm) 的 $SEmn$ 位设置为初始值。($mn = 00$)
7. 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 来分配上表括号内的功能。

备注 x: 忽略

PM5x: 端口模式寄存器 5

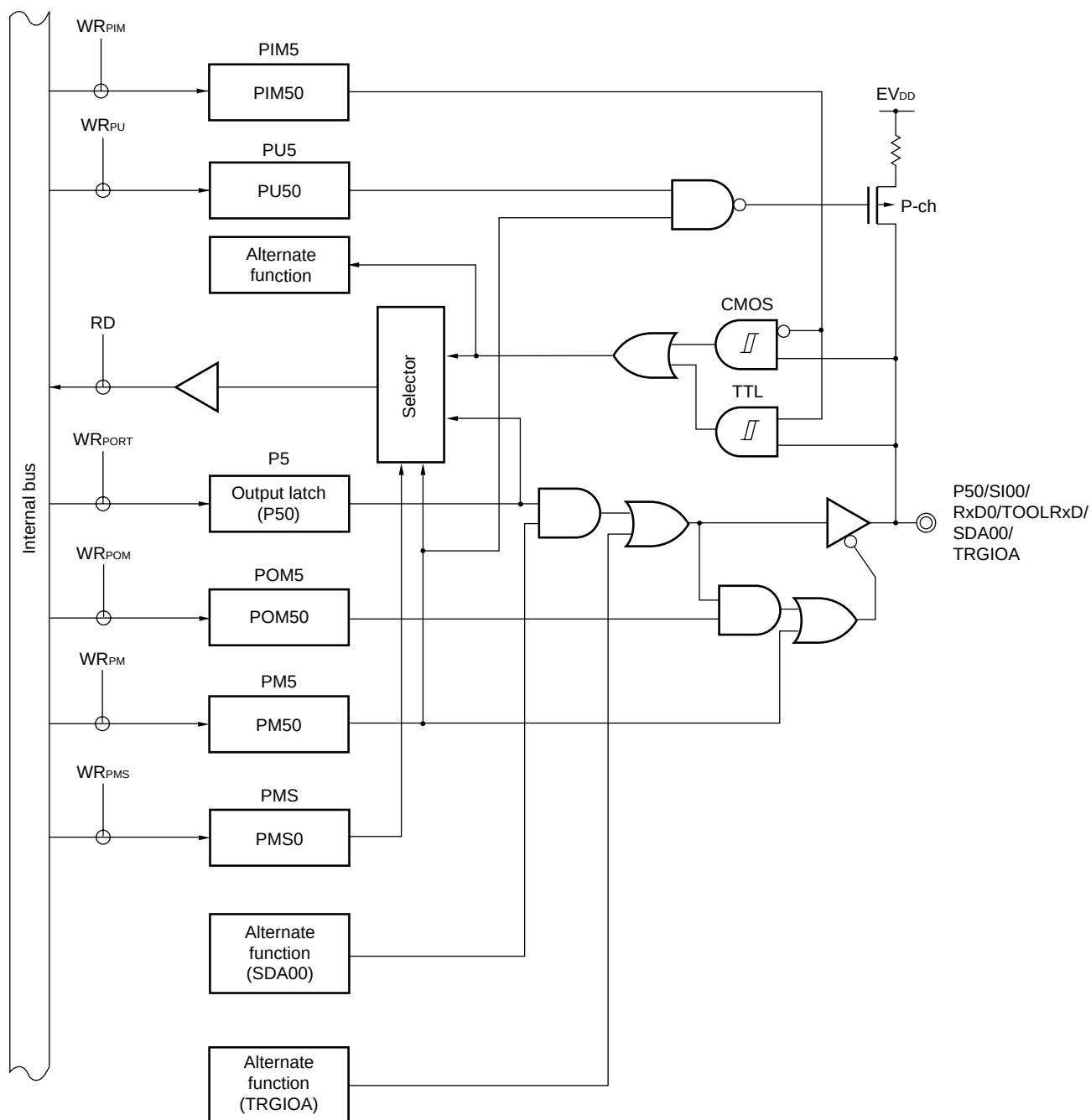
PIM5x: 端口输入模式寄存器 5

POM5x: 端口输出模式寄存器 5

PMC5x: 端口模式控制寄存器 5

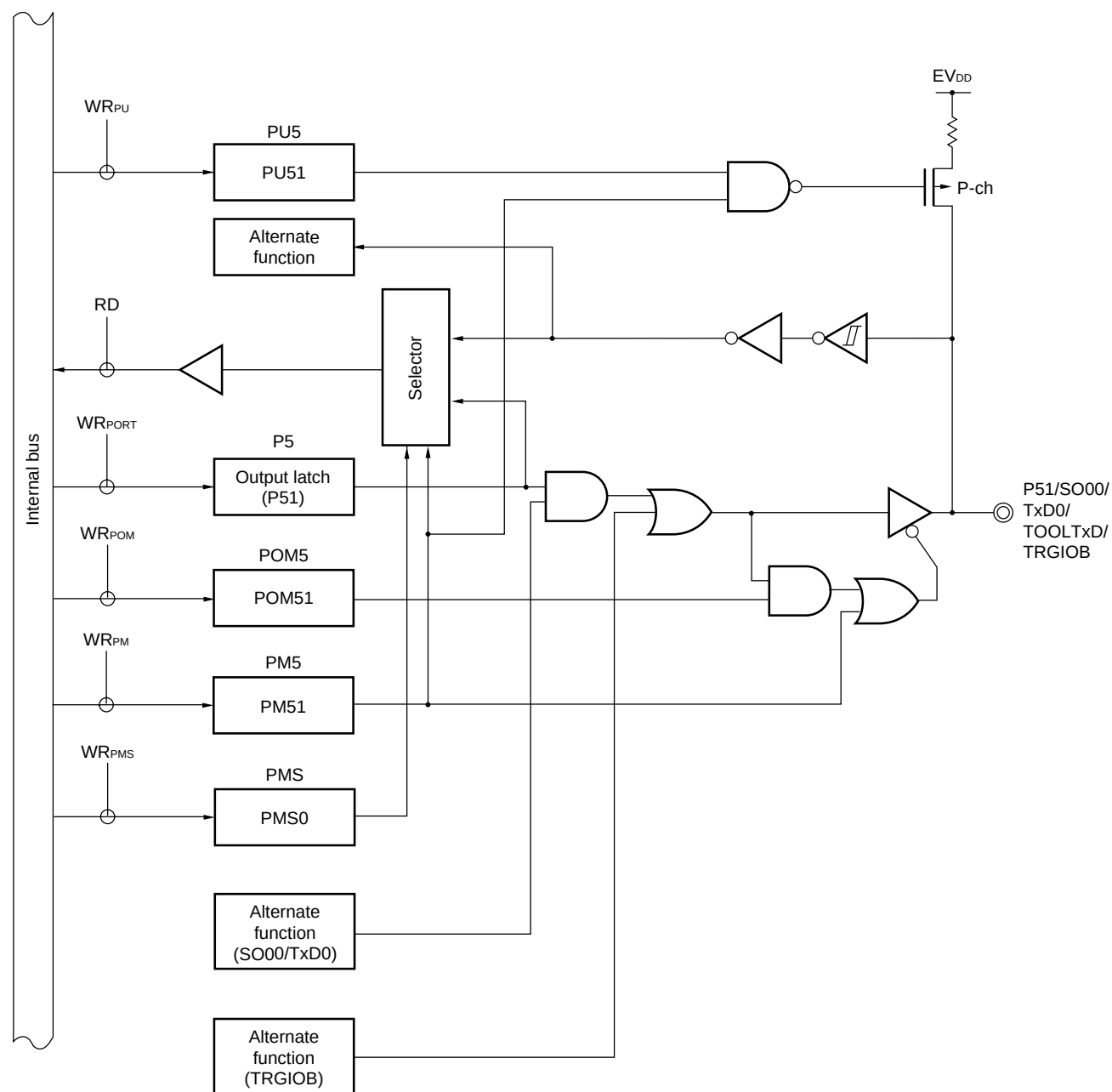
例如, $PIOR0 = 00H$ 时 100 针产品中端口 5 的框图如图 4-27 至 4-33 所示。

图 4-27. P50 的框图



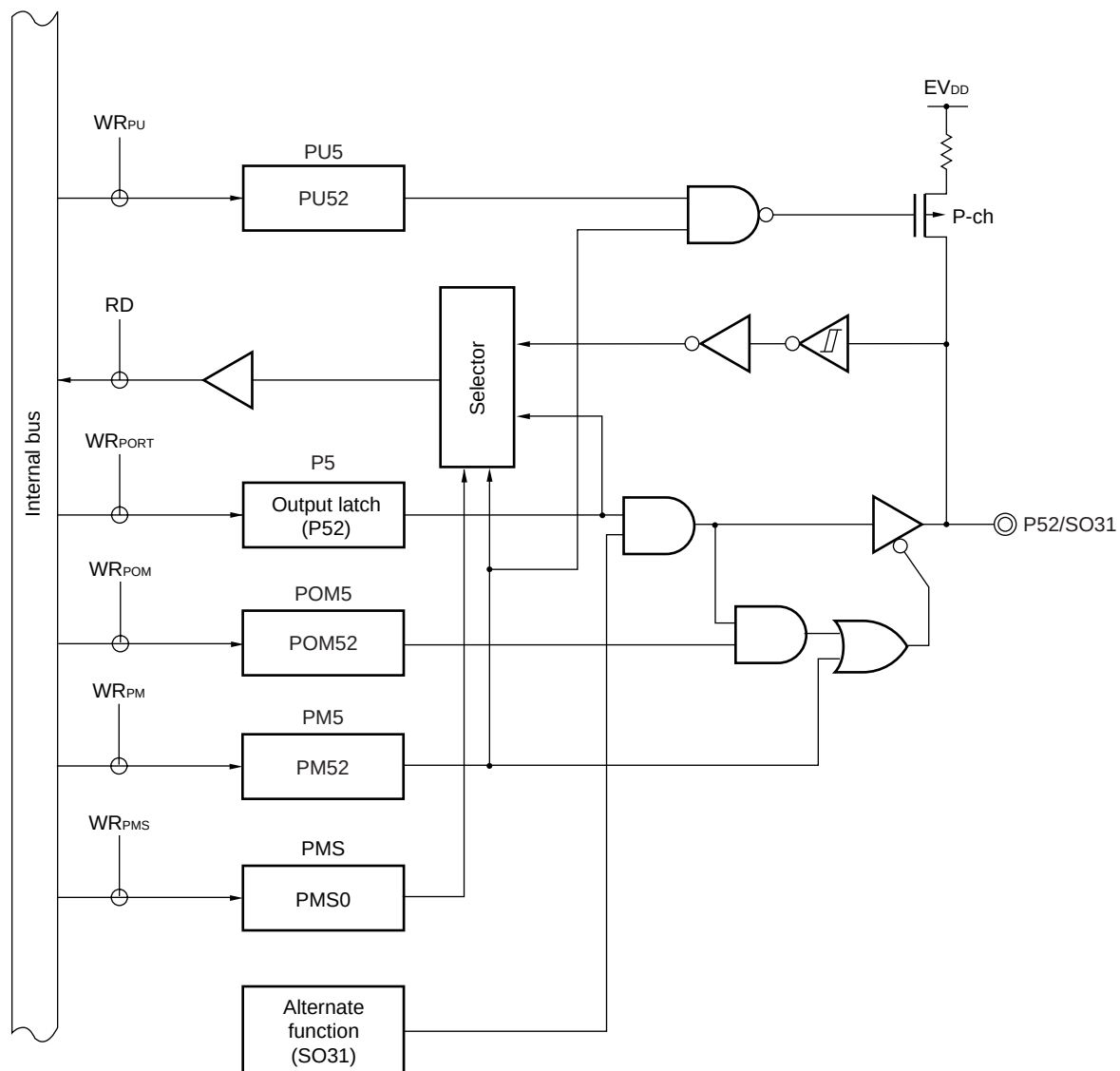
- P5: 端口寄存器 5
- PU5: 上拉电阻选项寄存器 5
- PM5: 端口模式寄存器 5
- PIM5: 端口输入模式寄存器 5
- POM5: 端口输出模式寄存器 5
- PMS: 端口输出模式寄存器
- RD: 读取信号
- WR_{xx} : 写入信号

图 4-28. P51 的框图



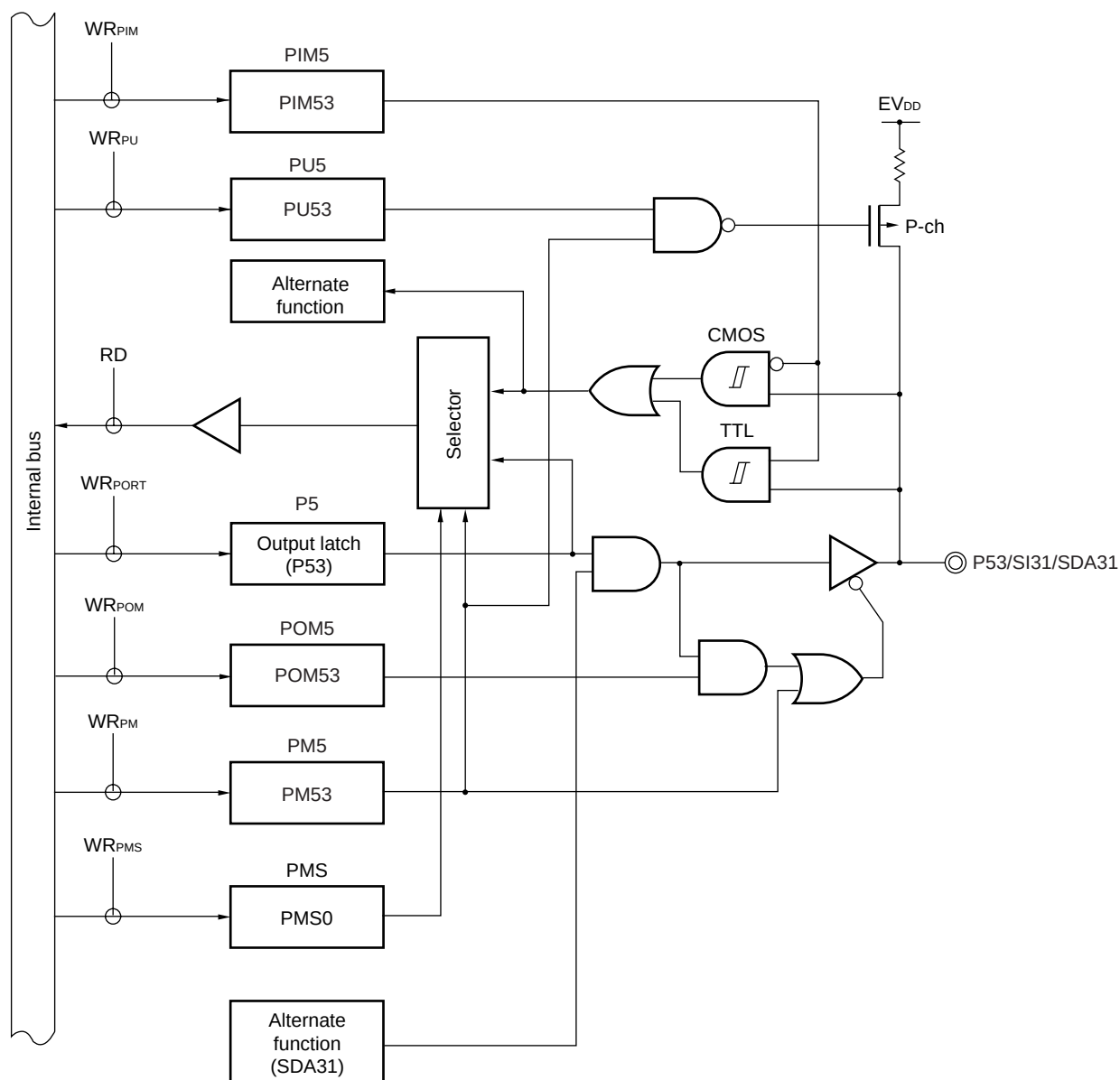
- P5: 端口寄存器 5
 PU5: 上拉电阻选项寄存器 5
 PM5: 端口模式寄存器 5
 POM5: 端口输出模式寄存器 5
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-29. P52 的框图



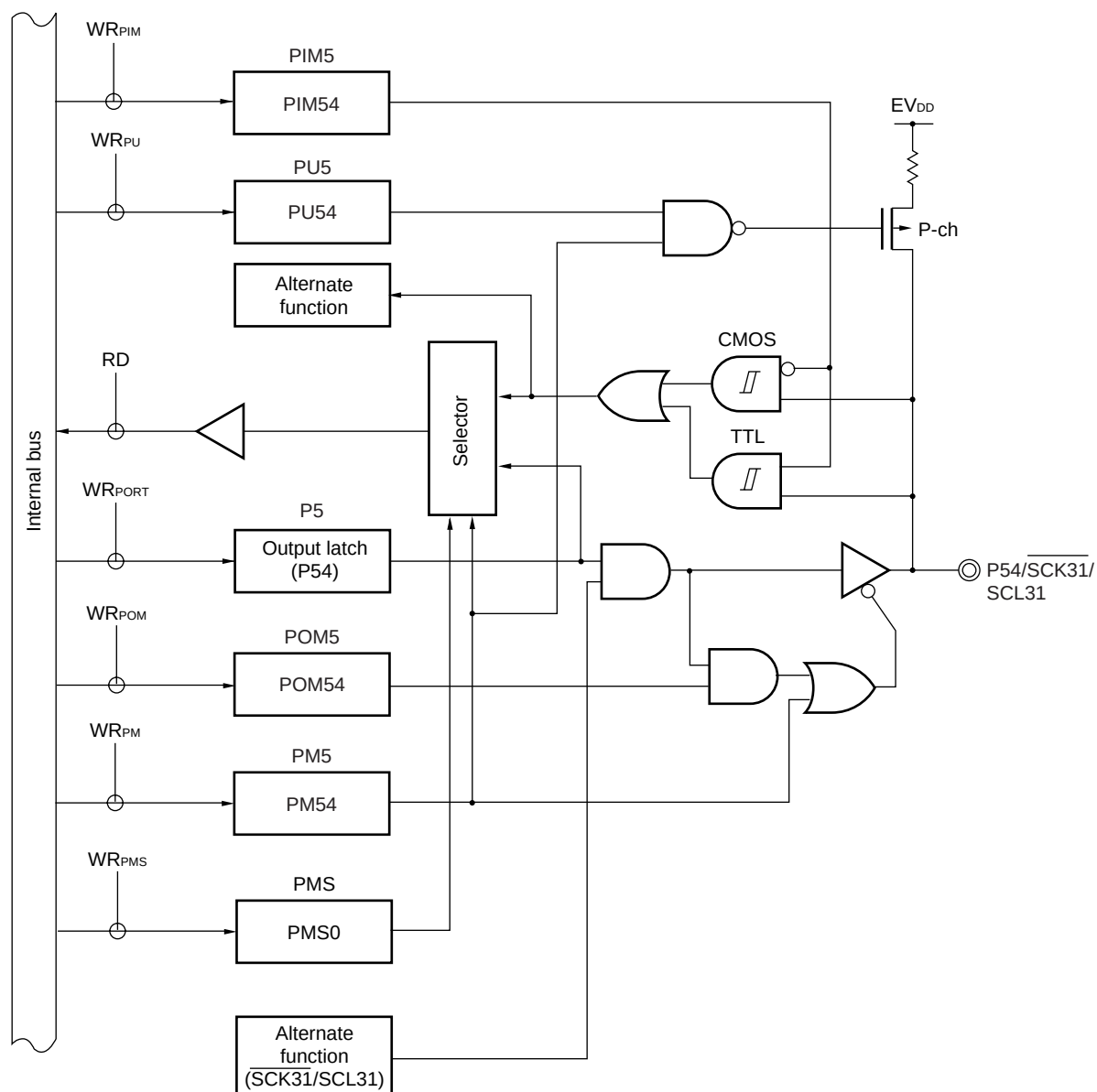
- P5: 端口寄存器 5
 PU5: 上拉电阻选项寄存器 5
 PM5: 端口模式寄存器 5
 POM5: 端口输出模式寄存器 5
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-30. P53 的框图



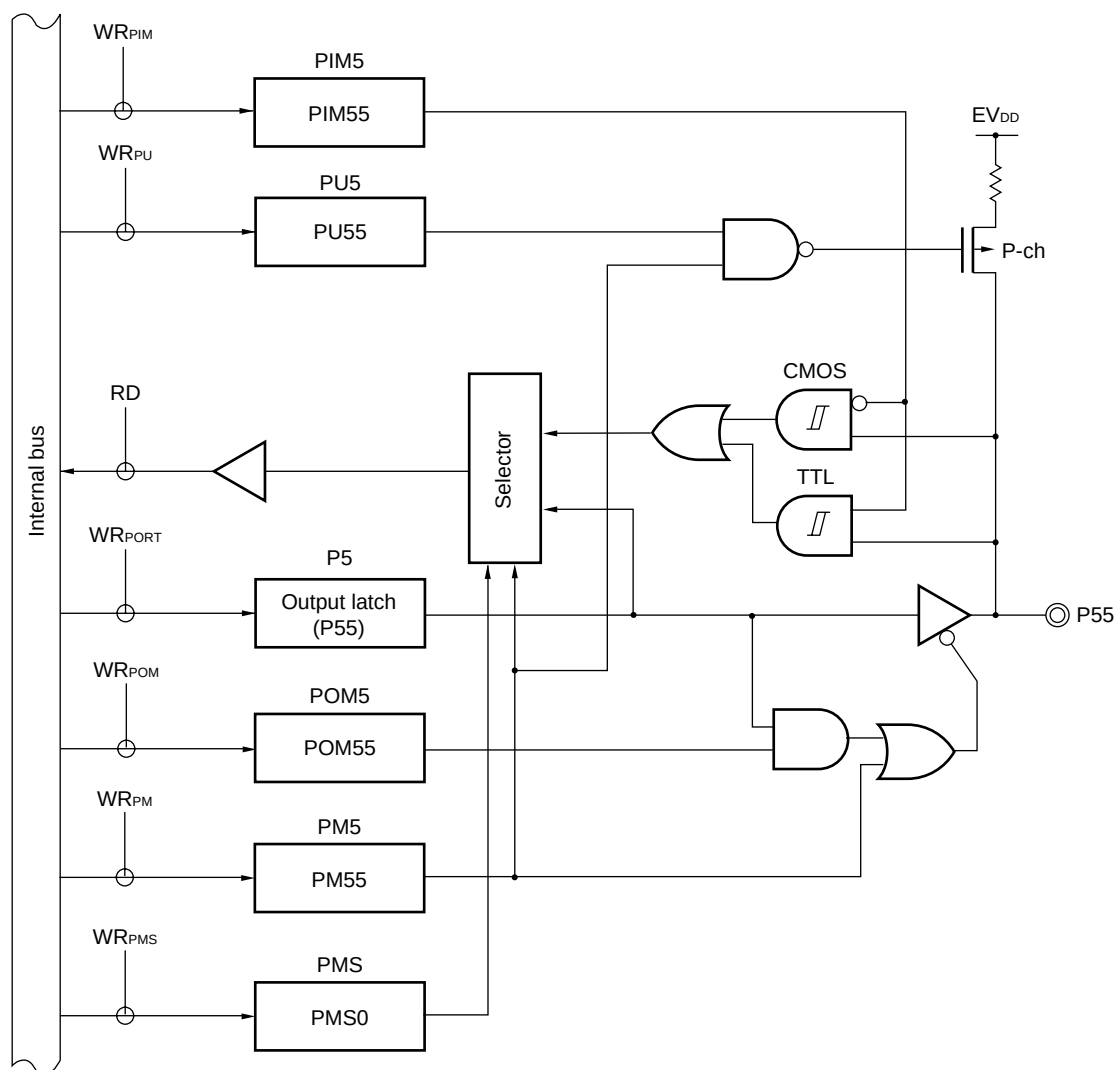
- P5: 端口寄存器 5
 PU5: 上拉电阻选项寄存器 5
 PM5: 端口模式寄存器 5
 PIM5: 端口输入模式寄存器 5
 POM5: 端口输出模式寄存器 5
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-31. P54 的框图



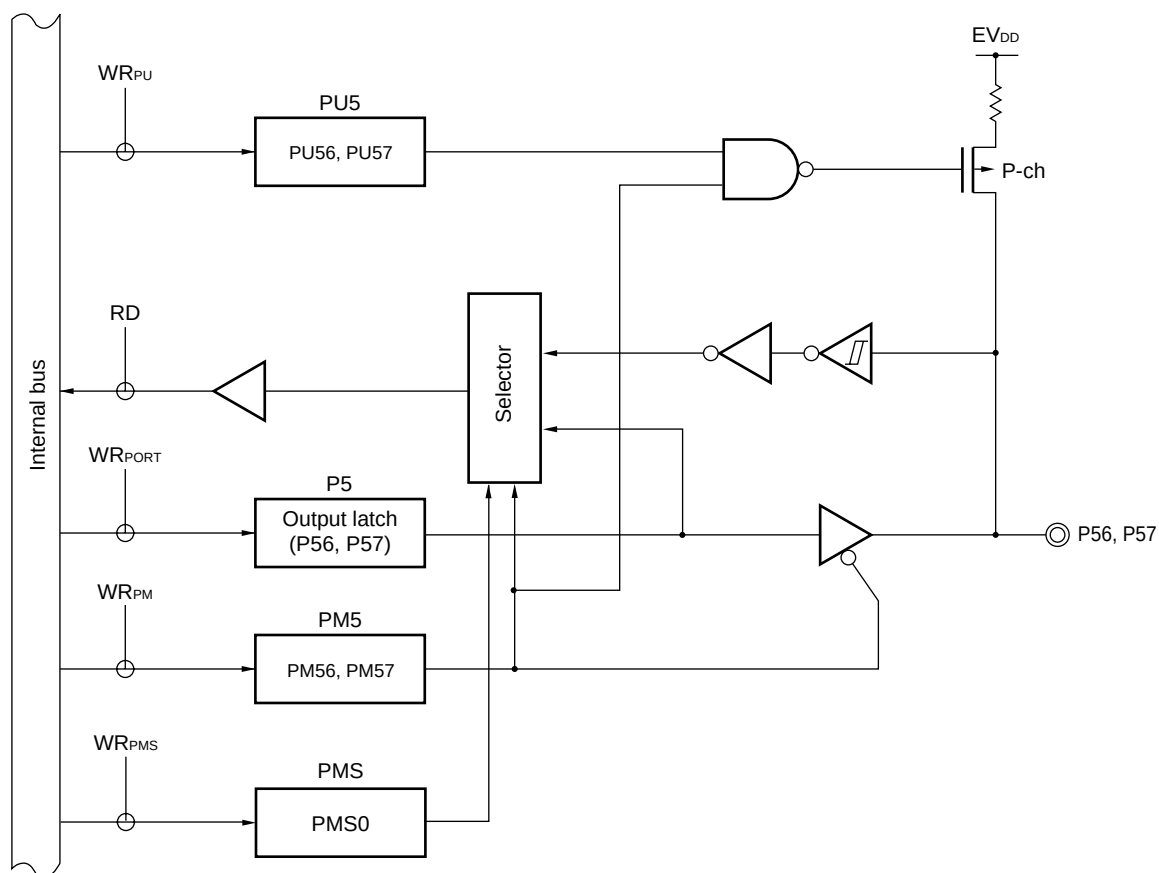
- P5: 端口寄存器 5
 PU5: 上拉电阻选项寄存器 5
 PM5: 端口模式寄存器 5
 PIM5: 端口输入模式寄存器 5
 POM5: 端口输出模式寄存器 5
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-32. P55 的框图



- P5: 端口寄存器 5
 PU5: 上拉电阻选项寄存器 5
 PM5: 端口模式寄存器 5
 PIM5: 端口输入模式寄存器 5
 POM5: 端口输出模式寄存器 5
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-33. P56、P57 的框图



- P5: 端口寄存器 5
 PU5: 上拉电阻选项寄存器 5
 PM5: 端口模式寄存器 5
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx} : 写入信号

4.2.7 端口 6

端口 6 是具有输出锁存器的输入/输出端口。端口 6 可以通过端口模式寄存器 6(PM6)按 1 位单位设为输入模式或输出模式。当 P64 至 P67 引脚用作输入端口时，可通过上拉电阻选项寄存器 6(PU6)按 1 位单位指定使用片上上拉电阻。

P60 至 P63 引脚的输出为 N 沟道开路漏极输出(6 V 耐压)。

这个端口也可以用作串行接口数据输入/输出、时钟输入/输出、芯片选择输入和定时器输入/输出。

产生复位信号后，端口 6 被设置为输入模式。

表 4-12. 使用端口 6 时寄存器的设置

引脚名称		PM6x	复用功能设置	备注
名称	输入/输出			
P60	输入	1	×	
	输出	0	SCLA0输出 = 0 ^{注1}	
P61	输入	1	×	
	输出	0	SDAA0输出 = 0 ^{注1}	
P62	输入	1	×	
	输出	0	SCLA1输出 = 0 ^{注1}	
P63	输入	1	×	
	输出	0	SCLA1输出 = 0 ^{注1}	
P64	输入	1	×	
	输出	0	TO10输出 = 0 ^{注2}	
P65	输入	1	×	
	输出	0	TO11输出 = 0 ^{注2}	
P66	输入	1	×	
	输出	0	TO12输出 = 0 ^{注2}	
P67	输入	1	×	
	输出	0	TO13输出 = 0 ^{注2}	

注 1. 要将复用于串行接口 IICA 功能的引脚用作通用端口，则须停止操作对应串行接口 IICA。

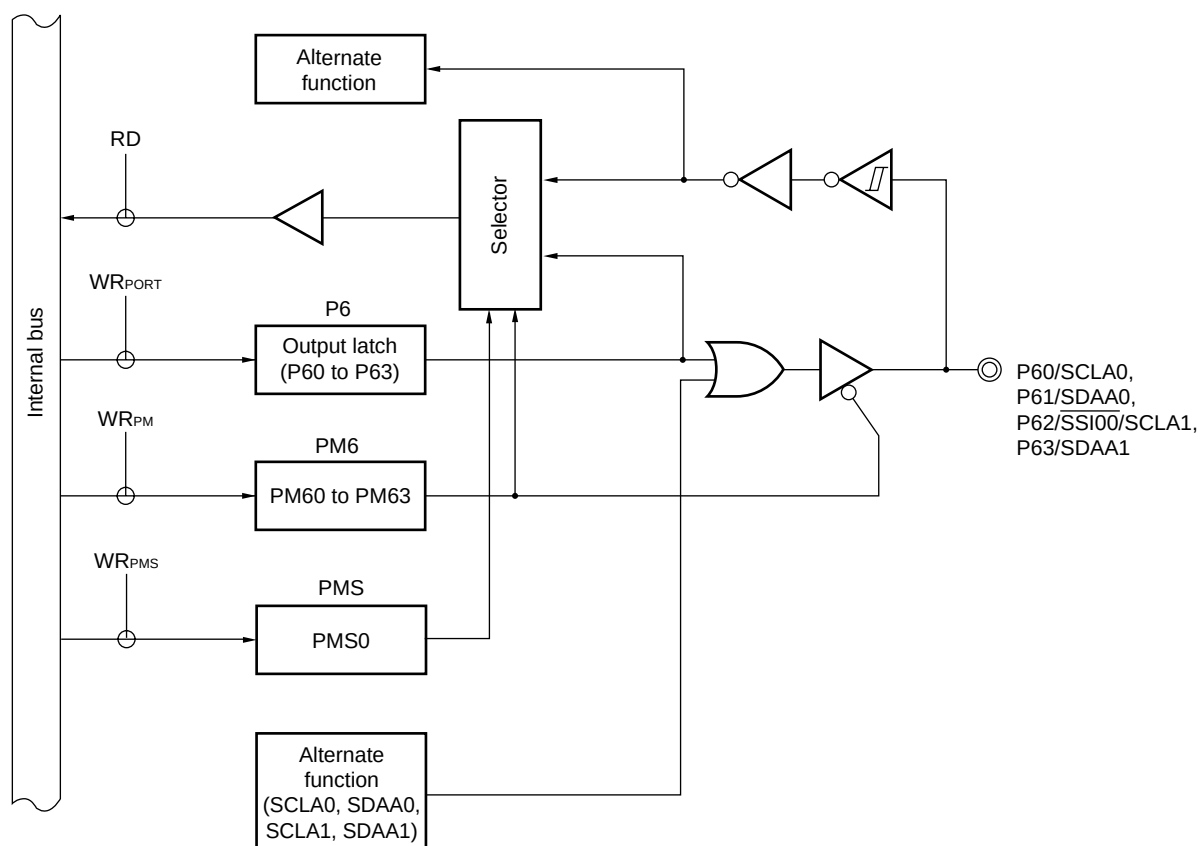
2. 要将复用于定时器阵列单元的定时器输出功能的引脚用作通用端口，则须将对应单元通道的定时器输出寄存器 m (TOm)的 TOmn 位和定时器输出允许寄存器 m 的 TOEmn 位设置为初始状态。(m = 1, n = 0 至 3)

备注 ×: 忽略

PM6x: 端口模式寄存器 6

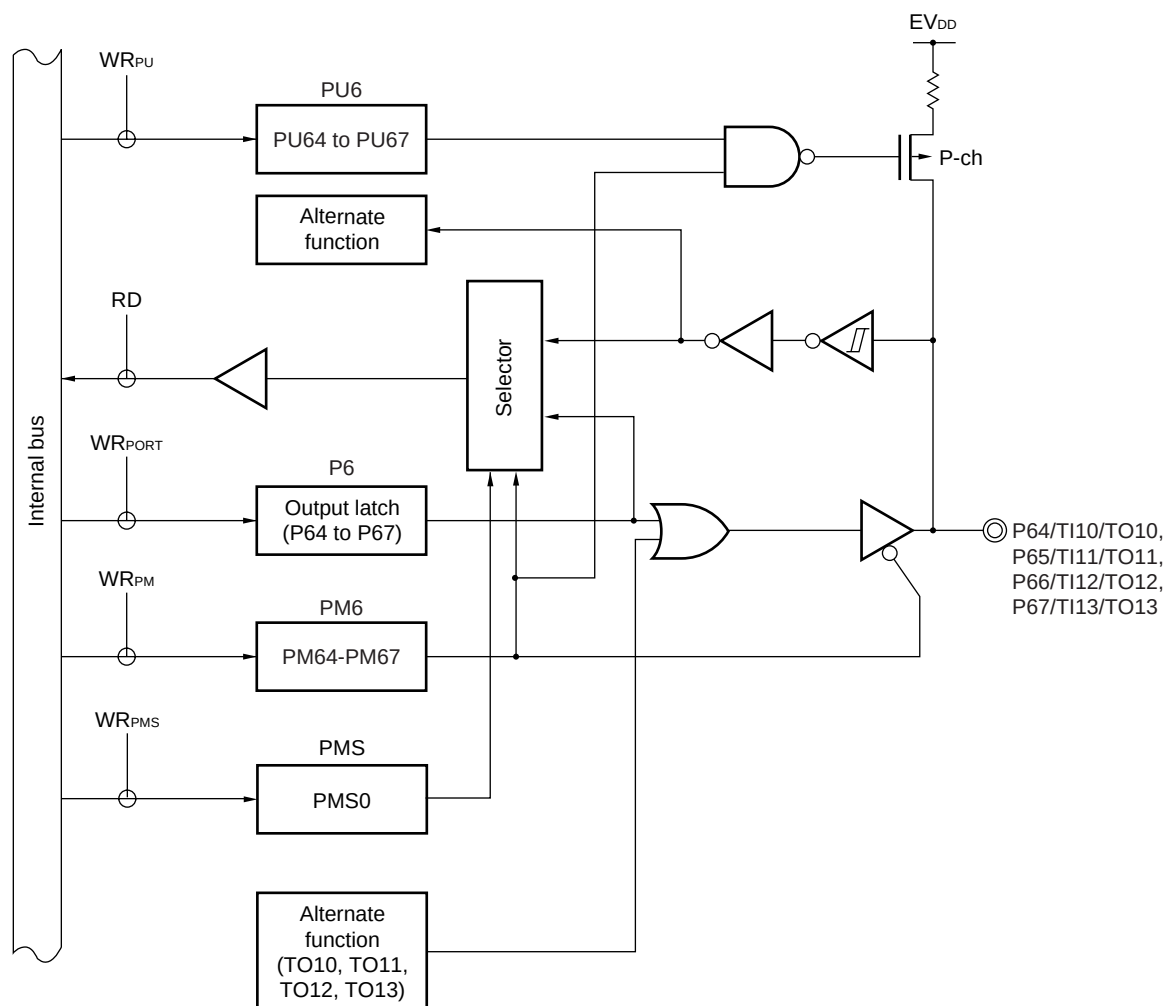
例如，100 针产品中端口 6 的框图如图 4-34、4-35 所示。

图 4-34. P60 至 P63 的框图



P6: 端口寄存器 6
 PM6: 端口模式寄存器 6
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-35. P64 至 P67 的框图



P6: 端口寄存器 6
PU6: 上拉电阻选项寄存器 6
PM6: 端口模式寄存器 6
PMS: 端口输出模式寄存器
RD: 读取信号
WR_{xx}: 写入信号

4.2.8 端口 7

端口 7 是具有输出锁存器的输入/输出端口。端口 7 可以通过端口模式寄存器 7(PM7)按 1 位单位设为输入模式或输出模式。当用作输入端口时，可通过上拉电阻选项寄存器 7(PU7)按 1 位单位指定使用片上上拉电阻。

P71 和 P74 引脚的输出可利用端口输出模式寄存器 7(POM7)按 1 位单位指定为 N 沟道开路漏极输出（EV_{DD0} 耐压）。

这个端口也可以用作按键中断输入，串行接口数据输入/输出，时钟输入/输出和外部中断请求输入。

产生复位信号后，端口 7 被设置为输入模式。

表 4-13. 使用端口 7 时寄存器的设置

引脚名称		PM7x	POM7x	复用功能设置 ^{注4}	备注
名称	输入/输出				
P70	输入	1	×	×	
	输出	0	0	$\overline{\text{SCK21/SCL21}}$ 输出 = 1 ^{注1}	
P71	输入	1	×	×	
	输出	0	0	SDA21输出 = 1 ^{注2}	CMOS输出
		0	1		N沟道O.D.输出
P72	输入	1	—	×	
	输出	0		SO21输出 = 1 ^{注2}	
P73	输入	1	×	×	
	输出	0	0	SO01输出 = 1 ^{注2}	
P74	输入	1	×	×	
	输出	0	0	SDA01输出 = 1 ^{注2}	CMOS输出
		0	1		N沟道O.D.输出
P75	输入	1	×	×	
	输出	0	0	$\overline{\text{SCK01/SCL01}}$ 输出 = 1 ^{注1}	
P76	输入	1	—	×	
	输出	0		×	
P77	输入	1	×	×	
	输出	0	0	(TxD2输出 = 1 ^{注3})	

注 1. 要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM)的 CKOm_n 位、串行输出允许寄存器 m (SOEm) 的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm)的 SE_m_n 位设置为初始值。(mn = 01, 11)

2. 要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM)的 SOM_n 位、串行输出允许寄存器 m (SOEm) 的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm)的 SE_m_n 位设置为初始值。(mn = 01, 11)

3. 当外围 I/O 重定向寄存器 0 (PIOR0)的 PIOR01 位为 1 时，要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM)的 SOM_n 位、串行输出允许寄存器 m (SOEm)的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm)的 SE_m_n 位设置为初始值。(mn = 00)

4. 可以通过设置外围输入/输出重定向寄存器 0 (PIOR0)来分配上表括号内的功能。

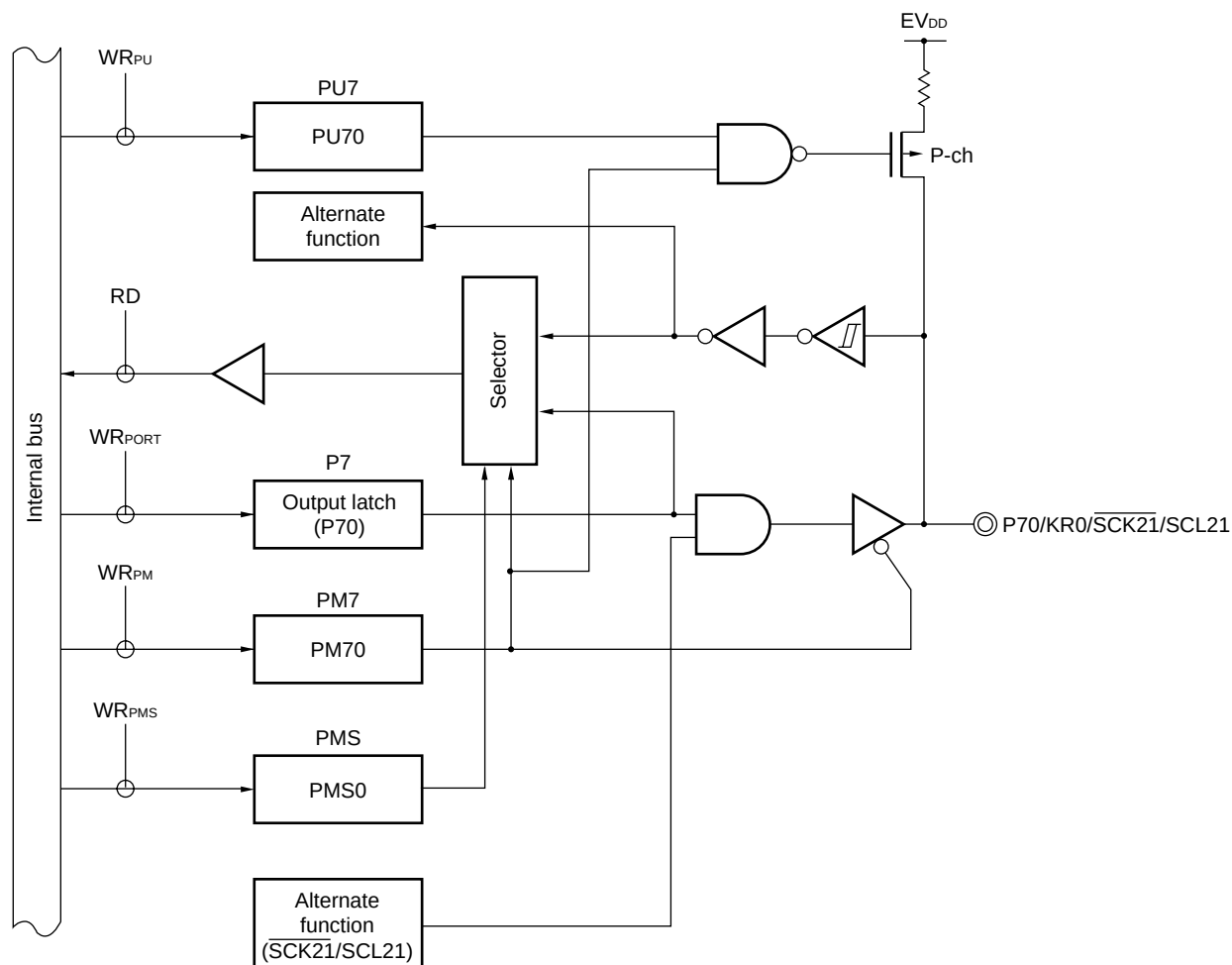
备注 ×: 忽略

PM7x: 端口模式寄存器 7

POM7x: 端口输出模式寄存器 7

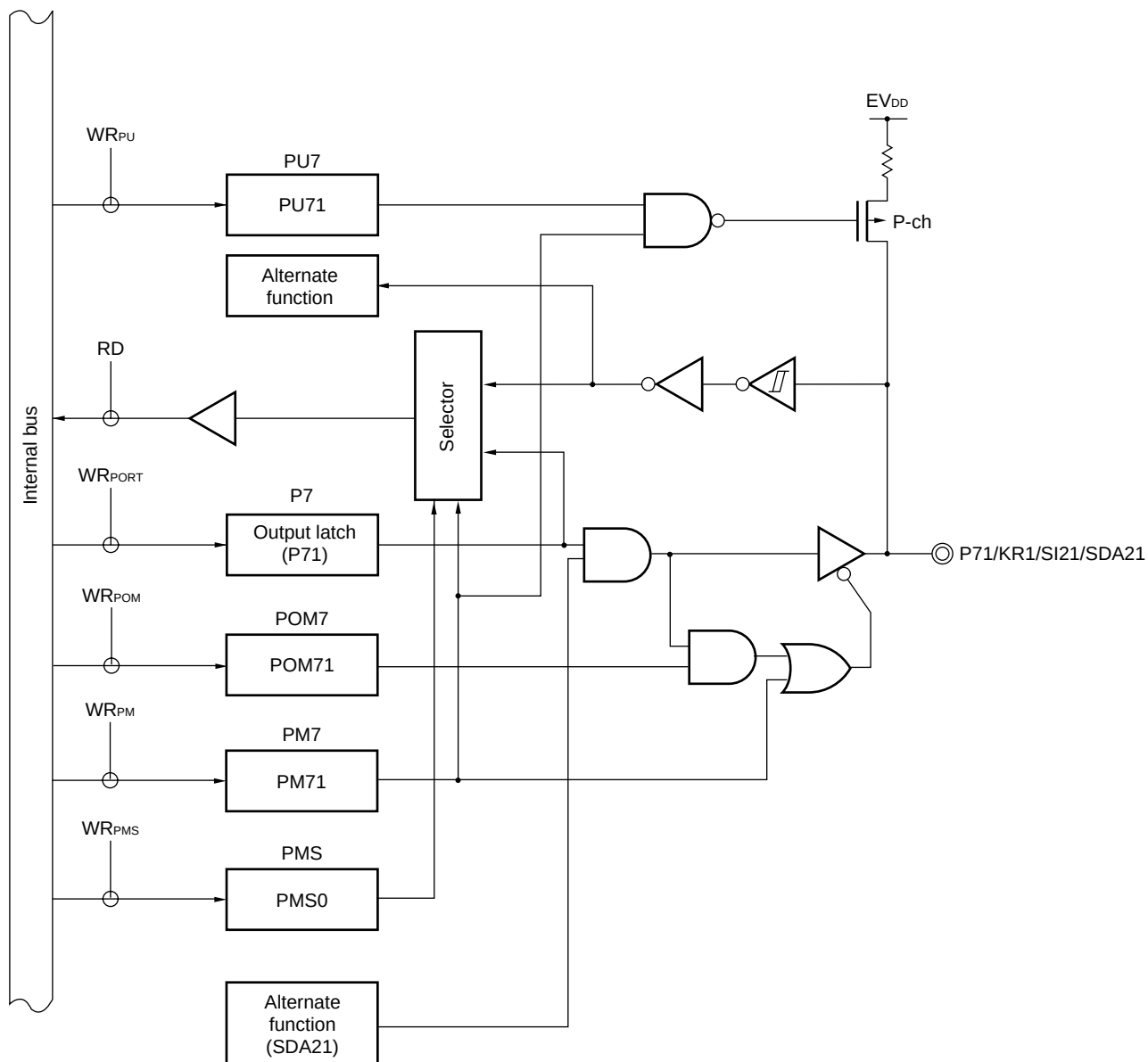
例如，PIOR0 = 00H 时 100 针产品中端口 7 的框图如图 4-36 至 4-40 所示。

图 4-36. P70 的框图



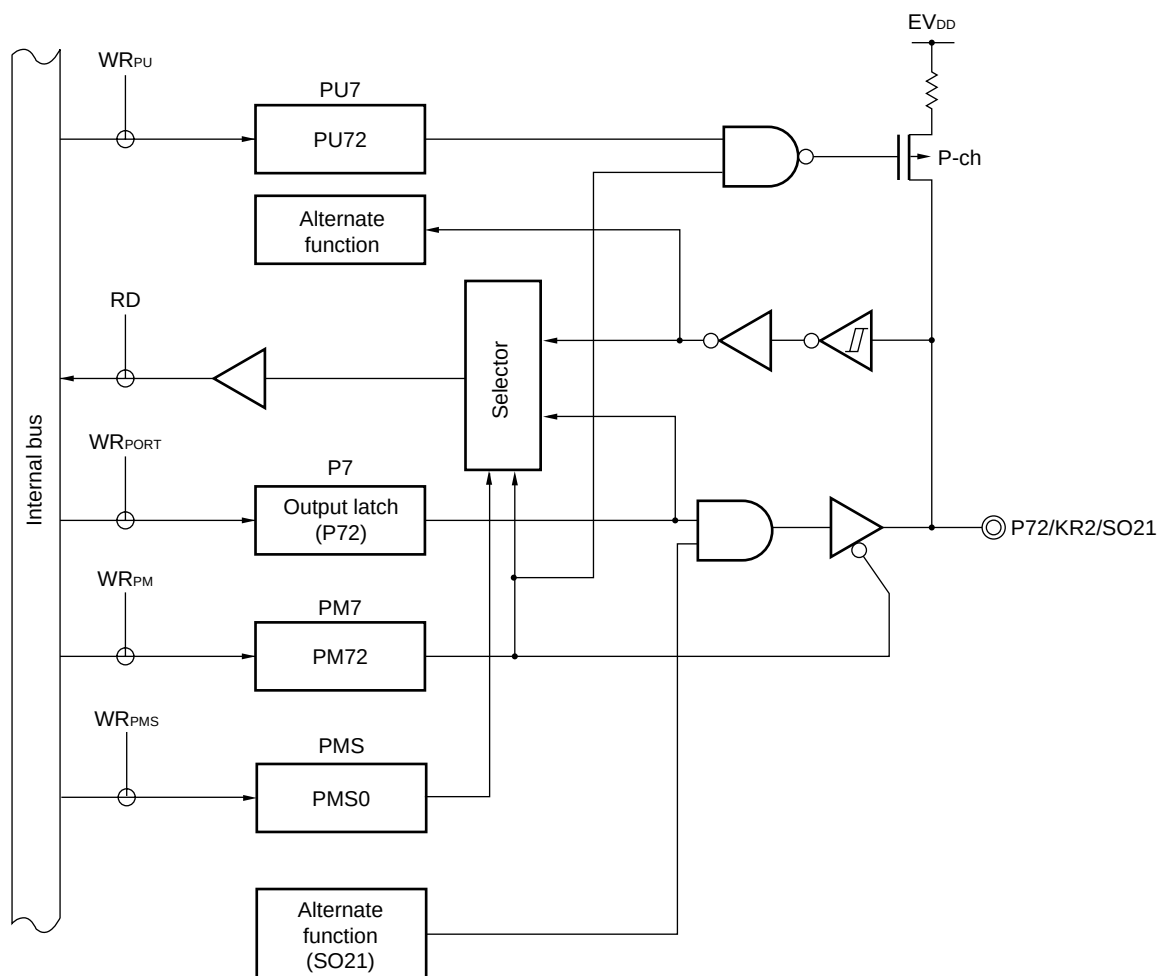
P7: 端口寄存器 7
 PU7: 上拉电阻选项寄存器 7
 PM7: 端口模式寄存器 7
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-37. P71 的框图



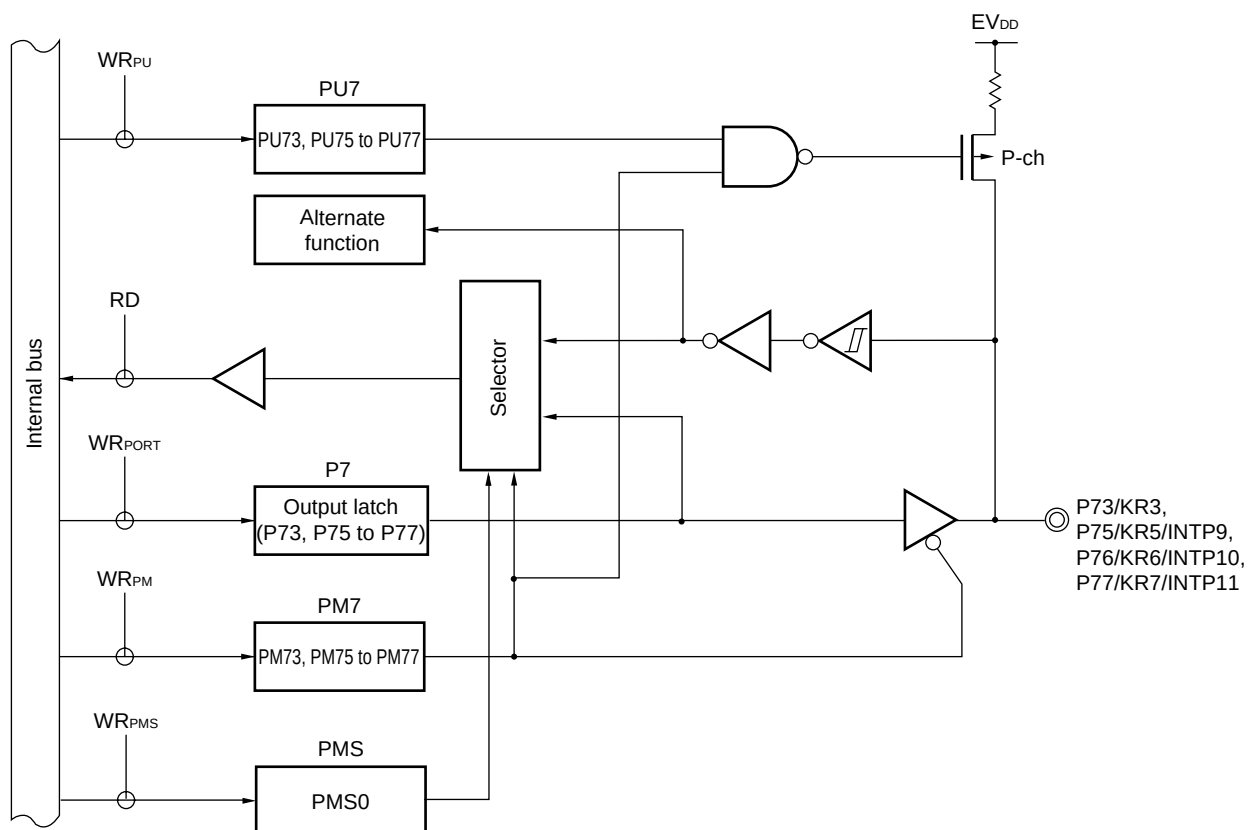
P7: 端口寄存器 7
 PU7: 上拉电阻选项寄存器 7
 PM7: 端口模式寄存器 7
 POM7: 端口输出模式寄存器 7
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-38. P72 的框图



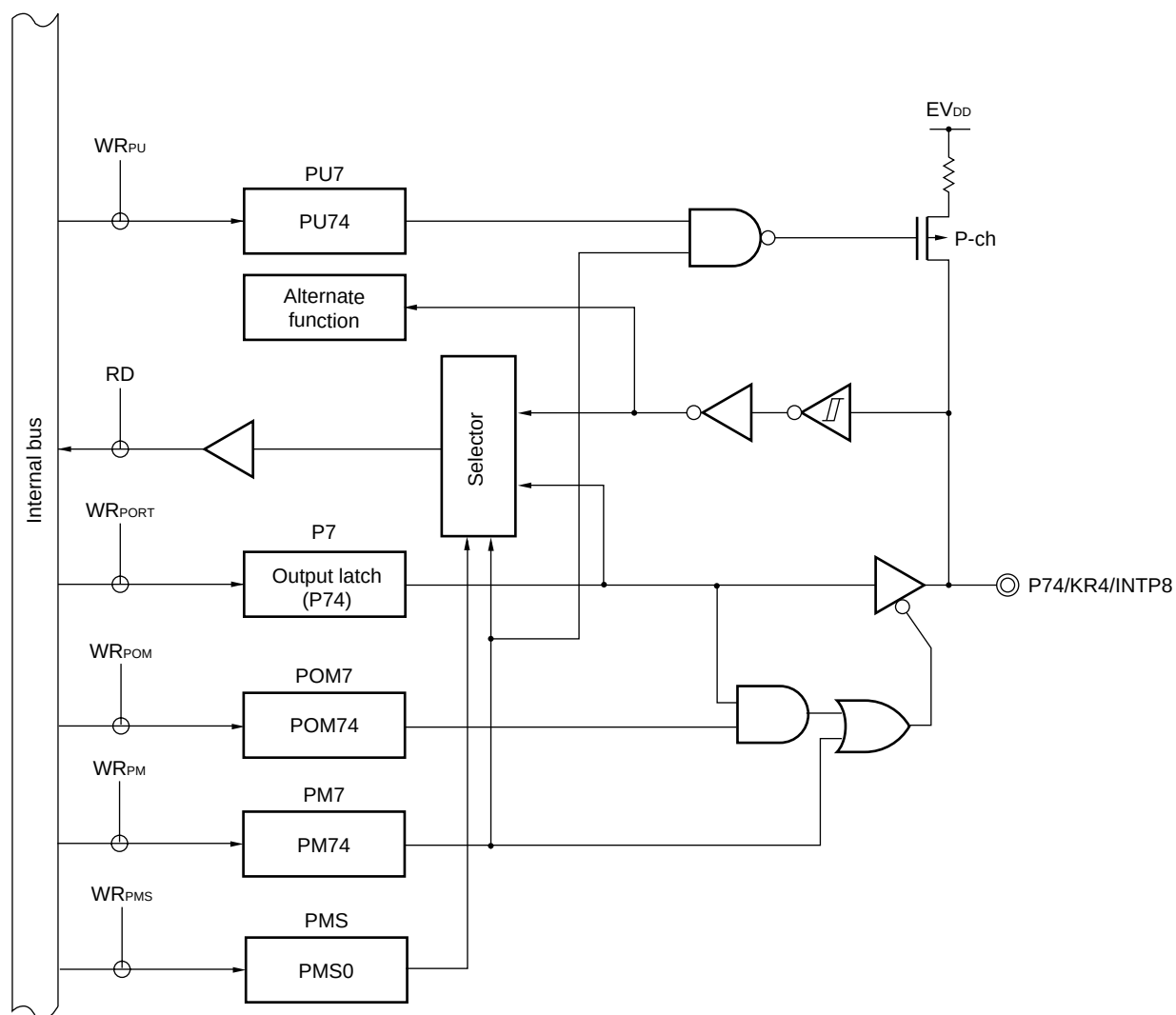
- P7: 端口寄存器 7
 PU7: 上拉电阻选项寄存器 7
 PM7: 端口模式寄存器 7
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-39. P73、P75 至 P77 的框图



- P7:** 端口寄存器 7
PU7: 上拉电阻选项寄存器 7
PM7: 端口模式寄存器 7
PMS: 端口输出模式寄存器
RD: 读取信号
WR_{xx}: 写入信号

图 4-40. P74 的框图



- P7: 端口寄存器 7
 PU7: 上拉电阻选项寄存器 7
 PM7: 端口模式寄存器 7
 POM7: 端口输出模式寄存器 7
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

4.2.9 端口 8

端口 8 是具有输出锁存器的输入/输出端口。端口 8 可以通过端口模式寄存器 8(PM8)按 1 位单位设为输入模式或输出模式。当 P80 至 P87 引脚用作输入端口时，可通过上拉电阻选项寄存器 8(PU8)按 1 位单位指定使用片上上拉电阻。

至 P80 和 P81 引脚的输入可利用端口输入模式寄存器 8(PIM8)通过正常输入缓冲器或 TTL 输入缓冲器按 1 位单位指定。

P80 至 P82 引脚的输出可利用端口输出模式寄存器 8(POM8)按 1 位单位指定为 N 沟道开路漏极输出（EV_{DD0} 耐压）。产生复位信号后，端口 8 被设置为输入模式。

表 4-14. 使用端口 8 时寄存器的设置

引脚名称		PM8x	PIM8x	POM8x	复用功能设置 ^{注 3}	备注
名称	输入/输出					
P80	输入	1	0	×	×	CMOS输入
		1	1	×	×	TTL输入
	输出	0	×	0	(SCK10/SCL10输出 = 1 ^{注 1})	CMOS输出
		0	×	1		N沟道O.D.输出
P81	输入	1	0	×	×	CMOS输入
		1	1	×	×	TTL输入
	输出	0	×	0	(SDA10输出 = 1 ^{注 2})	CMOS输出
		0	×	1		N沟道O.D.输出
P82	输入	1	—	×	×	
	输出	0		0	(TxD1/SO10输出 = 0 ^{注 2})	CMOS输出
		0		1		N沟道O.D.输出
P83至 P87	输入	1	—	—	×	
	输出	0		—	×	

- 注 1. 当外围 I/O 重定向寄存器 0 (PIOR0)的 PIOR05 位为 1 时，要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM)的 SOMn 位、串行输出允许寄存器 m (SOEm)的 SOEmn 位以及串行通道允许状态寄存器 m (SEm)的 SEmn 位设置为初始值。(mn = 02)
2. 当外围 I/O 重定向寄存器 0 (PIOR0)的 PIOR05 位为 1 时，要将复用于串行阵列单元功能的引脚用作通用端口，则须将对应单元通道的串行输出寄存器 m (SOM)的 CKOMn 位、串行输出允许寄存器 m (SOEm)的 SOEmn 位以及串行通道允许状态寄存器 m (SEm)的 SEmn 位设置为初始值。(mn = 02)
3. 可以通过设置外围输入/输出重定向寄存器 0 (PIOR0)来分配上表括号内的功能。

备注 ×: 忽略

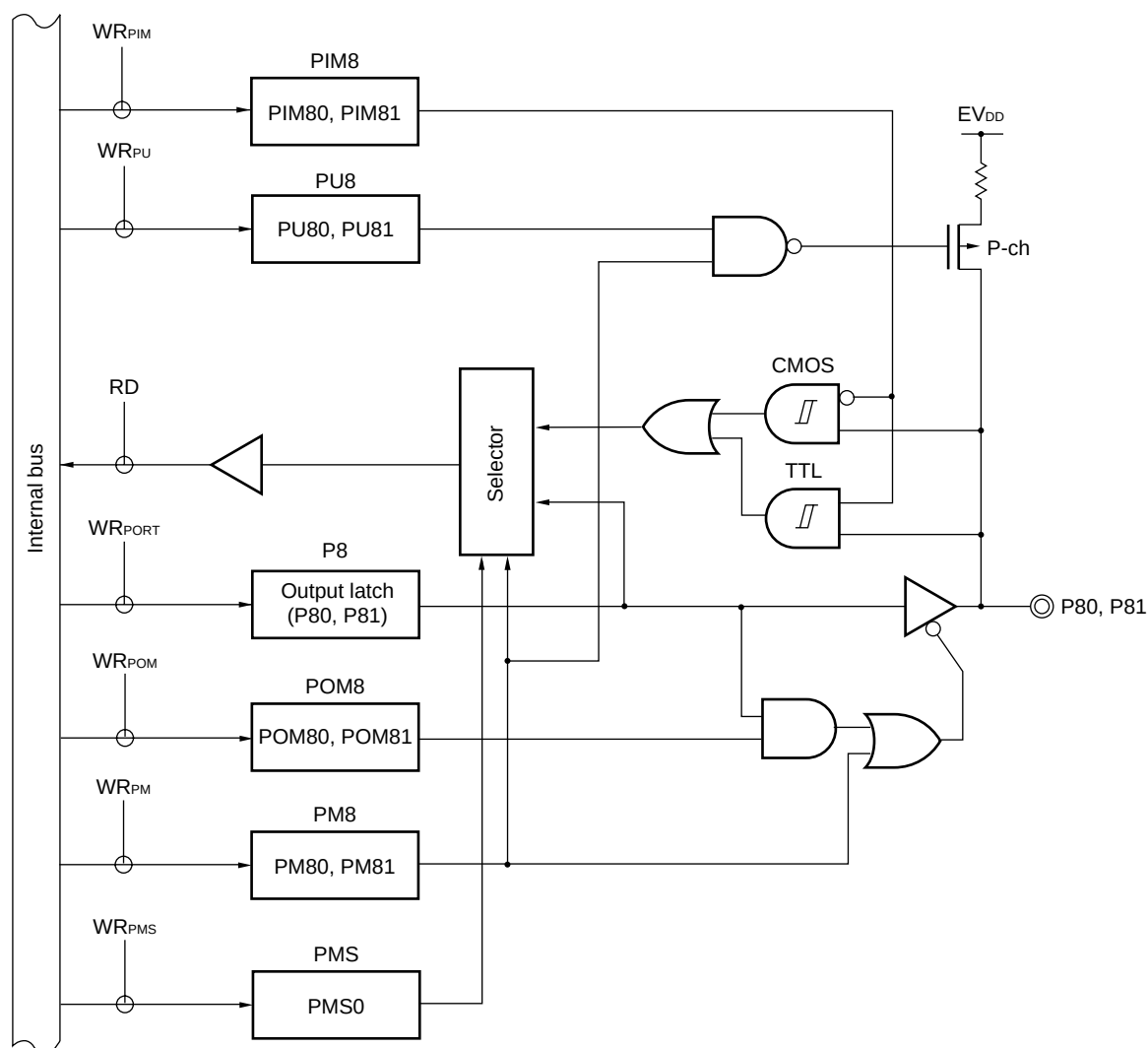
PM8x: 端口模式寄存器 8

PIM8x: 端口输入模式寄存器 8

POM8x: 端口输出模式寄存器 8

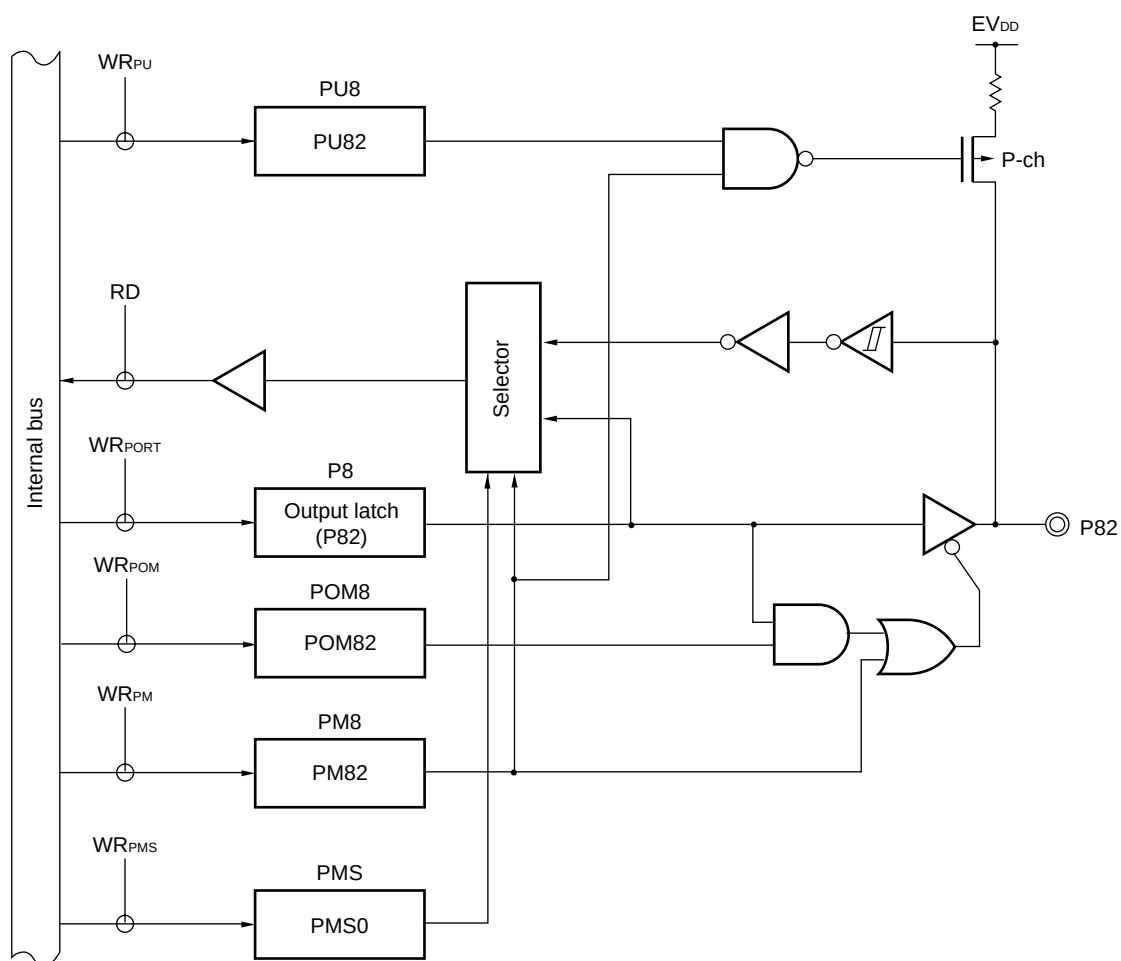
例如, $PIOR0 = 00H$ 时, 100 针产品中端口 8 的框图如图 4-41 至 4-43 所示。

图 4-41. P80、P81 的框图



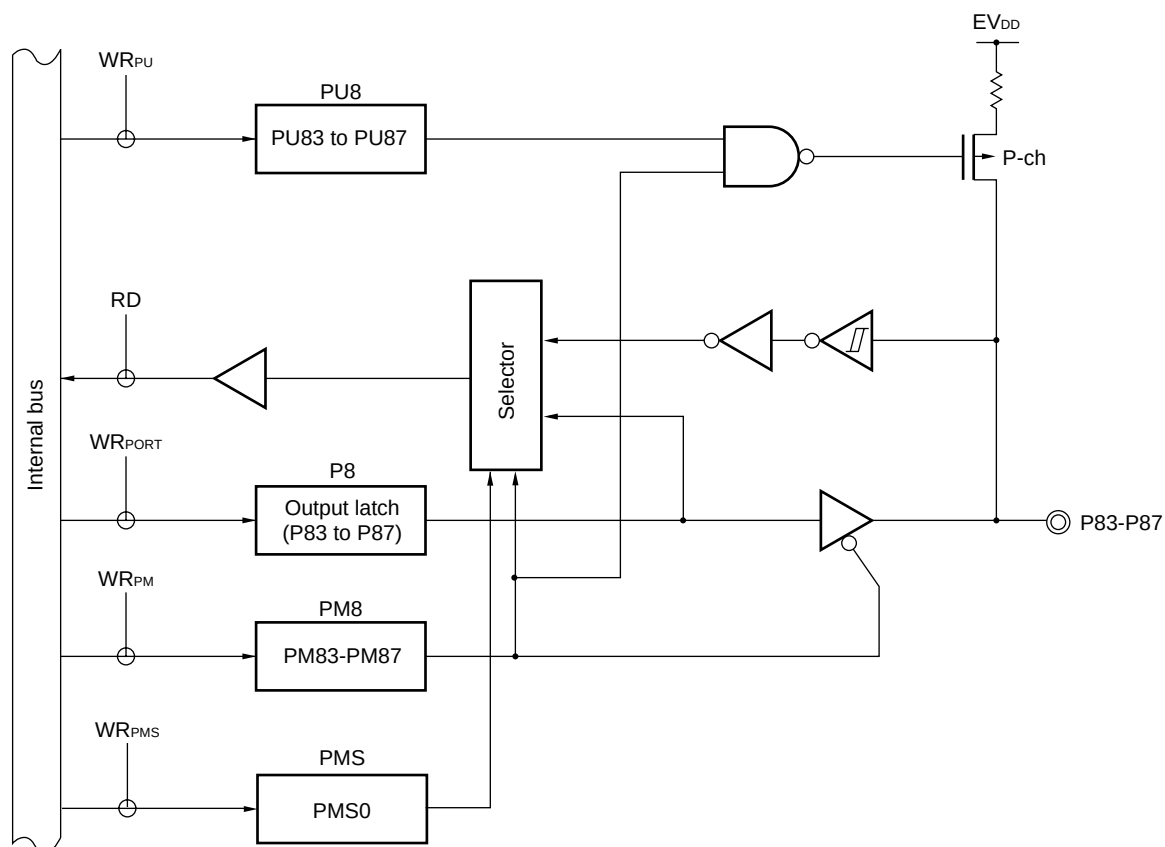
- P8: 端口寄存器 8
- PU8: 上拉电阻选项寄存器 8
- PM8: 端口模式寄存器 8
- PIM8: 端口输入模式寄存器 8
- POM8: 端口输出模式寄存器 8
- PMS: 端口输出模式寄存器
- RD: 读取信号
- WR_{xx} : 写入信号

图 4-42. P82 的框图



- P8: 端口寄存器 8
 PU8: 上拉电阻选项寄存器 8
 PM8: 端口模式寄存器 8
 POM8: 端口输出模式寄存器 8
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-43. P83 至 P87 的框图



- P8: 端口寄存器 8
 PU8: 上拉电阻选项寄存器 8
 PM8: 端口模式寄存器 8
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

4.2.10 端口 10

端口 10 是具有输出锁存器的输入/输出端口。端口 10 可以通过端口模式寄存器 10(PM10)按 1 位单位设为输入模式或输出模式。当 P100 至 P102 引脚用作输入端口时，可通过上拉电阻选项寄存器 10(PU10)按 1 位单位指定使用片上上拉电阻。

至 P100 引脚的输入可利用端口模式控制寄存器 10(PMC10)按 1 位单位指定为模拟输入或数字输入。

这个端口也可以用作 A/D 转换器模拟输入。

产生复位信号后，P100 被设置为模拟输入，P101 和 P102 被设置为输入模式。

表 4-15. 使用端口 10 时寄存器的设置

引脚名称		PM10×	PMC10×	复用功能设置	备注
名称	输入/输出				
P100	输入	1	0	×	
	输出	0	0	×	
P101	输入	1	—	×	
	输出	0		×	
P102	输入	1	—	×	
	输出	0		×	

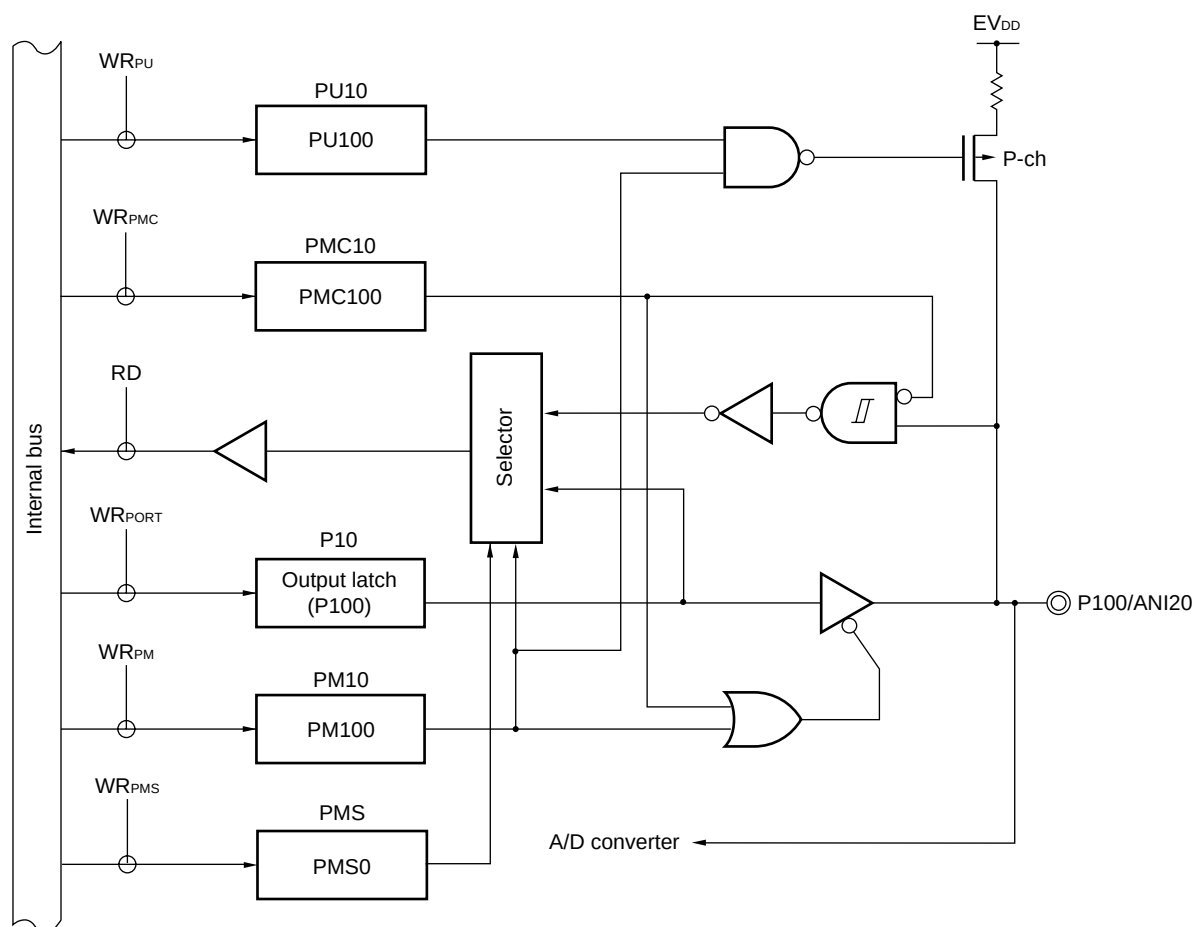
备注 ×: 忽略

PM10×: 端口模式寄存器 10

PMC10×: 端口模式控制寄存器 10

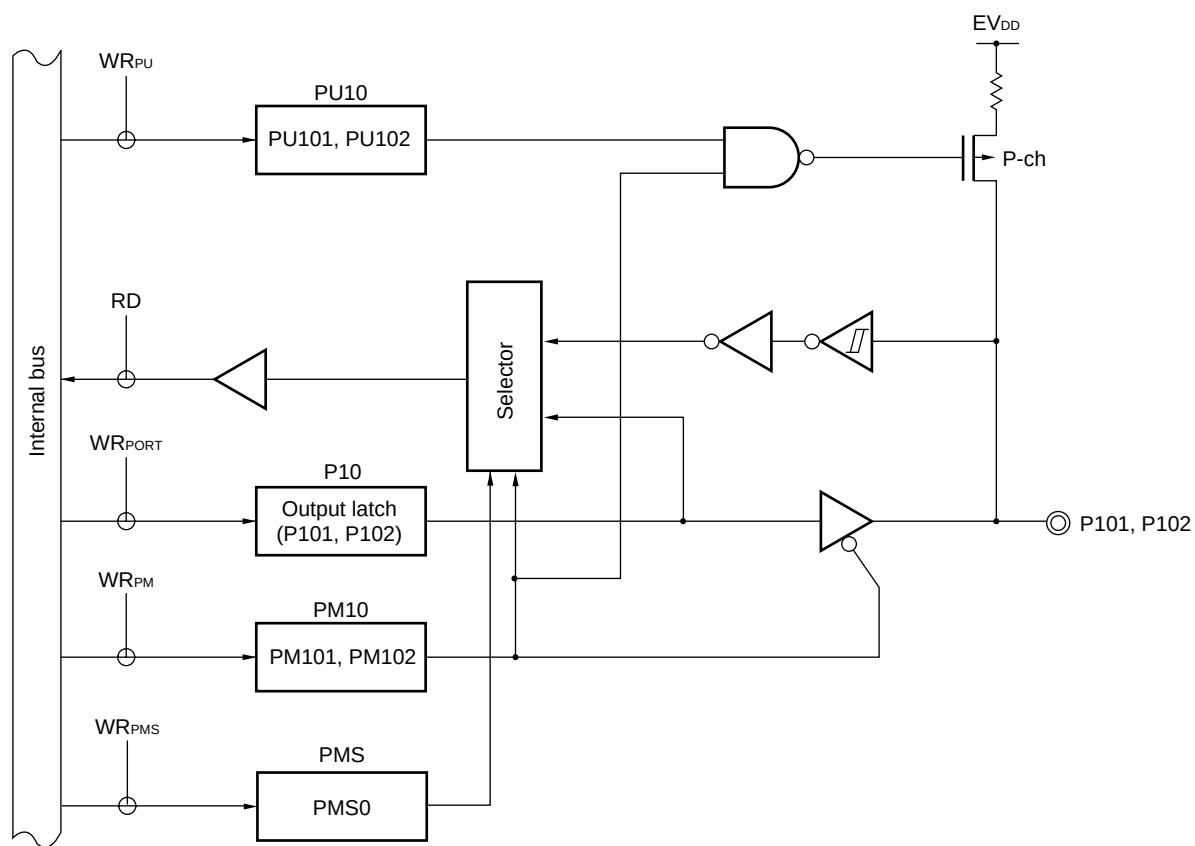
例如，100 针产品中端口 10 的框图如图 4-44 和 4-45 所示。

图 4-44. P100 的框图



- P10: 端口寄存器 10
 PU10: 上拉电阻选项寄存器 10
 PM10: 端口模式寄存器 10
 PMC10: 端口模式控制寄存器 10
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-45. P101、P102 的框图



P10: 端口寄存器 10
 PU10: 上拉电阻选项寄存器 10
 PM10: 端口模式寄存器 10
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

4.2.11 端口 11

端口 11 是具有输出锁存器的输入/输出端口。端口 11 可以通过端口模式寄存器 11(PM11)按 1 位单位设为输入模式或输出模式。当 P110 和 P111 引脚用作输入端口时，可通过上拉电阻选项寄存器 11(PU11)按 1 位单位指定使用片上上拉电阻。

产生复位信号后，端口 11 被设置为输入模式。

表 4-16. 使用端口 11 时寄存器的设置

引脚名称		PM11x	复用功能设置	备注
名称	输入/输出			
P110, P111	输入	1	×	
	输出	0	×	

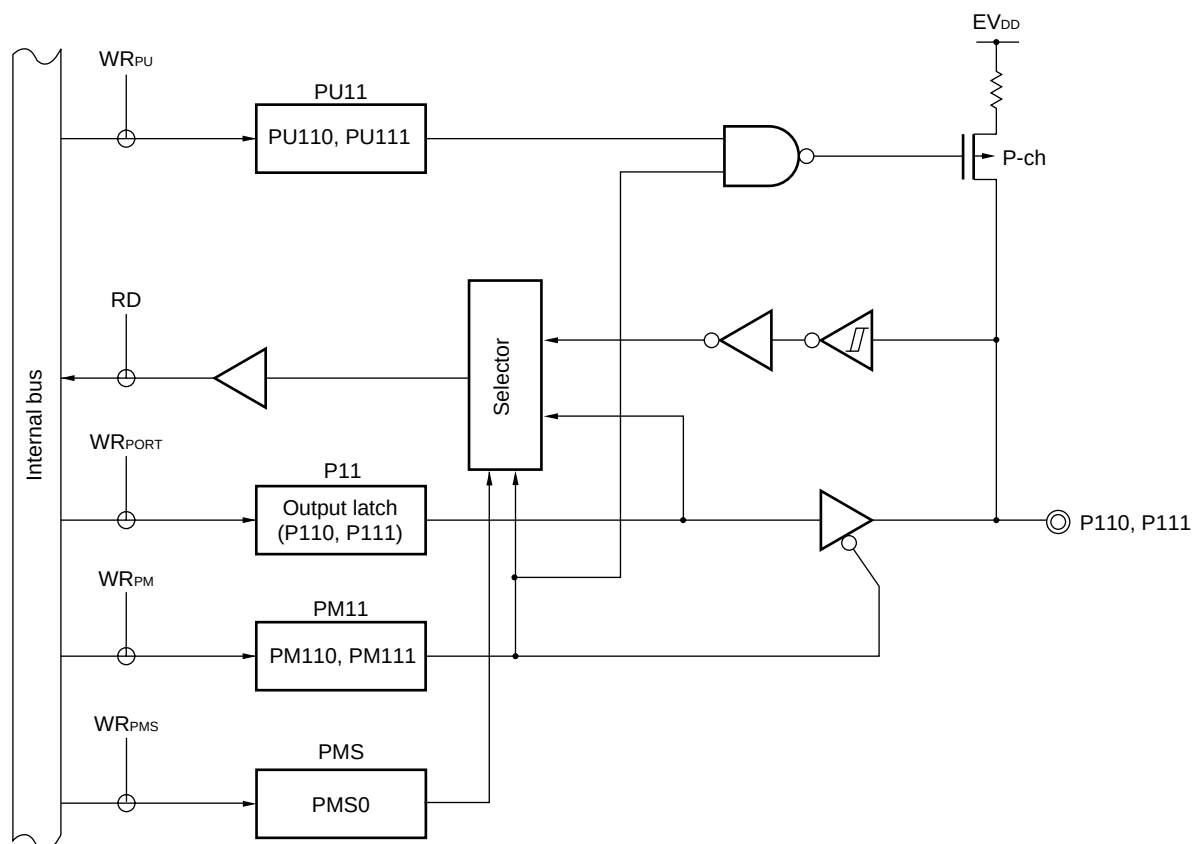
备注 ×: 忽略

PM11x: 端口模式寄存器 11

PMC11x: 端口模式控制寄存器 11

例如，100 针产品中端口 11 的框图如图 4-46 所示。

图 4-46. P110 和 P111 的框图



- P11: 端口寄存器 11
- PU11: 上拉电阻选项寄存器 11
- PM11: 端口模式寄存器 11
- PMS: 端口输出模式寄存器
- RD: 读取信号
- WR_{xx} : 写入信号

4.2.12 端口 12

P120 是具有输出锁存器的输入/输出端口。端口 12 可以通过端口模式寄存器 12(PM12)按 1 位单位设为输入模式或输出模式。当用作输入端口时，可通过上拉电阻选项寄存器 12(PU12)指定使用片上上拉电阻。

P121 至 P124 是 4 位输入端口。

P120 引脚的输入可利用端口模式控制寄存器 12(PMC12)按 1 位单位指定为模拟输入或数字输入。

这个端口也可以用作 A/D 转换器模拟输入、连接主系统时钟用谐振器、连接副系统时钟用谐振器、主系统时钟用外部时钟输入、副系统时钟用外部时钟输入和比较器输出。

产生复位信号后，P120 被设置为模拟输入，并且 P121 至 P127 被设置为输入模式。

表 4-17. 使用端口 12 时寄存器的设置

引脚名称		PM12x	PMC12x	复用功能设置	备注
名称	输入/输出				
P120	输入	1	0	×	
	输出	0	0	VCOU0输出 = 0 ^注	
P121	输入	—	—	CMC寄存器的OSCSEL位 = 0 或EXCLK位 = 1	
P122	输入	—	—	CMC寄存器的OSCSEL位 = 0	
P123	输入	—	—	CMC寄存器的OSCSELS位 = 0 或EXCLKS位 = 1	
P124	输入	—	—	CMC寄存器的OSCSELS位 = 0	

注 配备 96KB 或更大代码闪存的产品中，要将复用于比较器输出功能的引脚用作通用端口，则须将比较器输出控制寄存器(COMPOCR)的 CnOE 位设置为初始值。(n = 0)

注意事项 P121 至 P124 的功能设置仅在解除复位后一次可用。设置为连接谐振器/振荡器的端口，在执行复位之前不可用作输入端口。

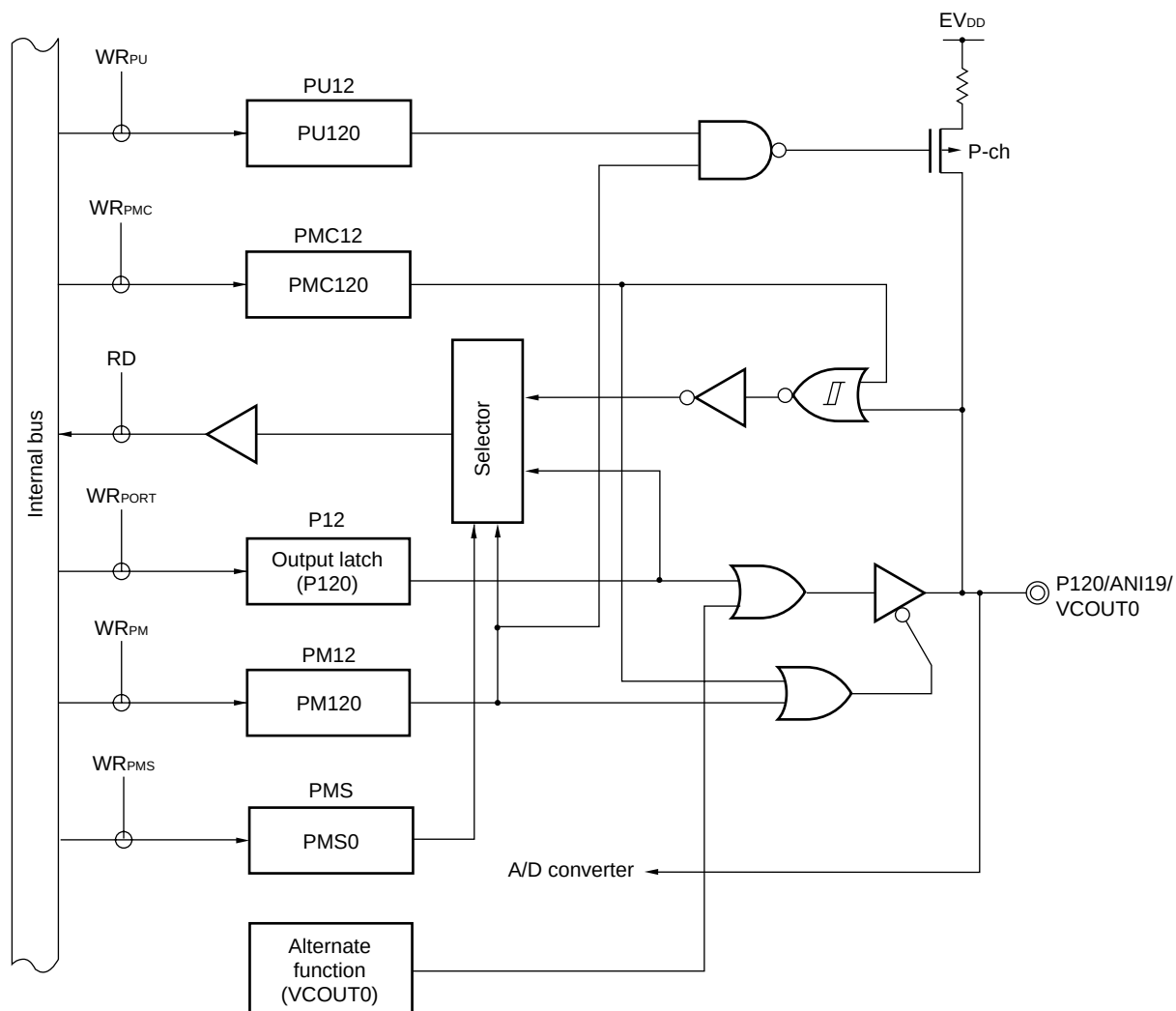
备注 ×: 忽略

PM12x: 端口模式寄存器 12

PMC12x: 端口模式控制寄存器 12

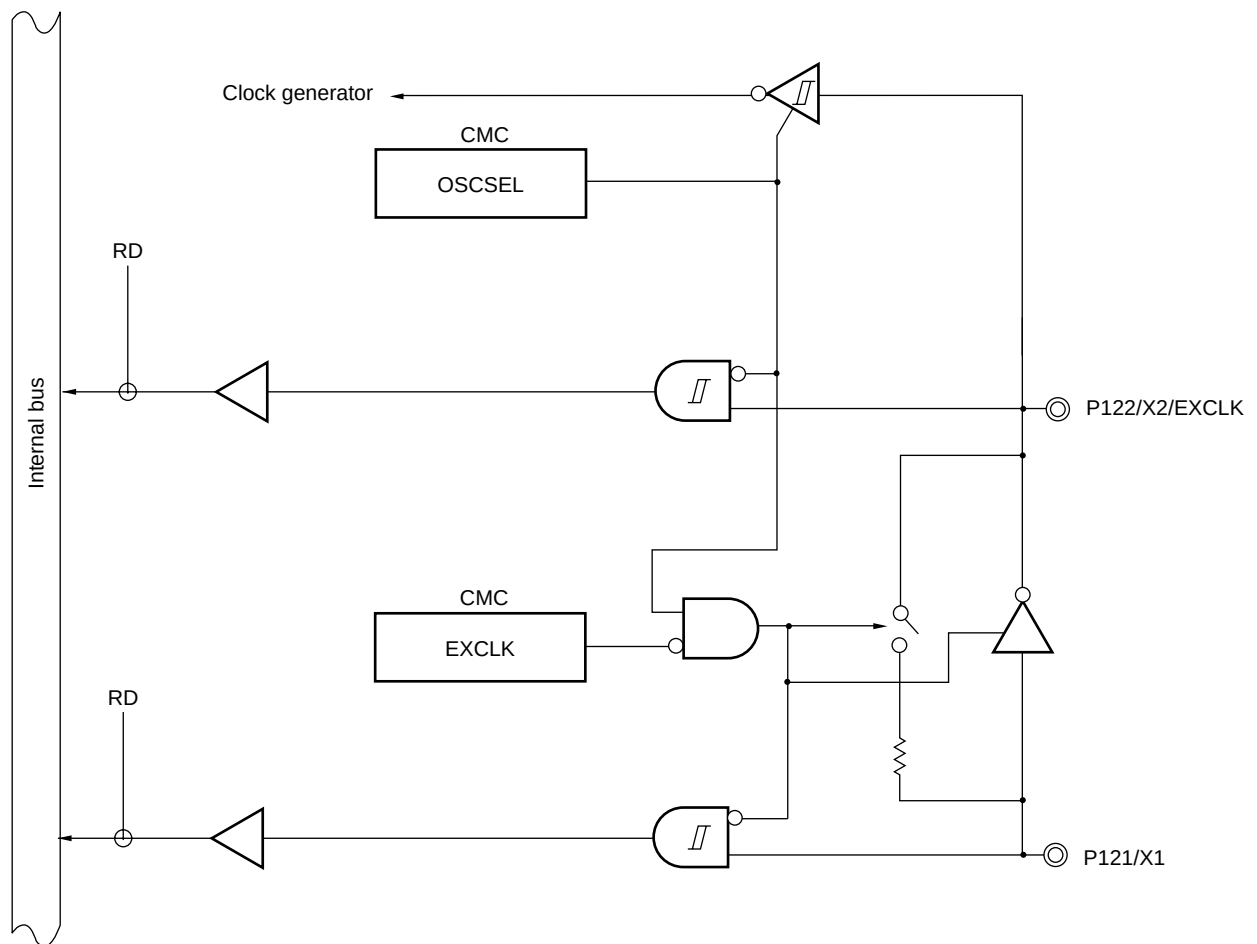
例如，100 针产品中端口 12 的框图如图 4-47 至 4-49 所示。

图 4-47. P120 的框图



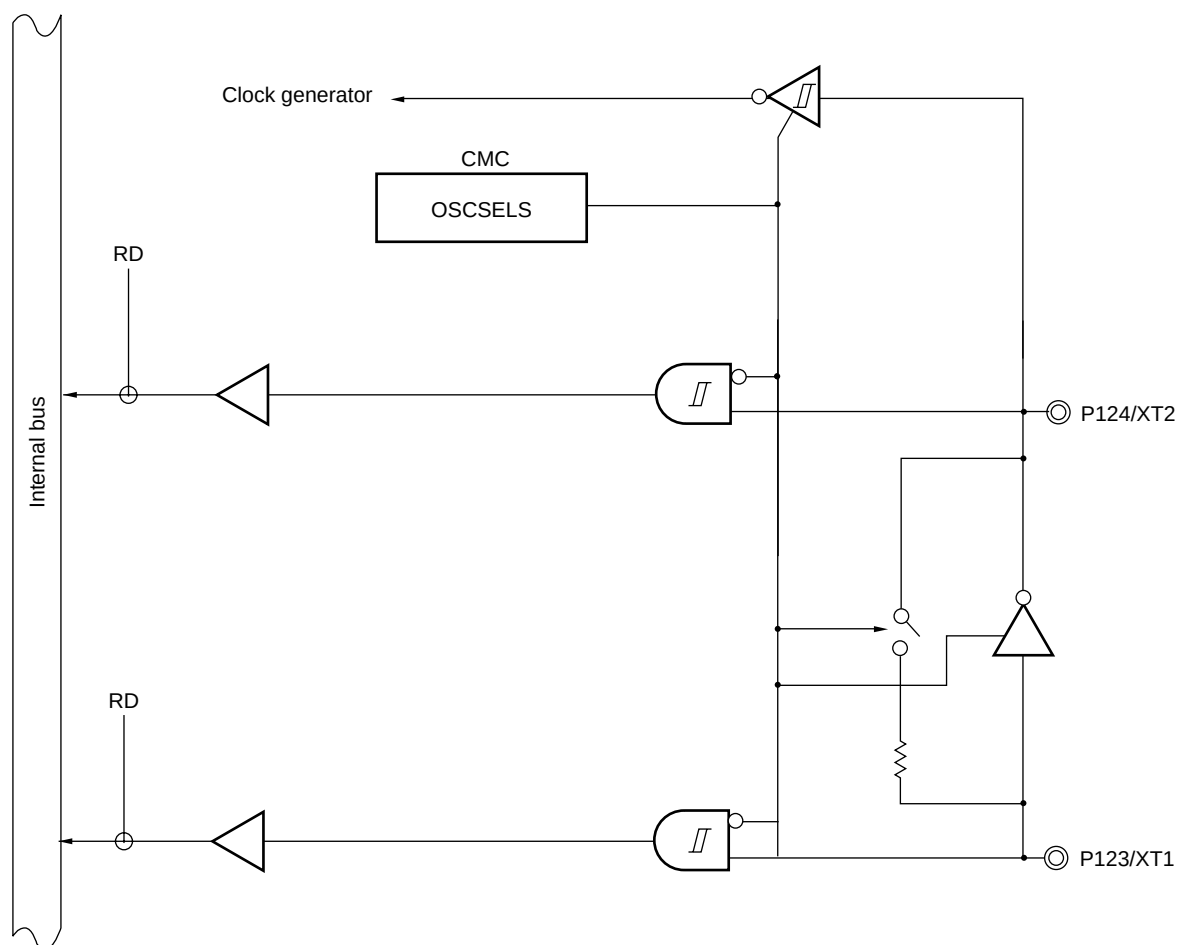
P12:	端口寄存器 12
PU12:	上拉电阻选项寄存器 12
PM12:	端口模式寄存器 12
PMC12:	端口模式控制寄存器 12
PMS:	端口输出模式寄存器
RD:	读取信号
WRxx:	写入信号

图 4-48. P121 和 P122 的框图



CMC: 时钟操作模式控制寄存器
RD: 读取信号

图 4-49. P123 和 P124 的框图



CMC: 时钟操作模式控制寄存器

RD: 读取信号

4.2.13 端口 13

P130 是具有输出锁存器的 1 位输出专用端口。P137 是 1 位输入专用端口。

P130 被固定为输出端口，P137 被固定为输入端口。

这个端口也可以用作外部中断请求输入。

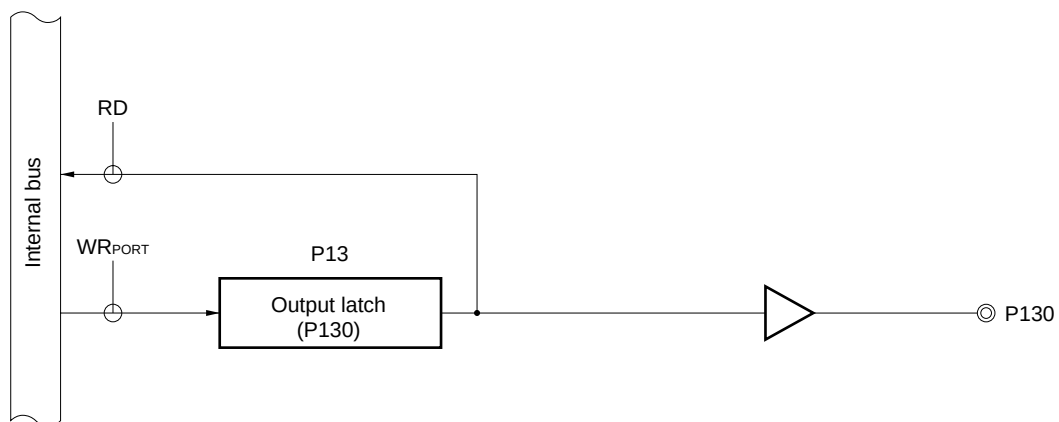
表 4-18. 使用端口 13 时寄存器的设置

引脚名称		复用功能设置	备注
名称	输入/输出		
P130	输出	—	
P137	输入	×	

备注 ×

例如，100 针产品中端口 13 的框图如图 4-50 和图 4-51 所示。

图 4-50. P130 的框图



P13: 端口寄存器 13

RD: 读取信号

WR_{xx}: 写入信号

备注 复位生效后，P130 输出低电平。如果将 P130 设置为在复位生效前输出高电平，则 P130 的输出信号可以虚拟输出为 CPU 复位信号。

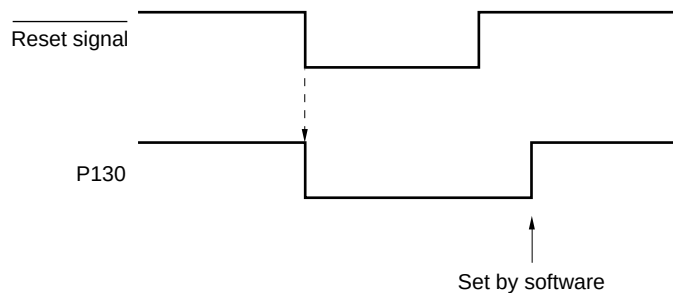
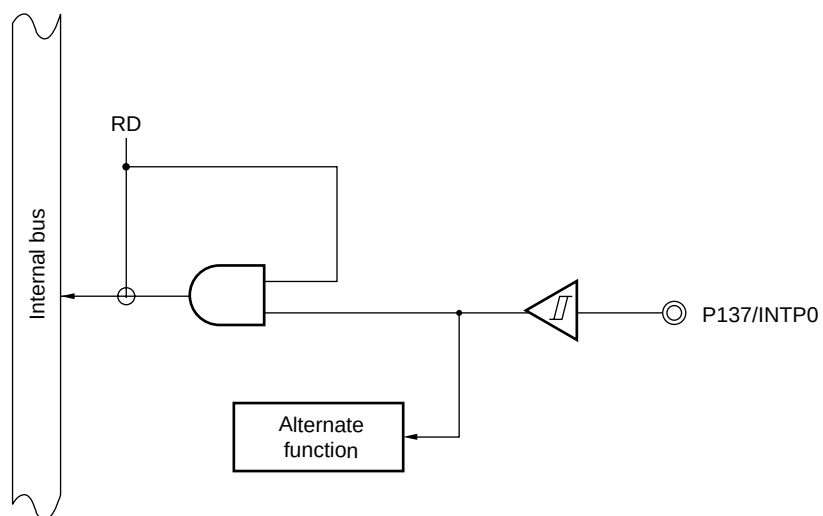


图 4-51. P137 的框图



RD: 读取信号

4.2.14 端口 14

端口 14 是具有输出锁存器的输入/输出端口。端口 14 可以通过端口模式寄存器 14(PM14)按 1 位单位设为输入模式或输出模式。当 P140 至 P147 引脚用作输入端口时, 可通过上拉电阻选项寄存器 14(PU14)按 1 位单位指定使用片上上拉电阻。

P142 和 P143 引脚的输入可利用端口输入模式寄存器 14(PIM14)通过正常输入缓冲器或 TTL 输入缓冲器按 1 位单位指定。

P142 至 P144 引脚的输出可利用端口输出模式寄存器 14(POM14)按 1 位单位指定为 N 沟道开路漏极输出 (EV_{DD0} 耐压)。

P147 引脚的输入可利用端口模式控制寄存器 14(PMC14)按 1 位单位指定为模拟输入或数字输入。

这个端口也可以用作时钟/蜂鸣器输出、外部中断请求输入、A/D 转换器模拟输入、串行接口数据输入/输出、时钟输入/输出和比较器输出。

产生复位信号后, P140 至 P146 被设置为输入模式, 并且 P147 被设置为模拟输入。

表 4-19. 使用端口 14 时寄存器的设置

引脚名称		PM14×	PIM14×	POM14×	PMC14×	复用功能设置	备注
名称	输入/输出						
P140	输入	1	—	—	—	×	
	输出	0				PCLBUZ0 输出 = 0 ^{注1}	
P141	输入	1	—	—	—	×	
	输出	0				PCLBUZ1 输出 = 0 ^{注1}	
P142	输入	1	0	×	—	×	CMOS 输入
		1	1	×		×	TTL 输入
	输出	0	×	0		SCK30/SCL30 输出 = 1 ^{注2}	CMOS 输出
		0	×	1			N 沟道 O.D. 输出
P143	输入	1	0	×	—	×	CMOS 输入
		1	1	×		×	TTL 输入
	输出	0	×	0		SDA30 输出 = 1 ^{注3}	CMOS 输出
		0	×	1			N 沟道 O.D. 输出
P144	输入	1	—	×	—	×	
	输出	0		0		SO30/TxD3 输出 = 1 ^{注3}	CMOS 输出
		0		1			N 沟道 O.D. 输出
P145、 P146	输入	1	—	—	—	×	
	输出	0				×	
P147	输入	1	—	—	0	×	
	输出	0			0	VCOU1 输出 = 0 ^{注4}	

注 1. 要将复用于时钟/蜂鸣器输出功能的引脚用作通用端口, 则须将时钟输出选择寄存器 i (CKSi) 的 PCLOEi 位设置为初始值。(i = 0, 1)

2. 要将复用于串行阵列单元功能的引脚用作通用端口, 则须将对应单元通道的串行输出寄存器 m (SOM) 的 CKOm_n 位、串行输出允许寄存器 m (SOEm) 的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm) 的 SEmn 位设置为初始值。(mn = 12)

3. 要将复用于串行阵列单元功能的引脚用作通用端口, 则须将对应单元通道的串行输出寄存器 m (SOM) 的 SOM_n 位、串行输出允许寄存器 m (SOEm) 的 SOEm_n 位以及串行通道允许状态寄存器 m (SEm) 的 SEmn 位设置为初始值。(mn = 12)

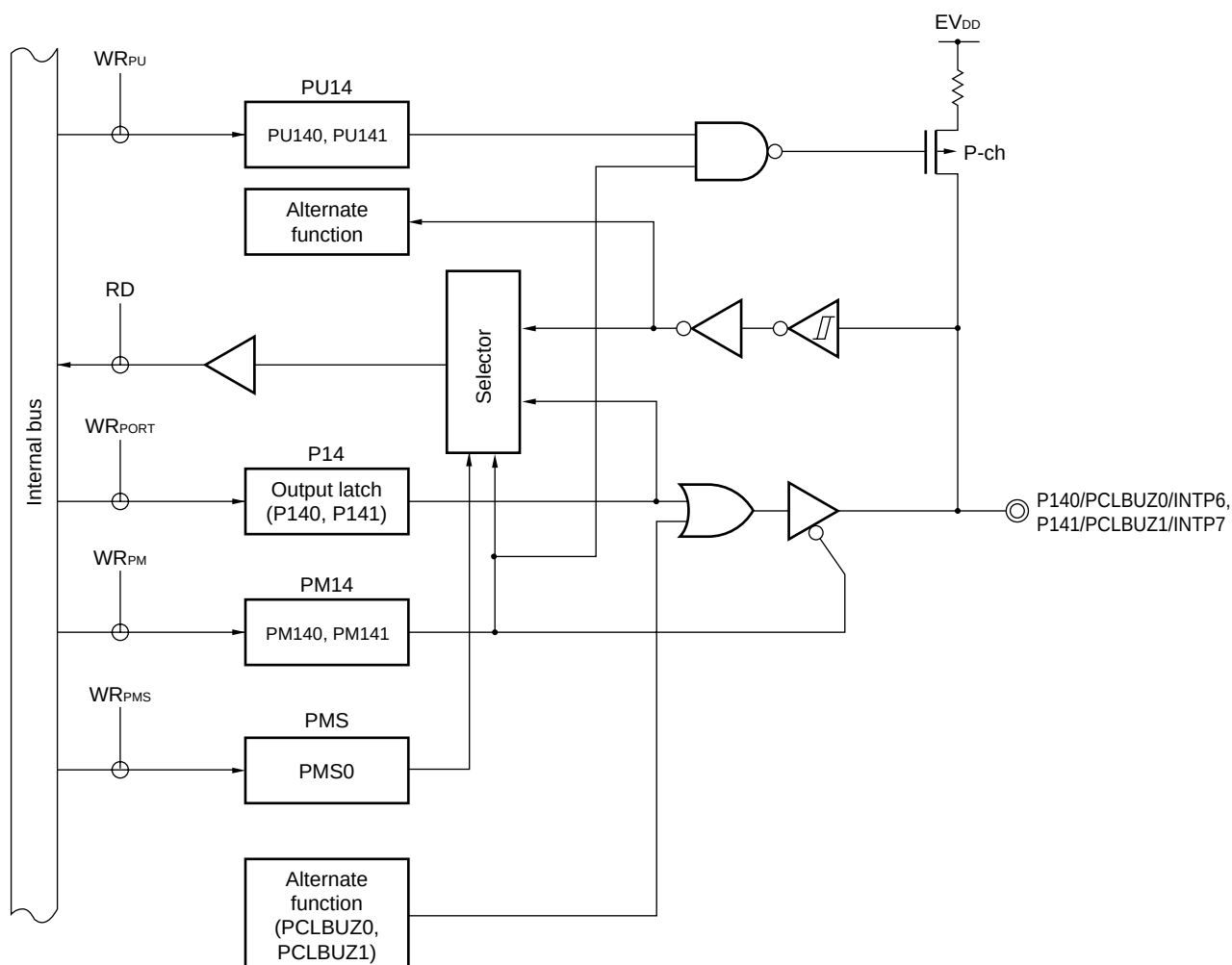
注 4. 配备 96KB 或更大代码闪存的产品中，要将复用于比较器输出功能的引脚用作通用端口，则须将比较器输出控制寄存器(COMPOCR)的 CnOE 位设置为初始值。(n = 1)

备注 x: 忽略

PM14x:	端口模式寄存器 14
PIM14x:	端口输入模式寄存器 14
POM14x:	端口输出模式寄存器 14
PMC14x:	端口模式控制寄存器 14

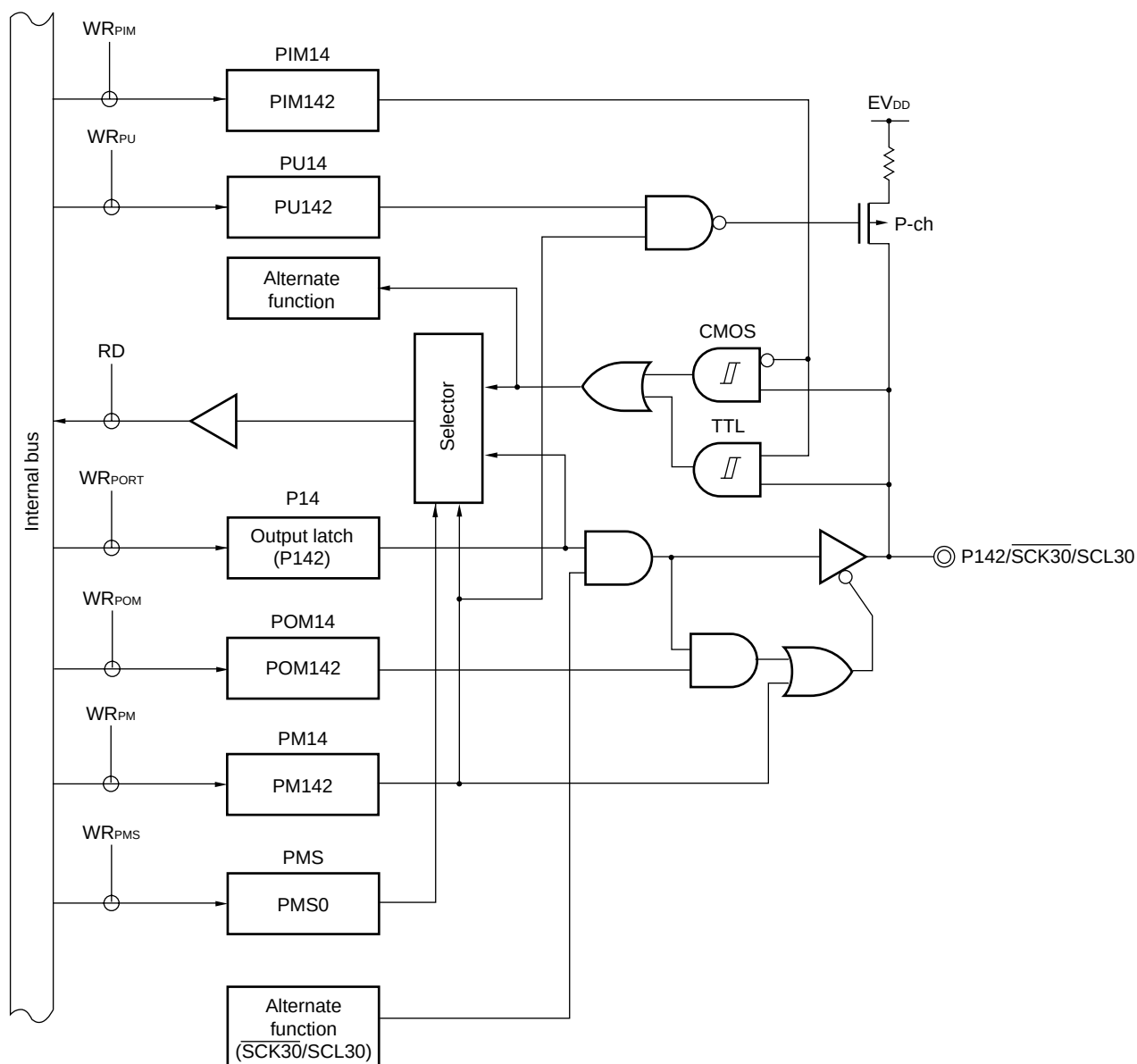
例如，100 针产品中端口 14 的框图如图 4-52 至 4-57 所示。

图 4-52. P140 和 P141 的框图



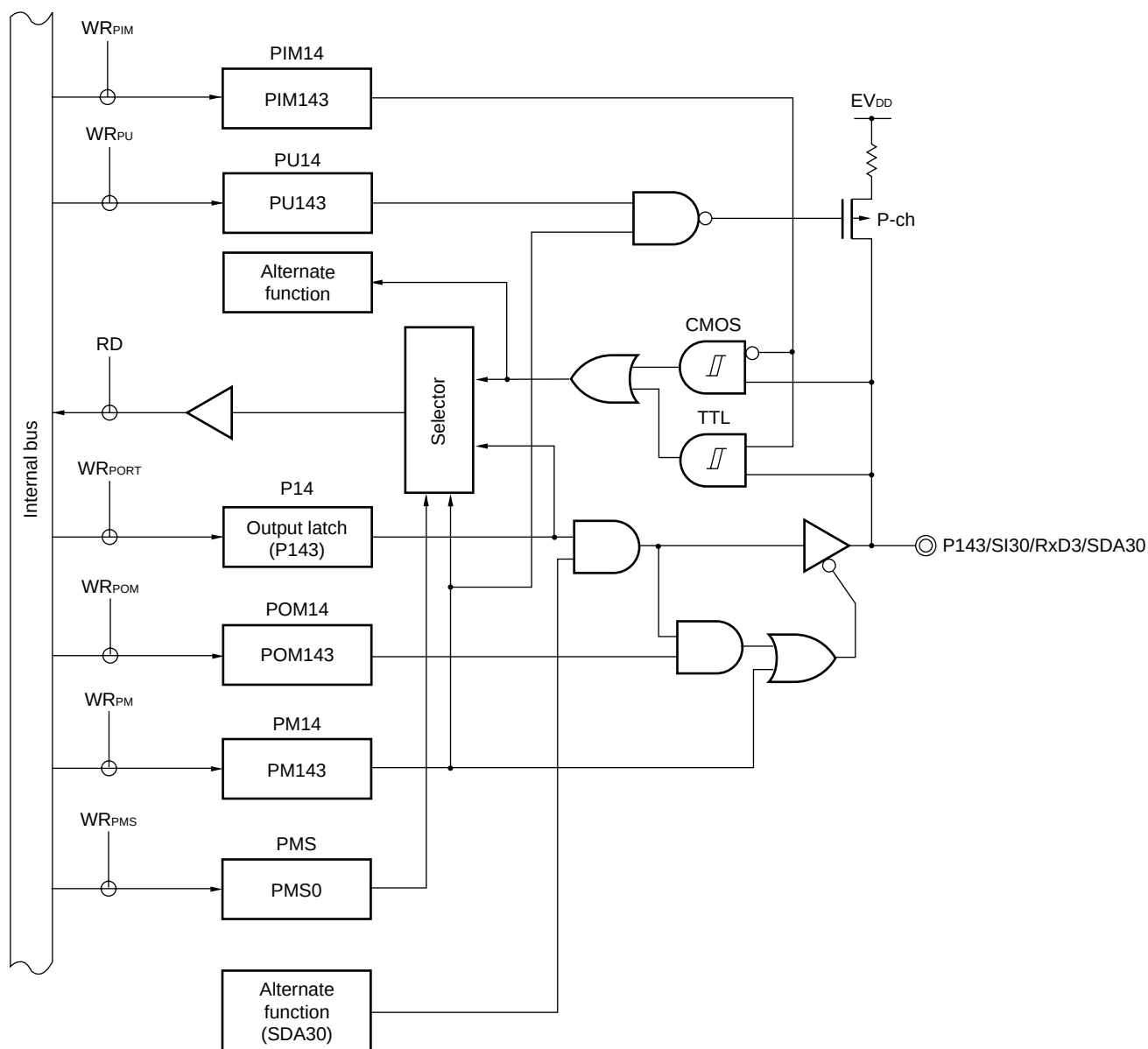
- P14: 端口寄存器 14
 PU14: 上拉电阻选项寄存器 14
 PM14: 端口模式寄存器 14
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-53. P142 的框图



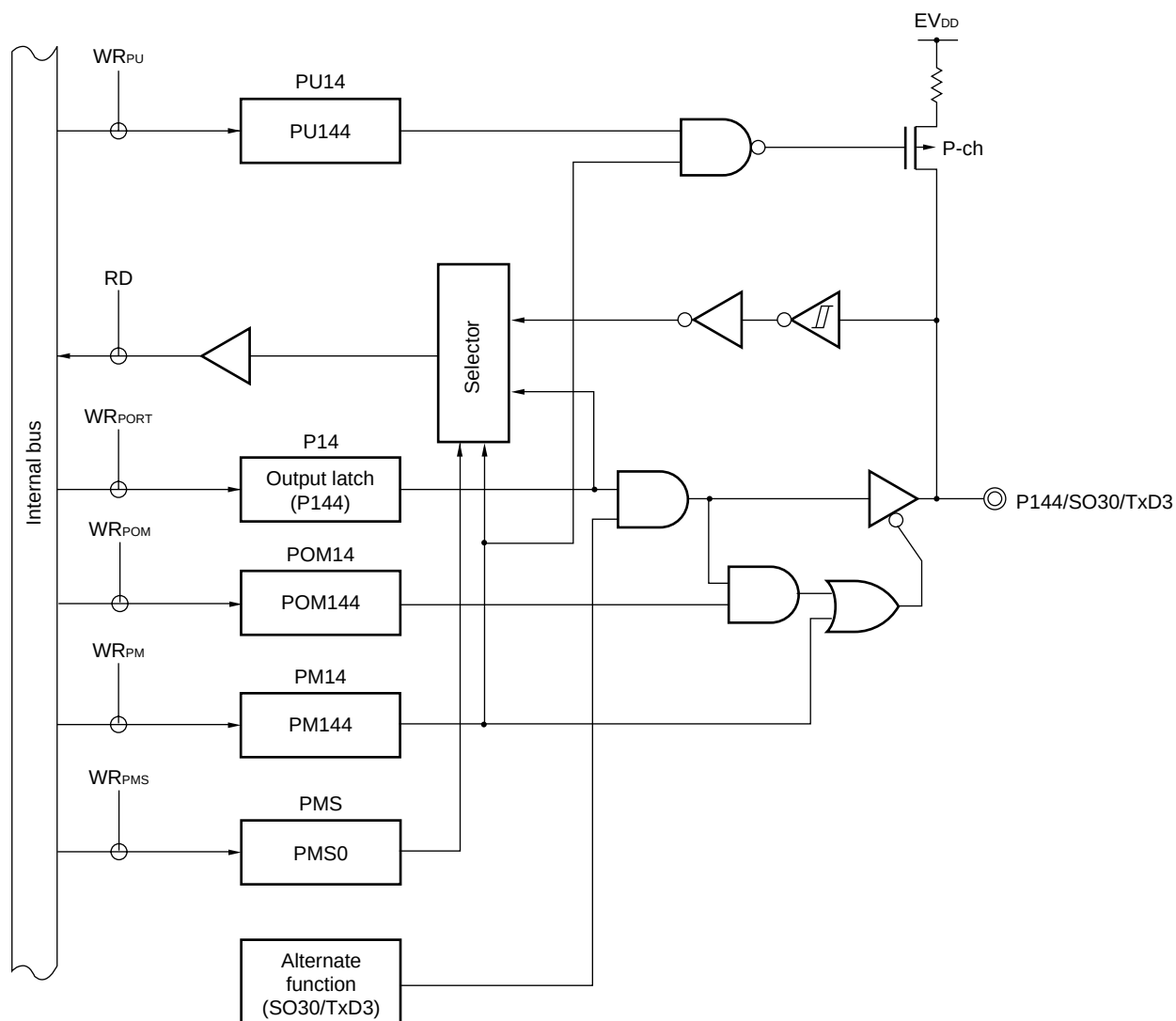
- P14: 端口寄存器 14
 PU14: 上拉电阻选项寄存器 14
 PM14: 端口模式寄存器 14
 PIM14: 端口输入模式寄存器 14
 POM14: 端口输出模式寄存器 14
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-54. P143 的框图



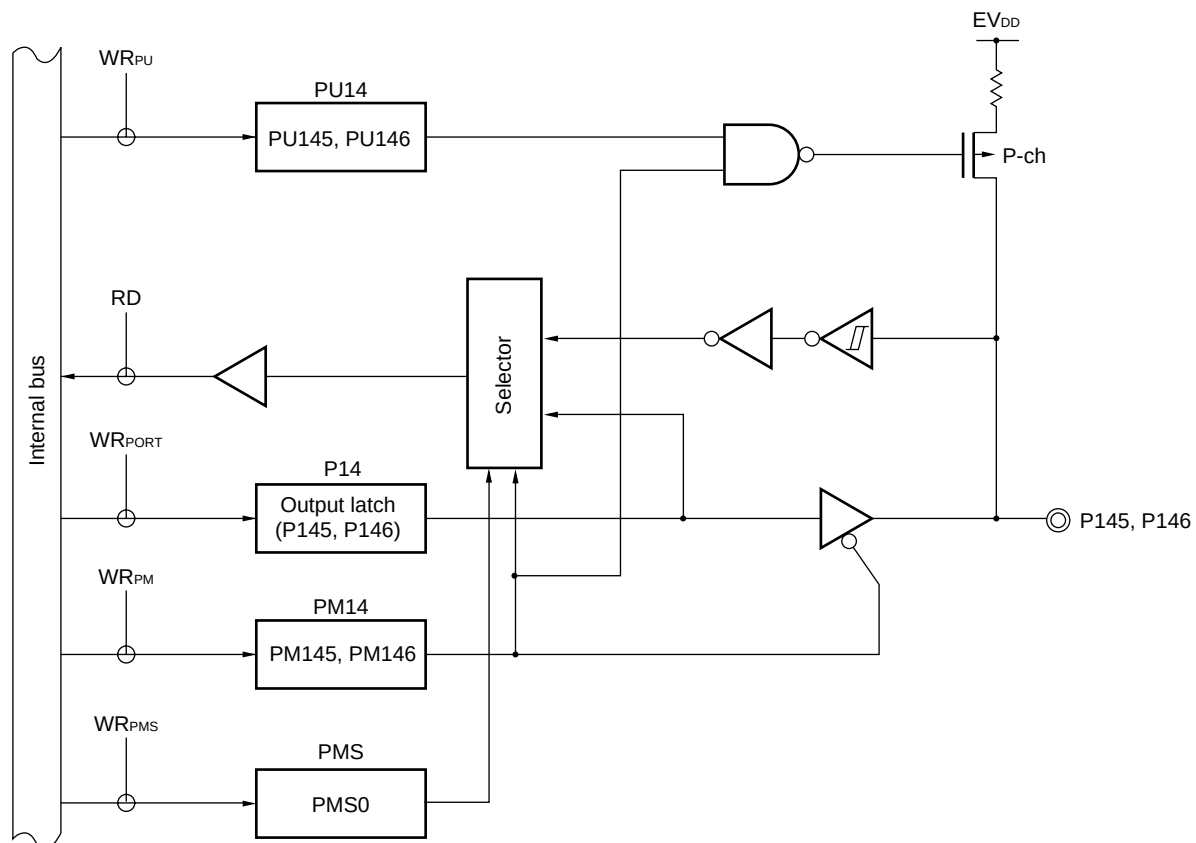
- P14: 端口寄存器 14
 PU14: 上拉电阻选项寄存器 14
 PM14: 端口模式寄存器 14
 PIM14: 端口输入模式寄存器 14
 POM14: 端口输出模式寄存器 14
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-55. P144 的框图



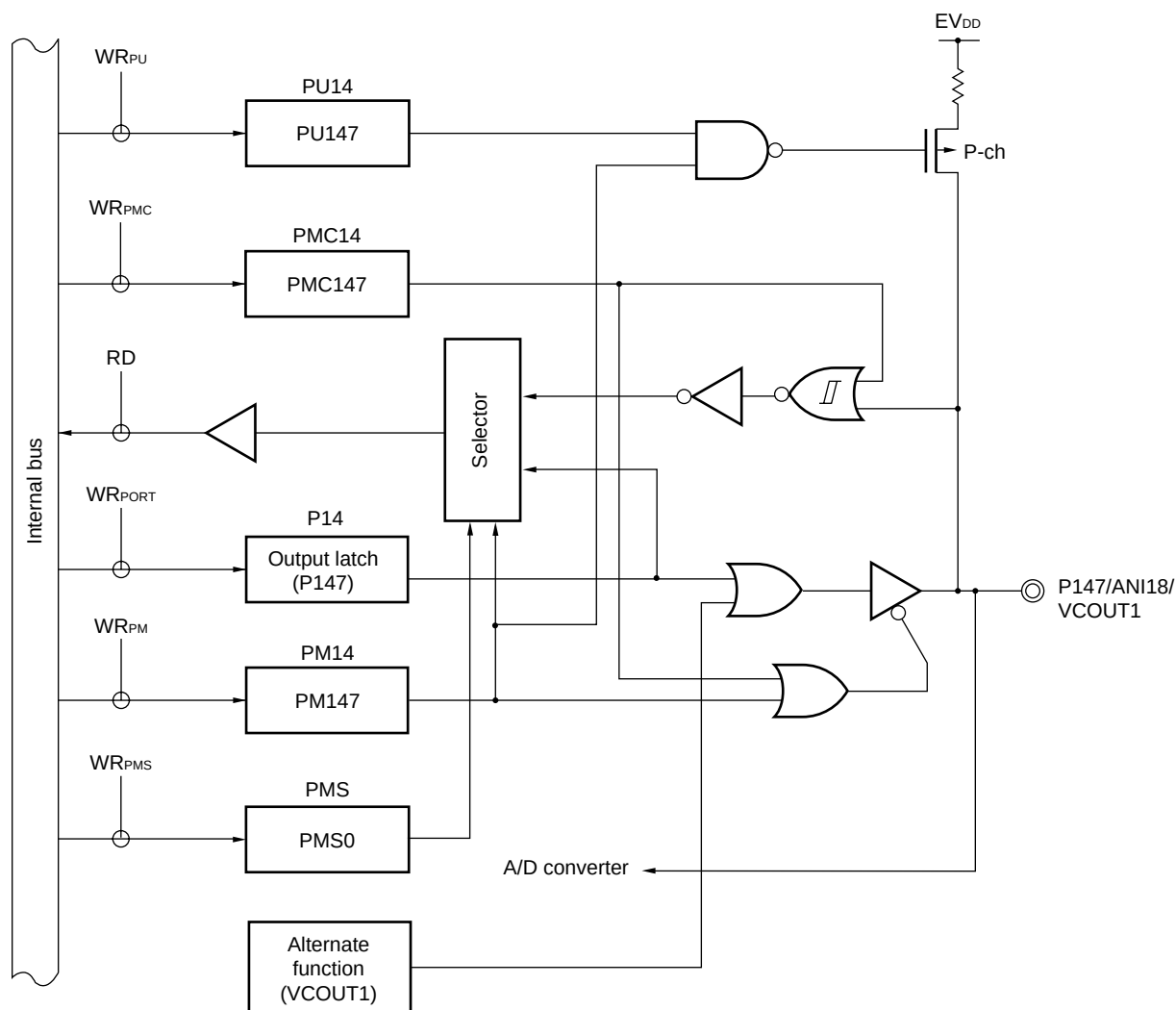
- P14: 端口寄存器 14
 PU14: 上拉电阻选项寄存器 14
 PM14: 端口模式寄存器 14
 POM14: 端口输出模式寄存器 14
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4-56. P145 和 P146 的框图



- P14: 端口寄存器 14
 PU14: 上拉电阻选项寄存器 14
 PM14: 端口模式寄存器 14
 PMS: 端口输出模式寄存器
 RD: 读取信号
 WR_{xx}: 写入信号

图 4-57. P147 的框图



- P14:** 端口寄存器 14
PU14: 上拉电阻选项寄存器 14
PM14: 端口模式寄存器 14
PMC14: 端口模式控制寄存器 14
PMS: 端口输出模式寄存器
RD: 读取信号
WRxx: 写入信号

4.2.15 端口 15

端口 15 是具有输出锁存器的输入/输出端口。端口 15 可以通过端口模式寄存器 15(PM15)按 1 位单位设为输入模式或输出模式。

这个端口也可以用作 A/D 转换器模拟输入。

将 P150/ANI8 至 P156/ANI14 用作数字输入引脚时，通过 A/D 端口配置寄存器(ADPC)将其设置为数字输入/输出模式，并通过 PM15 寄存器将其设置为输入模式。从高位开始使用这些引脚。

将 P150/ANI8 至 P156/ANI14 用作数字输出引脚时，通过 ADPC 寄存器将其设置为数字输入/输出模式，并通过 PM15 寄存器将其设置为输出模式。

将 P150/ANI8 至 P156/ANI14 用作模拟输入引脚时，通过 A/D 端口配置寄存器(ADPC)将其设置为模拟输入模式，并通过 PM15 寄存器将其设置为输入模式。从低位开始使用这些引脚。

表 4-20. 使用端口 15 时寄存器的设置

引脚名称		PM15x	ADPC	复用功能设置	备注
名称	输入/输出				
P15n	输入	1	01H至 n+9H	—	将P15n用作端口时，从高位开始使用这些引脚。
	输出	0			

备注 1. PM15x: 端口模式寄存器 15

ADPC: A/D 端口配置寄存器

2. n = 0 至 6

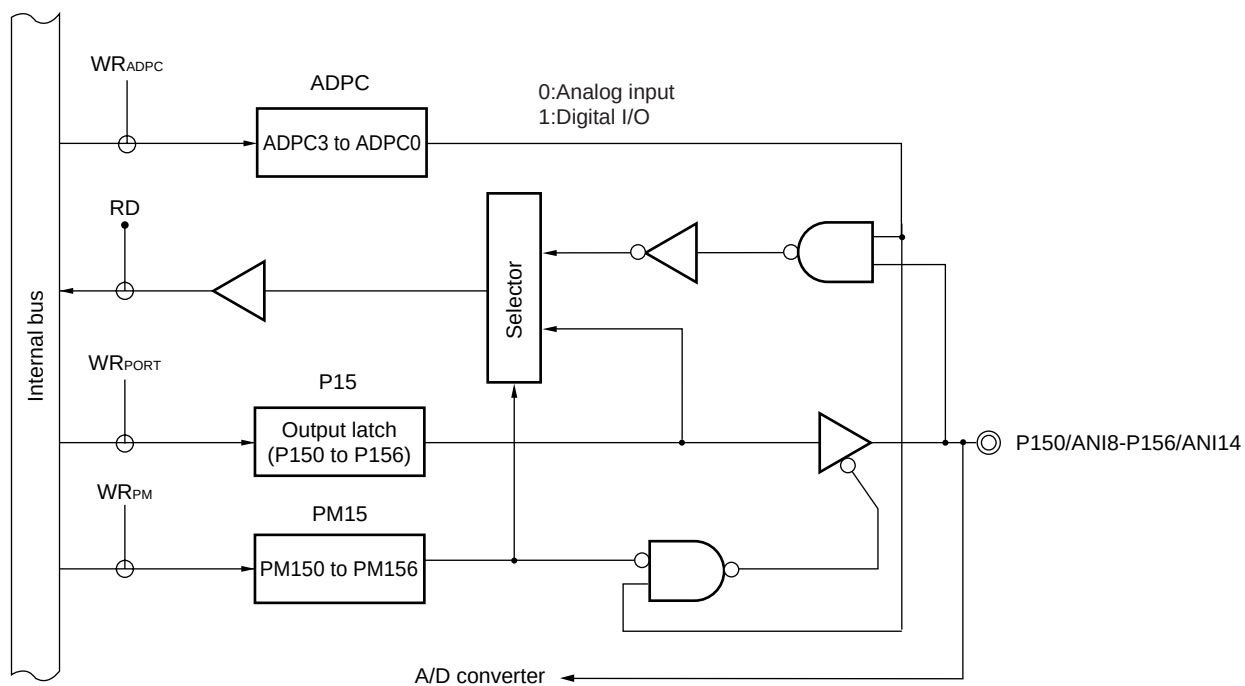
表 4-21. P150/ANI8 至 P156/ANI14 引脚功能的设置

ADPC寄存器	PM15寄存器	ADS寄存器	P150/ANI8至P156/ANI14引脚
数字输入/输出选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入选择	输入模式	选择ANI。	模拟输入 (将被转换)
		不选择ANI。	模拟输入 (不被转换)
	输出模式	选择ANI。	禁止设置
		不选择ANI。	

产生复位信号后，P150/ANI8 至 P156/ANI14 的所有引脚被设置为模拟输入模式。

例如，100 针产品中端口 15 的框图如图 4-58 所示。

图 4-58. P150 至 P156 的框图



ADPC: A/D 端口配置寄存器

P15: 端口寄存器 15

PM15: 端口模式寄存器 15

RD: 读取信号

WR_{xx}: 写入信号

4.3 控制端口功能的寄存器

利用以下寄存器控制端口。

- 端口模式寄存器(PMxx)
- 端口寄存器(Pxx)
- 上拉电阻选项寄存器(PUxx)
- 端口输入模式寄存器(PIMxx)
- 端口输出模式寄存器(POMxx)
- 端口模式控制寄存器 (PMCxx)
- A/D 端口配置寄存器(ADPC)
- 外围输入/输出重定向寄存器 0、1 (PIOR0, PIOR1)
- 全局数字输入禁止寄存器(GDIDIS)

表 4-22. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位
(30 针产品至 64 针产品) (1/3)

端口		位名称						64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器								
端口 0	0	PM00	P00	PU00	—	POM00	PMC00 ^{註1}	√	√	√	√	√	√	√	√
	1	PM01	P01	PU01	PIM01	—	PMC01 ^{註1}	√	√	√	√	√	√	√	√
	2	PM02	P02	PU02	—	POM02	PMC02	√	√	—	—	—	—	—	—
	3	PM03	P03	PU03	PIM03	POM03	PMC03	√	√	—	—	—	—	—	—
	4	PM04	P04	PU04	PIM04	POM04	—	√	—	—	—	—	—	—	—
	5	PM05	P05	PU05	—	—	—	√	—	—	—	—	—	—	—
	6	PM06	P06	PU06	—	—	—	√	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
端口 1	0	PM10	P10	PU10	PIM10	POM10	—	√	√	√	√	√	√	√	√
	1	PM11	P11	PU11	—	POM11	—	√	√	√	√	√	√	√	√
	2	PM12	P12	PU12	—	—	PMC12 ^{註2}	√	√	√	√	√	√	√	√
	3	PM13	P13	PU13	—	POM13	PMC13 ^{註2}	√	√	√	√	√	√	√	√
	4	PM14	P14	PU14	PIM14	POM14	—	√	√	√	√	√	√	√	√
	5	PM15	P15	PU15	PIM15	POM15	—	√	√	√	√	√	√	√	√
	6	PM16	P16	PU16	PIM16	—	PMC16 ^{註2}	√	√	√	√	√	√	√	√
	7	PM17	P17	PU17	PIM17	POM17	PMC17 ^{註2}	√	√	√	√	√	√	√	√
端口 2	0	PM20	P20	—	—	—	—	√	√	√	√	√	√	√	√
	1	PM21	P21	—	—	—	—	√	√	√	√	√	√	√	√
	2	PM22	P22	—	—	—	—	√	√	√	√	√	√	√	√
	3	PM23	P23	—	—	—	—	√	√	√	√	√	√	√	√
	4	PM24	P24	—	—	—	—	√	√	√	√	√	√	—	—
	5	PM25	P25	—	—	—	—	√	√	√	√	√	√	—	—
	6	PM26	P26	—	—	—	—	√	√	√	√	√	—	—	—
	7	PM27	P27	—	—	—	—	√	√	√	√	—	—	—	—

注 1. 仅限 30 针和 32 针产品。

2. 仅限 R5F104xF (x = A 至 C、E 至 G、J、L、M、P)、R5F104xG (x = A 至 C、E 至 G、J、L、M、P)、R5F104xH (x = E 至 G、J、L、M、P)。

表 4-22. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位
(30 针产品至 64 针产品) (2/3)

端口		位名称						64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器								
端口 3	0	PM30	P30	PU30	PIM30	POM30	—	√	√	√	√	√	√	√	√
	1	PM31	P31	PU31	—	—	—	√	√	√	√	√	√	√	√
	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
端口 4	0	PM40	P40	PU40	—	—	—	√	√	√	√	√	√	√	√
	1	PM41	P41	PU41	—	—	—	√	√	√	√	—	—	—	—
	2	PM42	P42	PU42	—	—	—	√	—	—	—	—	—	—	—
	3	PM43	P43	PU43	—	—	—	√	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
端口 5	0	PM50	P50	PU50	PIM50	POM50	—	√	√	√	√	√	√	√	√
	1	PM51	P51	PU51	—	POM51	—	√	√	√	√	√	√	√	√
	2	PM52	P52	PU52	—	—	—	√	—	—	—	—	—	—	—
	3	PM53	P53	PU53	—	—	—	√	—	—	—	—	—	—	—
	4	PM54	P54	PU54	—	—	—	√	—	—	—	—	—	—	—
	5	PM55	P55	PU55	PIM55	POM55	—	√	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
端口 6	0	PM60	P60	—	—	—	—	√	√	√	√	√	√	√	√
	1	PM61	P61	—	—	—	—	√	√	√	√	√	√	√	√
	2	PM62	P62	—	—	—	—	√	√	√	√	√	√	√	—
	3	PM63	P63	—	—	—	—	√	√	√	√	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
端口 7	0	PM70	P70	PU70	—	—	—	√	√	√	√	√	√	√	—
	1	PM71	P71	PU71	—	POM71	—	√	√	√	√	√	√	—	—
	2	PM72	P72	PU72	—	—	—	√	√	√	√	√	√	—	—
	3	PM73	P73	PU73	—	—	—	√	√	√	√	√	—	—	—
	4	PM74	P74	PU74	—	POM74	—	√	√	√	—	—	—	—	—
	5	PM75	P75	PU75	—	—	—	√	√	√	—	—	—	—	—
	6	PM76	P76	PU76	—	—	—	√	√	—	—	—	—	—	—
	7	PM77	P77	PU77	—	—	—	√	√	—	—	—	—	—	—

表 4-22. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位
(30 针产品至 64 针产品) (3/3)

端口		位名称						64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器								
端口 12	0	PM120	P120	PU120	—	—	PMC120	√	√	√	√	√	√	√	√
	1	—	P121	—	—	—	—	√	√	√	√	√	√	√	√
	2	—	P122	—	—	—	—	√	√	√	√	√	√	√	√
	3	—	P123	—	—	—	—	√	√	√	√	√	—	—	—
	4	—	P124	—	—	—	—	√	√	√	√	√	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
端口 13	0	—	P130	—	—	—	—	√	√	√	—	—	—	—	—
	1	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	√	√	√	√	√	√	√	√
端口 14	0	PM140	P140	PU140	—	—	—	√	√	√	—	—	—	—	—
	1	PM141	P141	PU141	—	—	—	√	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	PM146	P146	PU146	—	—	—	√	√	√	√	—	—	—	—
	7	PM147	P147	PU147	—	—	PMC147	√	√	√	√	√	√	√	√

表 4-23. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位
(80 针产品至 128 针产品) (1/4)

端口		位名称						100 针	80 针
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器		
端口 0	0	PM00	P00	PU00	—	POM00	—	√	√
	1	PM01	P01	PU01	PIM01	—	—	√	√
	2	PM02	P02	PU02	—	POM02	PMC02	√	√
	3	PM03	P03	PU03	PIM03	POM03	PMC03	√	√
	4	PM04	P04	PU04	PIM04	POM04	—	√	√
	5	PM05	P05	PU05	—	—	—	√	√
	6	PM06	P06	PU06	—	—	—	√	√
	7	—	—	—	—	—	—	—	—
端口 1	0	PM10	P10	PU10	PIM10	POM10	—	√	√
	1	PM11	P11	PU11	—	POM11	—	√	√
	2	PM12	P12	PU12	—	—	PMC12	√	√
	3	PM13	P13	PU13	—	POM13	PMC13	√	√
	4	PM14	P14	PU14	PIM14	POM14	—	√	√
	5	PM15	P15	PU15	PIM15	POM15	—	√	√
	6	PM16	P16	PU16	PIM16	—	PMC16	√	√
	7	PM17	P17	PU17	PIM17	POM17	PMC17	√	√
端口 2	0	PM20	P20	—	—	—	—	√	√
	1	PM21	P21	—	—	—	—	√	√
	2	PM22	P22	—	—	—	—	√	√
	3	PM23	P23	—	—	—	—	√	√
	4	PM24	P24	—	—	—	—	√	√
	5	PM25	P25	—	—	—	—	√	√
	6	PM26	P26	—	—	—	—	√	√
	7	PM27	P27	—	—	—	—	√	√
端口 3	0	PM30	P30	PU30	PIM30	POM30	—	√	√
	1	PM31	P31	PU31	—	—	—	√	√
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—

表 4-23. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCxx 寄存器和其的位
(80 针产品和 100 针产品) (2/4)

端口		位名称						100 针	80 针
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器		
端口 4	0	PM40	P40	PU40	—	—	—	√	√
	1	PM41	P41	PU41	—	—	—	√	√
	2	PM42	P42	PU42	—	—	—	√	√
	3	PM43	P43	PU43	PIM43	POM43	—	√	√
	4	PM44	P44	PU44	PIM44	POM44	—	√	√
	5	PM45	P45	PU45	—	POM45	—	√	√
	6	PM46	P46	PU46	—	—	—	√	—
	7	PM47	P47	PU47	—	—	—	√	—
端口 5	0	PM50	P50	PU50	PIM50	POM50	—	√	√
	1	PM51	P51	PU51	—	POM51	—	√	√
	2	PM52	P52	PU52	—	POM52	—	√	√
	3	PM53	P53	PU53	PIM53	POM53	—	√	√
	4	PM54	P54	PU54	PIM54	POM54	—	√	√
	5	PM55	P55	PU55	PIM55	POM55	—	√	√
	6	PM56	P56	PU56	—	—	—	√	—
	7	PM57	P57	PU57	—	—	—	√	—
端口 6	0	PM60	P60	—	—	—	—	√	√
	1	PM61	P61	—	—	—	—	√	√
	2	PM62	P62	—	—	—	—	√	√
	3	PM63	P63	—	—	—	—	√	√
	4	PM64	P64	PU64	—	—	—	√	√
	5	PM65	P65	PU65	—	—	—	√	√
	6	PM66	P66	PU66	—	—	—	√	√
	7	PM67	P67	PU67	—	—	—	√	√
端口 7	0	PM70	P70	PU70	—	—	—	√	√
	1	PM71	P71	PU71	—	POM71	—	√	√
	2	PM72	P72	PU72	—	—	—	√	√
	3	PM73	P73	PU73	—	—	—	√	√
	4	PM74	P74	PU74	—	POM74	—	√	√
	5	PM75	P75	PU75	—	—	—	√	√
	6	PM76	P76	PU76	—	—	—	√	√
	7	PM77	P77	PU77	—	—	—	√	√
端口 8	0	PM80	P80	PU80	PIM80	POM80	—	√	—
	1	PM81	P81	PU81	PIM81	POM81	—	√	—
	2	PM82	P82	PU82	—	POM82	—	√	—
	3	PM83	P83	PU83	—	—	—	√	—
	4	PM84	P84	PU84	—	—	—	√	—
	5	PM85	P85	PU85	—	—	—	√	—
	6	PM86	P86	PU86	—	—	—	√	—
	7	PM87	P87	PU87	—	—	—	√	—

表 4-23. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位
(80 针产品和 100 针产品) (3/4)

端口		位名称						100 针	80 针
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器		
端口 10	0	PM100	P100	PU100	—	—	PMC110	√	√
	1	PM101	P101	PU101	—	—	—	√	—
	2	PM102	P102	PU102	—	—	—	√	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
端口 11	0	PM110	P110	PU110	—	—	—	√	√
	1	PM111	P111	PU111	—	—	—	√	√
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
端口 12	0	PM120	P120	PU120	—	—	PMC120	√	√
	1	—	P121	—	—	—	—	√	√
	2	—	P122	—	—	—	—	√	√
	3	—	P123	—	—	—	—	√	√
	4	—	P124	—	—	—	—	√	√
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
端口 13	0	—	P130	—	—	—	—	√	√
	1	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	√	√

表 4-23. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位
(80 针产品和 100 针产品) (4/4)

端口		位名称						100 针	80 针
		PMxx 寄存器	Pxx 寄存器	PUxx 寄存器	PIMxx 寄存器	POMxx 寄存器	PMCxx 寄存器		
端口 14	0	PM140	P140	PU140	—	—	—	√	√
	1	PM141	P141	PU141	—	—	—	√	√
	2	PM142	P142	PU142	PIM142	POM142	—	√	√
	3	PM143	P143	PU143	PIM143	POM143	—	√	√
	4	PM144	P144	PU144	—	POM144	—	√	√
	5	PM145	P145	PU145	—	—	—	√	—
	6	PM146	P146	PU146	—	—	—	√	√
	7	PM147	P147	PU147	—	—	PMC147	√	√
端口 15	0	PM150	P150	—	—	—	—	√	√
	1	PM151	P151	—	—	—	—	√	√
	2	PM152	P152	—	—	—	—	√	√
	3	PM153	P153	—	—	—	—	√	√
	4	PM154	P154	—	—	—	—	√	—
	5	PM155	P155	—	—	—	—	√	—
	6	PM156	P156	—	—	—	—	√	—
	7	—	—	—	—	—	—	—	—

每个寄存器的格式如下所述。在此以 100 针产品为例进行描述。

关于 100 针以外产品上所安装的寄存器，请参阅表 4-22 和 4-23。

(1) 端口模式寄存器(PMxx)

该寄存器按 1 位单位指定端口的输入模式或输出模式。

使用 1 位或 8 位存储器操作指令来设置该寄存器。

产生复位信号后，该寄存器被设置为 FFH。

当端口引脚用作复用引脚时，端口模式寄存器的设置请参阅 4.5 使用复用功能时端口模式寄存器和输出锁寄存器的设置。

图 4-59. 端口模式寄存器的格式 (100 针产品)

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM10	1	1	1	1	1	PM102	PM101	PM100	FFF2AH	FFH	R/W
PM11	1	1	1	1	1	1	PM111	PM110	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	1	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	选择 Pmn 引脚的输入/输出模式 (m = 0 至 8、10 至 12、14、15; n = 0 至 7)
0	输出模式 (输出缓冲器 on)
1	输入模式 (输出缓冲器 off)

注意事项 务必将 PM0 寄存器的位 7、PM3 寄存器的位 2 至位 7、PM10 寄存器的位 3 至位 7、PM11 寄存器的位 2 至位 7、PM12 寄存器的位 1 至位 7 以及 PM15 寄存器的位 7 设置为“1”。

(2) 端口寄存器(Pxx)

该寄存器设置端口的输出锁存器值。

如果输入模式时读取数据，将得到引脚电平。如果输出模式时读取，将会得到输出锁存器值[※]。

使用 1 位或 8 位存储器操作指令来设置该寄存器。

产生复位信号后，该寄存器被清除为 00H。

注 如果 P02、P03、P20 至 P27、P100、P120 和 P147 被设为 A/D 转换器的模拟输入或者 P12、P13、P16 和 P17 被设为比较器的模拟输入，或者在输入模式下读取端口时，将始终返回 0 而非引脚电平。

图 4-60. 端口寄存器的格式 (100 针产品)

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H(输出锁存器)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H(输出锁存器)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H(输出锁存器)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H(输出锁存器)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H(输出锁存器)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H(输出锁存器)	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H(输出锁存器)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H(输出锁存器)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H(输出锁存器)	R/W
P10	0	0	0	0	0	P102	P101	P100	FFF0AH	00H(输出锁存器)	R/W
P11	0	0	0	0	0	0	P111	P110	FFF0BH	00H(输出锁存器)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不确定	R/W [※]
P13	P137	0	0	0	0	0	0	P130	FFF0DH	不确定	R/W [※]
P14	P147	P146	P145	P144	P143	P142	P141	P140	FFF0EH	00H(输出锁存器)	R/W
P15	0	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H(输出锁存器)	R/W
Pmn	m = 0 至 8、10 至 15; n = 0 至 7										
	输出数据控制 (输出模式时)				输入数据读取 (输入模式时)						
0	输出 0				输入低电平						
1	输出 1				输入高电平						

注 P121 至 P124 和 P137 为 Read Only。

(3) 上拉电阻选项寄存器(PUxx)

该寄存器指定是否使用片上上拉电阻。对于已在上拉电阻选项寄存器中指定使用片上上拉电阻的引脚，只能在设为输入模式的位（ $PMmn = 1$ 且 $POMmn = 0$ ）上以位单位使用片上上拉电阻。无论该寄存器如何设置，片内上拉电阻不得连接至设为输出模式的位以及用作复用功能输出引脚的位。

使用 1 位或 8 位存储器操作指令来设置该寄存器。

产生复位信号后，该寄存器被清除为 00H（仅设置 PU4 为 01H）。

图 4-61. 上拉电阻选项寄存器的格式(100 针产品)

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	PU87	PU86	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU10	0	0	0	0	0	PU102	PU101	PU100	F003AH	00H	R/W
PU11	0	0	0	0	0	0	PU111	PU110	F003BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	PU146	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W

PUmn	选择 Pmn 引脚片上上拉电阻 (m = 0、1、3 至 8、10 至 12、14; n = 0 至 7)
0	不连接片上上拉电阻
1	连接片上上拉电阻

(4) 端口输入模式寄存器(PIM0、PIM1、PIM3 至 PIM5、PIM8、PIM14)

该寄存器按 1 位单位设置 P01、P03、P04、P10、P14 至 P17、P30、P43、P44、P50、P53 至 P55、P80、P81、P142 和 P143 引脚的输入缓冲器。

可以在与电平不同的外部器件进行串行通信期间选择 TTL 输入缓冲器。

使用 1 位或 8 位存储器操作指令来设置该寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 4-62. 端口输入模式寄存器的格式(100 针产品)

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PIM0	0	0	0	PIM04	PIM03	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	0	0	0	PIM10	F0041H	00H	R/W
PIM3	0	0	0	0	0	0	0	PIM30	F0043H	00H	R/W
PIM4	0	0	0	PIM44	PIM43	0	0	0	F0044H	00H	R/W
PIM5	0	0	PIM55	PIM54	PIM53	0	0	PIM50	F0045H	00H	R/W
PIM8	0	0	0	0	0	0	PIM81	PIM80	F0048H	00H	R/W
PIM14	0	0	0	0	PIM143	PIM142	0	0	F004EH	00H	R/W
PIMmn	选择 Pmn 引脚的输入缓冲器 (m = 0、1、3 至 5、8、14; n = 0 至 7)										
0	正常输入缓冲器										
1	TTL 输入缓冲器										

(5) 端口输出模式寄存器(POM0、POM1、POM3 至 POM5、POM7、POM8、POM14)

该寄存器按 1 位单位设置 P00、P02 至 P04、P10、P11、P13 至 P15、P17、P30、P43 至 P45、P50 至 P55、P71、P74、P80 至 P82、P142 至 P144 引脚的输出模式。

可以在与电位不同的外部器件进行串行通信期间选择 N 沟道开路漏极输出（EV_{DD0} 容限）模式，同时，可以在与电位相同的外部器件进行简化 I²C 通信期间为 SDA00、SDA01、SDA10、SDA11、SDA20、SDA21、SDA30 和 SDA31 引脚选择这种模式。

使用 1 位或 8 位存储器操作指令来设置该寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 4-63. 端口输入模式寄存器的格式(100 针产品)

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
POM0	0	0	0	POM04	POM03	POM02	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	0	POM11	POM10	F0051H	00H	R/W
POM3	0	0	0	0	0	0	0	POM30	F0053H	00H	R/W
POM4	0	0	POM45	POM44	POM43	0	0	0	F0054H	00H	R/W
POM5	0	0	POM55	POM54	POM53	POM52	POM51	POM50	F0055H	00H	R/W
POM7	0	0	0	POM74	0	0	POM71	0	F0057H	00H	R/W
POM8	0	0	0	0	0	POM82	POM81	POM80	F0058H	00H	R/W
POM14	0	0	0	POM144	POM143	POM142	0	0	F005EH	00H	R/W

POMmn	选择 Pmn 引脚的输出模式 (m = 0、1、3 至 5、7、8、14; n = 0 至 5、7)
0	正常输出模式
1	N 沟道开路漏极输出(EV _{DD0} 耐压)模式

(6) 端口模式控制寄存器(PMC0、PMC1、PMC10、PMC12、PMC14)

该寄存器按 1 位单位设置 P02、P03、P12、P13、P16、P17、P100、P120 和 P147 为数字输入/输出/模拟输入。

使用 1 位或 8 位存储器操作指令来设置该寄存器。

发生复位信号后，清除该寄存器为 FFH。

图 4-64. 端口模式控制寄存器的格式(100 针产品)

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PMC0	1	1	1	1	PMC03 ^{注2}	PMC02 ^{注2}	PMC01 ^{注1}	PMC00 ^{注1}	F0060H	FFH	R/W
PMC1	PMC17 ^{注3}	PMC16 ^{注3}	0	0	PMC13 ^{注3}	PMC12 ^{注3}	0	0	F0061H	00H	R/W
PMC10	1	1	1	1	1	1	1	PMC100 ^{注4}	F006AH	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	PMC147	1	1	1	1	1	1	1	F006EH	FFH	R/W
PMCMn	选择 Pmn 引脚的数字输入/输出，模拟输入 (m = 0、1、10、12、14；n = 0、2、3、6、7)										
0	数字输入/输出(模拟输入以外的复用功能)										
1	模拟输入										

注 1. 仅限 30、32 针产品

2. 仅限 52、64、80、100 针产品

3. 仅限具有 96 KB 或更大的代码闪存的产品

4. 仅限 80、100 针产品

(7) A/D 端口配置寄存器(ADPC)

该寄存器将 P20/ANI0、P21/ANI1、P22/ANI2/ANO0、P23/ANI3/ANO1、P24/ANI4 至 P27/ANI7、ANI8/P150 至 ANI14/P156 引脚在端口的数字输入/输出模式与 A/D 转换器的模拟输入模式之间切换，并且将 P22/ANO0/ANI2 和 P23/ANO1/ANI3 引脚在端口的数字输入/输出模式与 A/D 转换器的模拟输入模式之间切换。

使用 8 位存储器操作指令来设置 ADPC 寄存器。

产生复位信号后，该寄存器被设置为 00H。

图 4-65. A/D 端口配置寄存器(ADPC)的格式

地址: F0076H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

				模拟输入/输出(A) / 数字输入/输出(D)切换															
ADPC3	ADPC2	ADPC1	ADPC0	ANI14/P156	ANI13/P155	ANI12/P154	ANI11/P153	ANI10/P152	ANI9/P151	ANI8/P150	ANI7/P27	ANI6/P26	ANI5/P25	ANI4/P24	ANI3/ANO1/P23	ANI2/ANO0/P22	ANI1/P21	ANI0/P20	
0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	
0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	
0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	
0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	
0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	
0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	
0	1	1	0	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	
0	1	1	1	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	
1	0	0	0	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	
1	0	0	1	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	
1	0	1	0	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	
1	0	1	1	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	
1	1	0	0	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	
1	1	0	1	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	
1	1	1	0	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	
1	1	1	1	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	
其它				禁止设置															

- 注意事项
1. 通过端口模式寄存器 2、15(PM2, PM15)将用于 A/D 转换的通道设置为输入模式。
 2. 通过端口模式寄存器 2 (PM2)将用于 D/A 转换的通道设置为输入模式。
 3. 对于由 ADPC 寄存器设置为数字输入/输出的引脚，不要用模拟输入通道指定寄存器(ADS)进行设置。
 4. 当允许 D/A 转换操作时，对于由 ADPC 寄存器设置为数字输入/输出的引脚，不要用 D/A 转换器模式寄存器(DAM)进行设置。

(8) 外围输入/输出重定向寄存器 0 (PIOR0)

该寄存器用于指定是否允许或禁止外围输入/输出重定向功能。

该功能用于切换被分配了复用功能的端口。

使用 8 位存储器操作指令来设置 PIOR0 寄存器。

产生复位信号后，该寄存器被设置为 00H。

图 4-66. 外围输入/输出重定向寄存器 0 (PIOR0)的格式

地址: F0077H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
PIOR0	0	0	PIOR05	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00

位	功能	100针		80针		64针		52针		48针		44针		40/36/32/30针	
		设定值		设定值		设定值		设定值		设定值		设定值		设定值	
		0	1	0	1	0	1	0	1	0	1	0	1	0	1
PIOR05	INTP1	P46	P56	不可使用该区域。请设置为0 (初始值)。											
	INTP3	P30	P57												
	INTP4	P31	P146												
	INTP6	P140	P84												
	INTP7	P141	P85												
	INTP8	P74	P86												
	INTP9	P75	P87												
	TxD1	P02	P82												
	RxD1	P03	P81												
	SCL10	P04	P80												
	SDA10	P03	P81												
	SI10	P03	P81												
	SO10	P02	P82												
	SCK10	P04	P80												
PIOR04	PCLBUZ1	P141	P55	P141	P55	P141	P55								
	INTP5	P16	P12	P16	P12	P16	P12								
PIOR03	PCLBUZ0	P140	P31	P140	P31	P140	P31	P140	P31	P140	P31				
PIOR02	SCLA0	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14
	SDAA0	P61	P15	P61	P15	P61	P15	P61	P15	P61	P15	P61	P15	P61	P15
PIOR01	INTP10	P76	P100	P76	P100	P76	P05	P76	—	—	—	—	—	—	—
	INTP11	P77	P110	P77	P110	P77	P06	P77	—	—	—	—	—	—	—
	TxD2	P13	P77	P13	P77	P13	P77	P13	P77	P13	—	P13	—	P13	—
	RxD2	P14	P76	P14	P76	P14	P76	P14	P76	P14	—	P14	—	P14	—
	SCL20	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—
	SDA20	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—
	SI20	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—
	SO20	P13	—	P13	—	P13	—	P13	—	P13	—	P13	—	P13	—
	SCK20	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—
	TxD0	P51	P17	P51	P17	P51	P17	P51	P17	P51	P17	P51	P17	P51	P17
	RxD0	P50	P16	P50	P16	P50	P16	P50	P16	P50	P16	P50	P16	P50	P16
	SCL00	P30	—	P30	—	P30	—	P30	—	P30	—	P30	—	P30	—
	SDA00	P50	—	P50	—	P50	—	P50	—	P50	—	P50	—	P50	—
	SI00	P50	P16	P50	P16	P50	P16	P50	—	P50	—	P50	—	P50	—
PIOR00	SO00	P51	P17	P51	P17	P51	P17	P51	—	P51	—	P51	—	P51	—
	SCK00	P30	P55	P30	P55	P30	P55	P30	—	P30	—	P30	—	P30	—
	INTP1	不可使用该区域。请设置为0 (初始值)。		P50	P52	P50	P52	不可使用该区域。请设置为0 (初始值)。							
	INTP2			P51	P53	P51	P53								
	INTP3			P30	P54	P30	P54								
	INTP4			P31	P55	P31	P55								
	INTP8			P74	P42	P74	P42								
	INTP9			P75	P43	P75	P43								

(注意事项如下页所示。)

- 注意事项**
1. 如果将 PIOR0 寄存器的位 1(PIOR01)设置为 1, 则 TxD2 和 RxD2 引脚被重定向, 但 SCL20、SDA20、SI20、SO20、SCK20 引脚不被重定向。因此, 在设置中不能使用 IIC20 和 CSI20。然而, 即使该位被设为 1, 如果不使用 UART2, 则可以使用 CSI21/IIC21。
 2. 如果 PIOR0 寄存器的位 1 (PIOR01)被设置为 1, 即使在 52 针或 52 针以下的产品中, SO00 和 SI00 引脚将被重定向, 但 SCK00 引脚不会被重定向。因此, CSI00 不能用于其设置。

(9) 外围输入/输出重定向寄存器 1 (PIOR1)

该寄存器用于指定是否允许或禁止外围输入/输出重定向功能。

该功能用于切换被分配了复用功能的端口。

使用 8 位存储器操作指令来设置 PIOR 寄存器。

产生复位信号后, 该寄存器被设置为 00H。

图 4-67. 外围输入/输出重定向寄存器 1 (PIOR1)的格式

地址: F0079H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
PIOR1	0	0	0	0	PIOR13	PIOR12	PIOR11	PIOR10

PIOR13	PIOR12	定时器RJ TRJO0引脚选择
0	0	复用为P30/INTP3/RTC1HZ/SCK00/SCL00
0	1	复用为P50/SI00/RxD0/TOOLRxD/SDA00/TRGIOA
1	0	复用为P00/TI00/TRGCLKA
1	1	禁止设置

PIOR11	PIOR10	定时器RJ TRJIO0引脚选择
0	0	复用为P01/TO00/TRGCLKB
0	1	复用为P31/TI03/TO03/INTP4
1	0	复用为P41 (仅限44针、48针、52针、64针、80针和100针产品)
1	1	复用为P06 (仅限64针、80针和100针产品)

(10) 全局数字输入禁止寄存器(GDIDIS)

该寄存器用于防止 EV_{DD} 为 0V 时输入缓冲器的贯穿电流。

通过将 GDIDIS0 位设为 1，禁止向连接至 EV_{DD} 的任何输入缓冲器输入，从而防止连接至 EV_{DD} 的电源关闭时的贯穿电流，

使用 GDIDIS 寄存器时，务必在关闭 EV_{DD} 电源之前，把 GDIDIS0 位设为 1，并在打开 EV_{DD} 电源后把 GDIDIS0 位设为 0。

使用 1 位或 8 位存储器操作指令来设置 GDIDIS 寄存器。

产生复位信号后，该寄存器被设置为 00H。

图 4-68. 全局数字输入禁止寄存器(GDIDIS)的格式

地址: F007DH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	当 EV_{DD} 为0 V时输入缓冲器的设置
0	允许输入到输入缓冲器(默认)
1	禁止输入到输入缓冲器。防止贯穿电流进入输入缓冲器。

4.4 端口功能的操作

端口操作因设置的是输入模式还是输出模式而不同，如下所示。

4.4.1 写入输入/输出端口

(1) 输出模式

通过传送指令向输出锁存器写入值，输出锁存器的内容则从引脚输出。

写入输出锁存器的数据一直被保留，直到再次有数据被写入输出锁存器。

产生复位信号后，输出锁存器的数据被清除。

(2) 输入模式

通过传送指令向输出锁存器写入值，但由于输出缓冲器关闭，引脚状态不发生变化。

写入输出锁存器的数据一直被保留，直到再次有数据被写入输出锁存器。

产生复位信号后，输出锁存器的数据被清除。

4.4.2 读取输入/输出端口

(1) 输出模式

通过传送指令读取输出锁存器的内容。输出锁存器的内容不发生变化。

(2) 输入模式

通过传送指令读取引脚状态。输出锁存器的内容不发生变化。

4.4.3 操作输入/输出端口

(1) 输出模式

对输出锁存器内容进行运算，结果写入输出锁存器。输出锁存器的内容从引脚输出。

写入输出锁存器的数据一直被保留，直到再次有数据被写入输出锁存器。

产生复位信号后，输出锁存器的数据被清除。

(2) 输入模式

读取引脚电平，并对其内容进行运算。操作结果写入输出锁存器，但由于输出缓冲器关闭，引脚状态不发生变化。

产生复位信号后，输出锁存器的数据被清除。

4.4.4 连接至电位不同的外部器件(1.8 V、2.5 V、3 V)

通过更改 EV_{DD0} 使其符合连接器件的电源要求，从而可以连接到电位不同的外部器件（1.8 V、2.5 V 或 3 V）。在不能单独指定 EV_{DD0} 的产品中，或者，如果因某些原因而不能更改 EV_{DD0} 使其符合连接器件的电源要求的产品中，当系统工作于 $V_{DD} = 4.0\text{ V}$ 至 5.5 V 时，仍然可以通过串行接口用端口 0、1、4、5 和 14 与工作于 1.8 V、2.5 V 或 3 V 的外部器件实现 I/O 连接。

至于输入，可通过端口输入模式寄存器(PIM0、PIM1、PIM3 至 PIM5、PIM14)按照位单位进行 CMOS/TTL 切换。

另外，关于输出，通过利用端口输出模式寄存器(POM0、POM1、POM3 至 POM5、POM7、POM14)将输出缓冲器切换至 N 沟道开路漏极（ EV_{DD0} 耐压），可以实现对不同电位的支持。

(1) 使用 UART0 至 UART3、CSI00、CSI01、CSI10、CSI20、CSI30 和 CSI31 功能的输入/输出引脚时的设置步骤

(a) 作为 1.8 V、2.5 V、3 V 的输入端口使用时

<1> 如需上拉，以外部方式上拉待使用的引脚（不能使用片上上拉电阻）。

UART0 的情况下:	P50
UART1 的情况下:	P03
UART2 的情况下:	P14
UART3 的情况下:	P143
CSI00 的情况下:	P30、P50
CSI01 的情况下:	P43、P44
CSI10 的情况下:	P03、P04
CSI20 的情况下:	P14、P15
CSI30 的情况下:	P142、P143
CSI31 的情况下:	P53、P54

<2> 解除复位后，端口模式为输入模式(Hi-Z)。

<3> 将 PIM0、PIM1、PIM3 至 PIM5、PIM14 寄存器的对应位设置为 1，以切换至 TTL 输入缓冲器。

<4> V_{IH}/V_{IL} 在 1.8 V、2.5 V、3 V 的工作电压下工作。

(b) 作为 1.8 V、2.5 V、3 V 的输出端口使用时

<1> 外部上拉待使用的引脚（不能使用片上上拉电阻）。

UART0 的情况下: P51
 UART1 的情况下: P02
 UART2 的情况下: P13
 UART3 的情况下: P144
 CSI00 的情况下: P30、P51
 CSI01 的情况下: P43、P45
 CSI10 的情况下: P02、P04
 CSI20 的情况下: P13、P15
 CSI30 的情况下: P142、P144
 CSI31 的情况下: P52、P54

<2> 解除复位后，端口模式改变为输入模式(Hi-Z)。

<3> 将对应端口的输出锁存器设置为 1。

<4> 将 POM0、POM1、POM3 至 POM5 和 POM14 寄存器的对应位设置为 1，以设置 N 沟道开路漏极（EV_{DD0} 耐压）模式。

<5> 通过操作 PM0、PM1、PM3 至 PM5 和 PM14 寄存器设置输出模式。

此时，输出数据为高电平，因而引脚处于 Hi-Z 状态。

<6> 可通过设置串行阵列单元实现通信。

(2) 使用简化 IIC00、IIC01、IIC10、IIC11、IIC20、IIC30 和 IIC31 功能的输入/输出引脚时的设置步骤

<1> 外部上拉待使用的引脚（不能使用片上上拉电阻）。

简化 IIC00 的情况下: P30、P50
 简化 IIC01 的情况下: P43、P44
 简化 IIC10 的情况下: P03、P04
 简化 IIC11 的情况下: P10、P11
 简化 IIC20 的情况下: P14、P15
 简化 IIC30 的情况下: P142、P143
 简化 IIC31 的情况下: P53、P54

<2> 解除复位后，端口模式为输入模式(Hi-Z)。

<3> 将对应端口的输出锁存器设置为 1。

<4> 将 POM0、POM1、POM3 至 POM5 和 POM14 寄存器的对应位设置为 1，以设置 N 沟道开路漏极（EV_{DD0} 耐压）模式。

<5> 将 PM0、PM1、PM3 至 PM5 和 PM14 寄存器的相应位设置为输出模式（输出模式下可实现数据输入/输出）。

此时，输出数据为高电平，因而引脚处于 Hi-Z 状态。

<6> 允许操作串行阵列单元，并将模式设置为简化 IIC 模式。

4.5 使用复用功能时端口模式寄存器和输出锁存器的设置

使用端口引脚的复用功能时，请参阅表 4-23 所列内容设置端口模式寄存器和输出锁存器。

表 4-24. 使用复用功能时端口模式寄存器和输出锁存器的设置(1/6)

引脚名称	复用功能		PIORxx	POMxx	PMCxx	PMxx	Pxx
	功能名称	输入/输出					
P00	TI00	输入	x	x	—	1	x
	TRGCLKA	输入	x	x	—	1	x
	(TRJ00)	输出	PIOR13, PIOR12 = 10B	0	—	0	0
P01	TO00	输出	x	—	—	0	0
	TRGCLKA	输入	x	—	—	1	x
	TRJIO0	输入	PIOR13, PIOR12 = 00B	—	—	1	x
		输出	PIOR13, PIOR12 = 00B	—	—	0	0
P02	ANI17	输入	x	x	1	1	x
	SO10	输出	PIOR05 = 0	0/1	0	0	1
	TxD1	输出	PIOR05 = 0	0/1	0	0	1
P03	ANI16	输入	x	x	1	1	x
	SI10	输入	PIOR05 = 0	x	0	1	x
	RxD1	输入	PIOR05 = 0	x	0	1	x
	SDA10	输入/输出	PIOR05 = 0	1	0	0	1
P04	SCK10	输入	PIOR05 = 0	x	—	1	x
		输出	PIOR05 = 0	0/1	—	0	1
	SCL10	输出	PIOR05 = 0	0/1	—	0	1
P06	(TRJIO0)	输入	PIOR13, PIOR12 = 11B	—	—	1	x
		输出	PIOR13, PIOR12 = 11B	—	—	0	0
P10	SCK11	输入	x	x	—	1	x
		输出	x	0/1	—	0	1
	SCL11	输出	x	1	—	0	1
	TRDIOD1	输入	x	x	—	1	x
		输出	x	0	—	0	0
P11	SI11	输入	x	x	—	1	x
	SDA11	输入/输出	x	1	—	0	1
	TRDIOC1	输入	x	x	—	1	x
		输出	x	0	—	0	0
P12	SO11	输出	x	—	0	0	1
	TRDIOB1	输入	x	—	0	1	x
		输出	x	—	0	0	0
	IVREF1	输入	x	—	1	1	x
	(INTP5)	输入	PIOR04 = 1	—	0	1	x

备注 1.

x: 忽略

PIORxx: 外围输入/输出重定向寄存器

POMxx: 端口输出模式寄存器

PMCxx: 端口模式控制寄存器

PMxx: 端口模式寄存器

Pxx: 端口输出锁存器

2. 表中所示引脚与其复用功能之间的关系均为使用 100 位产品时的情况。对于其他产品，复用功能可能分配至与此不同的引脚，但是 PIORxx、POMxx、PMCxx、PMxx 和 Pxx 的设置相同。

3. 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上表括号内的功能。

(注如最末尾的表后所示。)

表 4-24. 使用复用功能时端口模式寄存器和输出锁存器的设置(2/6)

引脚名称	复用功能		PIORxx	POMxx	PMCxx	PMxx	Pxx
	功能名称	输入/输出					
P13	TxD2	输出	PIOR01 = 0	0/1	0	0	1
	SO20	输出	PIOR01 = 0	0/1	0	0	1
	TRDIOA1	输入	×	×	0	1	×
		输出	×	0	0	0	0
	IVCMP1	输入	×	×	1	1	×
P14	RxD2	输入	PIOR01 = 0	×	–	1	×
	SI20	输入	PIOR01 = 0	×	–	1	×
	SDA20	输入/输出	PIOR01 = 0	1	–	0	1
	TRDIOD0	输入	×	×	–	1	×
		输出	×	0	–	0	0
	(SCLA0)	输入/输出	PIOR02 = 1	1	–	0	0
P15 ^{注4}	SCK20	输入	PIOR01 = 0	×	–	1	×
		输出	PIOR01 = 0	0/1	–	0	1
	SCL20	输出	PIOR01 = 0	0/1	–	0	1
	TRDIOB0	输入	×	×	–	1	×
		输出	×	0	–	0	0
	(SDAA0)	输入/输出	PIOR02 = 1	1	–	0	1
P16	TI01	输入	×	–	0	1	×
	TO01	输出	×	–	0	0	0
	INTP5	输入	PIOR04 = 0	–	0	1	×
	TRDIOC0	输入	×	–	0	1	×
		输出	×	–	0	0	0
	IVREF0	输入	×	–	1	1	×
	(SI00)	输入	PIOR01 = 1	–	0	1	×
	(RxD0)	输入	PIOR01 = 1	–	0	1	×
P17	TI02	输入	×	×	0	1	×
	TO02	输出	×	0	0	0	0
	TRDIOA0	输入	×	×	0	1	×
		输出	×	0	0	0	0
	TRDCLK0	输入	×	×	0	1	×
	IVCMP0	输入	×	×	1	1	×
	(SO00)	输出	PIOR01 = 1	0/1	0	0	1
	(TxD0)	输出	PIOR01 = 1	0/1	0	0	1
P20	ANI0	输入	×	–	–	1	×
	AVREFP	输入	×	–	–	1	×

备注 1.

×: 忽略

PIORxx: 外围输入/输出重定向寄存器

POMxx: 端口输出模式寄存器

PMCxx: 端口模式控制寄存器

PMxx: 端口模式寄存器

Pxx: 端口输出锁存器

- 表中所示引脚与其复用功能之间的关系均为使用 100 位产品时的情况。对于其他产品, 复用功能可能分配至与此不同的引脚, 但是 PIORxx、POMxx、PMCxx、PMxx 和 Pxx 的设置相同。
- 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上表括号内的功能。

(注如最末尾的表后所示。)

表 4-24. 使用复用功能时端口模式寄存器和输出锁存器的设置(3/6)

引脚名称	复用功能		PIORxx	POMxx	PMCxx	PMxx	Pxx
	功能名称	输入/输出					
P21	ANI1	输入	×	—	—	1	×
	AVREFM	输入	×	—	—	1	×
P22	ANI2	输入	×	—	—	1	×
	ANO0	输出	×	—	—	1	×
P23	ANI3	输入	×	—	—	1	×
	ANO1	输出	×	—	—	1	×
P24-P27	ANI4-ANI7	输入	×	—	—	1	×
P30	INTP3	输入	PIOR05 = 0	×	—	1	×
	RTC1HZ	输出	×	0	—	0	0
	SCK00	输入	PIOR01 = 0	×	—	1	×
		输出	PIOR01 = 0	0/1	—	0	1
	SCL00	输出	PIOR01 = 0	0/1	—	0	1
	TRJO0	输出	PIOR13, PIOR12 = 00B	0	—	0	0
P31	TI03	输入	×	—	—	1	×
	TO03	输出	×	—	—	0	0
	INTP4	输入	PIOR05 = 0	—	—	1	×
	(PCLBUZ0)	输出	PIOR03 = 1	—	—	0	0
	(TRJIO0)	输入	PIOR13, PIOR12 = 01B	—	—	1	×
		输出	PIOR13, PIOR12 = 01B	—	—	0	0
P40	TOOL0	输入/输出	×	—	—	×	×
P41	(TRJIO0)	输入	PIOR13, PIOR12 = 10B	—	—	1	×
		输出	PIOR13, PIOR12 = 10B	—	—	0	0
P43	SCK01	输入	×	—	—	1	×
		输出	×	—	—	0	1
	SCL01	输出	×	—	—	0	1
P44	SI01	输入	×	—	—	1	×
	SDA01	输入/输出	×	—	—	0	1
P45	SO01	输出	×	—	—	0	1
P46	INTP1	输入	PIOR05 = 0	—	—	1	×
P47	INTP2	输入	×	—	—	1	×

备注 1. ×: 忽略

PIORx: 外围输入/输出重定向寄存器

POMxx: 端口输出模式寄存器

PMCxx: 端口模式控制寄存器

PMxx: 端口模式寄存器

Pxx: 端口输出锁存器

- 表中所示引脚与其复用功能之间的关系均为使用 100 位产品时的情况。对于其他产品，复用功能可能分配至与此不同的引脚，但是 PIORxx、POMxx、PMCxx、PMxx 和 Pxx 的设置相同。
- 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1) 来分配上表括号内的功能。

(注如最末尾的表后所示。)

表 4-24. 使用复用功能时端口模式寄存器和输出锁存器的设置(4/6)

引脚名称	复用功能		PIORxx	POMxx	PMCxx	PMxx	Pxx
	功能名称	输入/输出					
P50	SI00	输入	PIOR01 = 0	x	—	1	x
	RxD0	输入	PIOR01 = 0	x	—	1	x
	TOOLRxD	输入	x	x	—	1	x
	SDA00	输入/输出	PIOR01 = 0	1	—	0	1
	TRGIOA	输入	x	x	—	1	x
		输出	x	0	—	0	0
	(TRJ00)	输出	PIOR13, PIOR12 = 01B	0	—	0	0
P51	SO00	输出	PIOR01 = 0	0/1	—	0	1
	TxD0	输出	PIOR01 = 0	0/1	—	0	1
	TOOLTxD	输出	x	0/1	—	0	1
	TRGIOB	输入	x	x	—	1	x
		输出	x	0	—	0	0
P52	SO31	输出	x	0/1	—	0	1
P53	SI31	输入	x	x	—	1	x
	SDA31	输入/输出	x	1	—	0	1
P54	SCK31	输入	x	x	—	1	x
		输出	x	0/1	—	0	1
	SCL31	输出	x	0/1	—	0	1
P55	(PCLBUZ1)	输出	PIOR04 = 1	0	—	0	0
	(SCK00)	输入	PIOR01 = 1	x	—	1	x
		输出	PIOR01 = 1	0/1	—	0	1
P56	(INTP1)	输入	PIOR05 = 1	—	—	1	x
P57	(INTP3)	输入	PIOR05 = 1	—	—	1	x
P60	SCLA0	输入/输出	PIOR02 = 0	—	—	0	0
P61	SDAA0	输入/输出	PIOR02 = 0	—	—	0	0
P62	SSI00	输入	x	—	—	1	x
	SCLA1	输入/输出	x	—	—	0	0
P63	SDAA1	输入/输出	x	—	—	0	1
P64	TI10	输入	x	—	—	1	x
	TO10	输出	x	—	—	0	0
P65	TI11	输入	x	—	—	1	x
	TO11	输出	x	—	—	0	0

备注 1. x: 忽略

PIORx: 外围输入/输出重定向寄存器

POMxx: 端口输出模式寄存器

PMCxx: 端口模式控制寄存器

PMxx: 端口模式寄存器

Pxx: 端口输出锁存器

2. 表中所示引脚与其复用功能之间的关系均为使用 100 位产品时的情况。对于其他产品，复用功能可能分配至与此不同的引脚，但是 PIORxx、POMxx、PMCxx、PMxx 和 Pxx 的设置相同。

3. 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上表括号内的功能。

(注如最末尾的表后所示。)

表 4-24. 使用复用功能时端口模式寄存器和输出锁存器的设置(5/6)

引脚名称	复用功能		PIORxx	POMxx	PMCxx	PMxx	Pxx
	功能名称	输入/输出					
P66	TI12	输入	x	—	—	1	x
	TO12	输出	x	—	—	0	0
P67	TI13	输入	x	—	—	1	x
	TO13	输出	x	—	—	0	0
P70	KR0	输入	x	—	—	1	x
	SCK21	输入	x	—	—	1	x
		输出	x	—	—	0	1
	SCL21	输出	x	—	—	0	1
P71	KR1	输入	x	x	—	1	x
	SI21	输入	x	x	—	1	x
	SDA21	输入/输出	x	1	—	0	1
P72	KR2	输入	x	—	—	1	x
	SO21	输出	x	—	—	0	1
P73	KR3	输入	x	—	—	1	x
P74	KR4	输入	x	x	—	1	x
	INTP8	输入	PIOR05 = 0	x	—	1	x
P75	KR5	输入	x	—	—	1	x
	INTP9	输入	PIOR05 = 0	—	—	1	x
P76	KR6	输入	x	—	—	1	x
	INTP10	输入	PIOR01 = 0	—	—	1	x
	(RxD2)	输入	PIOR01 = 1	—	—	1	x
P77	KR7	输入	x	—	—	1	x
	INTP11	输入	PIOR01 = 0	—	—	1	x
	(TxD2)	输出	PIOR01 = 1	—	—	0	1
P80	(SCK10)	输入	PIOR05 = 1	x	—	1	x
		输出	PIOR05 = 1	0/1	—	0	1
	(SCL10)	输出	PIOR05 = 1	0/1	—	0	1
P81	(SI10)	输入	PIOR05 = 1	x	—	1	x
	(RxD1)	输入	PIOR05 = 1	x	—	1	x
	(SDA10)	输入/输出	PIOR05 = 1	1	—	0	1
P82	(SO10)	输出	PIOR05 = 1	0/1	—	0	1
	(TxD1)	输出	PIOR05 = 1	0/1	—	0	1
P84-P87	(INTP6)至 (INTP9)	输入	PIOR05 = 1	—	—	1	x

- 备注 1.** x: 忽略
 PIORx: 外围输入/输出重定向寄存器
 POMxx: 端口输出模式寄存器
 PMCxx: 端口模式控制寄存器
 PMxx: 端口模式寄存器
 Pxx: 端口输出锁存器
- 2.** 表中所示引脚与其复用功能之间的关系均为使用 100 位产品时的情况。对于其他产品, 复用功能可能分配至与此不同的引脚, 但是 PIORxx、POMxx、PMCxx、PMxx 和 Pxx 的设置相同。
- 3.** 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上表括号内的功能。

(注如最末尾的表后所示。)

表 4-24. 使用复用功能时端口模式寄存器和输出锁存器的设置(6/6)

引脚名称	复用功能		PIORxx	POMxx	PMCxx	PMxx	Pxx
	功能名称	输入/输出					
P100	ANI20	输入	×	—	1	1	×
	(INTP10)	输入	PIOR01 = 1	—	0	1	×
P110	(INTP11)	输入	PIOR01 = 1	—	—	1	×
P120	ANI19	输入	×	—	1	1	×
	VCOUT0	输出	×	—	0	0	0
P137	INTP0	输入	×	—	—	1	×
P140	PCLBUZ0	输出	PIOR03 = 0	—	—	0	0
	INTP6	输入	PIOR05 = 0	—	—	1	×
P141	PCLBUZ1	输出	PIOR04 = 0	—	—	0	0
	INTP7	输入	PIOR05 = 0	—	—	1	×
P142	SCK30	输入	×	×	—	1	×
		输出	×	0/1	—	0	1
	SCL30	输出	×	0/1	—	0	1
P143	SI30	输入	×	×	—	1	×
	RxD3	输入	×	×	—	1	×
	SDA30	输入/输出	×	1	—	0	1
P144	SO30	输出	×	0/1	—	0	1
	TxD3	输出	×	0/1	—	0	1
P146	(INTP4)	输入	PIOR05 = 1	—	—	1	×
P147	ANI18	输入	×	—	1	1	×
	VCOUT1	输出	×	—	0	0	0
P150 至 P156	ANI8 至 ANI14	输入	×	—	—	1	×

- 备注 1.** ×: 忽略
 PIORx: 外围输入/输出重定向寄存器
 POMxx: 端口输出模式寄存器
 PMCxx: 端口模式控制寄存器
 PMxx: 端口模式寄存器
 Pxx: 端口输出锁存器
- 2.** 表中所示引脚与其复用功能之间的关系均为使用 100 位产品时的情况。对于其他产品，复用功能可能分配至与此不同的引脚，但是 PIORxx、POMxx、PMCxx、PMxx 和 Pxx 的设置相同。
- 3.** 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0, 1)来分配上表括号内的功能。

注 1. ANI16/P03、ANI17/P02、ANI18/VCOUT1/P147、ANI19/VCOUT0/P120、ANI20/P100、IVREF0/P16、IVCMP0/P17、IVREF1/P12 和 IVCMP1/P13 引脚的功能可通过端口模式控制寄存器 0、1、10、12、14 (PMC0、PMC1、PMC10、PMC12、PMC14)、模拟输入通道指定寄存器 (ADS)和端口模式寄存器 0、1、10、12、14 (PM0、PM1、PM10、PM12、PM14)选择。

表 4-25. ANI16/P03、ANI17/P02、ANI18/VCOUT1/P147、ANI19/VCOUT0/P120、ANI20/P100、IVREF0/P16、IVCMP0/P17、IVREF1/P12 和 IVCMP1/P13 引脚功能的设置

PMC0、PMC1、 PMC10、PMC12、 PMC14寄存器	PM0、PM1、 PM10、PM12、 PM14寄存器	ADS寄存器	ANI16/P03、ANI17/P02、 ANI18/VCOUT1/P147、 ANI19/VCOUT0/P120、 ANI20/P100、IVREF0/P16、 IVCMP0/P17、IVREF1/P12、 IVCMP1/P13引脚
数字输入/输出选择	输入模式	—	数字输入
	输出模式	—	数字输出 (包括比较器输出)
模拟输入/输出选择	输入模式	选择ANI。	模拟输入 (将被转换)
		不选择ANI。	模拟输入 (不被转换)
	输出模式	选择ANI。	禁止设置
		不选择ANI。	

2. P20/ANI0、P21/ANI1、P22/ANI2/ANO0、P23/ANI3/ANO1、P24/ANI4 至 P27/ANI7 引脚的功能可通过 A/D 端口配置寄存器(ADPC)、模拟输入通道指定寄存器(ADS)、D/A 转换器模式寄存器(DAM)和端口模式寄存器 2 (PM2)选择。

表 4-26. P20/ANI0、P21/ANI1、P22/ANI2/ANO0、P23/ANI3/ANO1、P24/ANI4-P27/ANI7 引脚功能的设置

ADPC寄存器	PM2寄存器	DAM寄存器	ADS寄存器	P20/ANI0、P21/ANI1、 P22/ANI2/ANO0、 P23/ANI3/ANO1、P24/ANI4- P27/ANI7
数字输入/输出选择	输入模式	—	—	数字输入
	输出模式	—	—	数字输出
模拟输入/输出选择	输入模式	允许D/A转换操作	选择ANI。	禁止设置
			不选择ANI。	模拟输出
		停止D/A转换操作	选择ANI。	模拟输入 (将被转换)
			不选择ANI。	模拟输入 (不被转换)
	输出模式	允许D/A转换操作	选择ANI。	禁止设置
			不选择ANI。	
		停止D/A转换操作	选择ANI。	
			不选择ANI。	

注 3. P150/ANI8 至 P156/ANI14 引脚的功能可通过 A/D 端口配置寄存器(ADPC)、模拟输入通道指定寄存器(ADS)和端口模式寄存器 15 (PM15)选择。

表 4-27. P150/ANI8 至 P156/ANI14 引脚功能的设置

ADPC寄存器	PM15寄存器	ADS寄存器	P150/ANI8至P156/ANI14引脚
数字输入/输出选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入选择	输入模式	选择ANI。	模拟输入 (将被转换)
		不选择ANI。	模拟输入 (不被转换)
	输出模式	选择ANI。	禁止设置
		不选择ANI。	

4. 100 针以外的产品中，多个复用输出功能被分配给引脚。这种情况下，除了表 4-24 所示部分以外，任何不使用的复用功能输出必须设置为与其初始状态相同的值。关于目标和处理方法的详情，请参阅第 4.6.2 节。

4.6 使用端口功能时的注意事项

4.6.1 用于端口寄存器 n (Pn) 的 1 位操作指令的注意事项

对于同时具有输入和输出功能的端口执行 1 位操作指令时，除了操作目标位以外，非操作对象的输入端口的输出锁存器值也可能被写入。

因此，将端口由输入模式切换为输出模式时，建议重写输出锁存器。

<示例> 当 P10 为输出端口、P11 至 P17 为输入端口（所有引脚状态均为高电平）且端口 1 的端口锁存器值为 00H 时，通过 1 位操作指令将输出端口 P10 的输出从低电平改为高电平，则端口 1 的输出锁存器值成为 FFH。

说明：PMnm 位为 1 的端口的写入或读取 Pn 寄存器的对象分别是输出锁存器和引脚状态。

在 RL78/G14 中，1 位操作指令按以下顺序执行。

<1> 按 8 位单位读取 Pn 寄存器。

<2> 操作作为目标的 1 位。

<3> 按 8 位单位写入 Pn 寄存器。

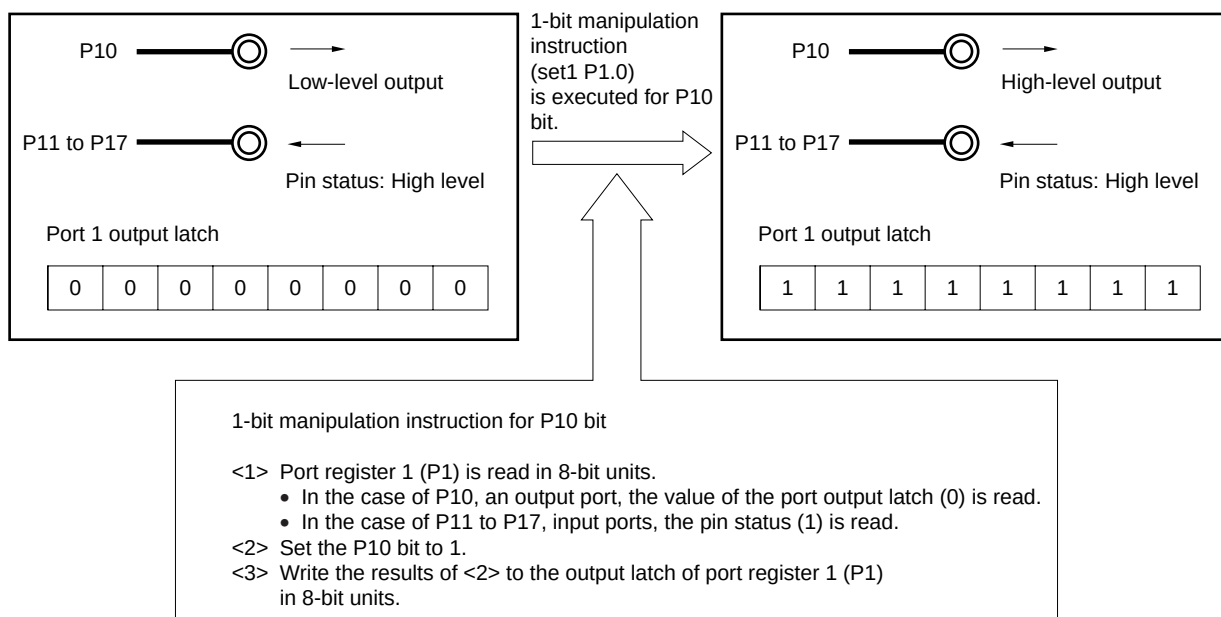
在步骤<1>中，输出端口 P10 的输出锁存器值(0)被读取，同时，输入端口 P11 至 P17 的引脚状态也被读取。

如果 P11 至 P17 的引脚状态此时为高电平，则读取值为 FEH。

步骤<2>的操作使该值变为 FFH。

步骤<3>的操作将 FFH 写入输出锁存器。

图 4-69. 位操作指令(P10)



4.6.2 100 针以外的产品引脚设置的注意事项

100 针以外的产品中，具有多个复用输出功能被分配给 P15 引脚的情况。

这种情况下，除了表 4-24 所示部分以外，任何不使用的复用功能输出必须设置为与其初始状态相同的值。

具体目标和处理方法如下所示。

(1) 30 至 52 针产品：P15/PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)

- 使用 PCLBUZ1: SCK20/SCL20 输出设置为 1，TRDIOB0 输出清除为 0。
将串行输出寄存器 1 (SO1)的 SO10 位、串行输出允许寄存器 1 (SOE1)的 SOE10 位和串行通道允许状态寄存器 1 (SE1)的 SE10 位设置为初始值。
将定时器 RD 输出主允许寄存器 1 (TRDOER1)中对应于 TRDIOB0 引脚的输出控制位设置为初始值。
- 使用 SCK20/SCL20: PCLBUZ1 输出清除为 0，TRDIOB0 输出清除为 0。
设置时钟输出选择寄存器 1(CKS1)的 PCLOE1 位为初始值。
将定时器 RD 输出主允许寄存器 1 (TRDOER1)中对应于 TRDIOB0 引脚的输出控制位设置为初始值。
- 使用 TRDIOB0: SCK20/SCL20 输出设置为 1，PCLBUZ1 输出清除为 0。
设置时钟输出选择寄存器 1(CKS1)的 PCLOE1 位为初始值。
将串行输出寄存器 1 (SO1)的 SO10 位、串行输出允许寄存器 1 (SOE1)的 SOE10 位和串行通道允许状态寄存器 1 (SE1)的 SE10 位设置为初始值。

第五章 时钟发生电路

主系统时钟谐振器连接引脚、副系统时钟谐振器连接引脚、主系统时钟外部时钟输入引脚以及副系统时钟外部时钟输入引脚的有无因产品而异。

	30、32、36 针产品	40、44、48、52、64、80、100 针产品
X1、X2 引脚	√	√
EXCLK 引脚	√	√
XT1、XT2 引脚	—	√
EXCLKS 引脚	—	√

注意事项 30、32 和 36 针产品不具备副系统时钟。

5.1 时钟发生电路的功能

时钟发生电路产生用于 CPU 和外围硬件的时钟。
可以选择以下三种系统时钟和时钟振荡电路。

(1) 主系统时钟

<1> X1 振荡电路

该电路通过将谐振器连接至 X1 和 X2 来产生 $f_x = 1$ 至 20MHz 的振荡时钟。

可以通过执行 STOP 指令或设置 MSTOP 位(时钟操作状态控制寄存器(CSC)的位 7)来停止振荡。

<2> 高速片上振荡器(高速 OCO)

通过选项字节 (000C2H) 可从以下范围内选择振荡频率: $f_{HOCO} = 64、48、32、24、16、12、8、4$ 或 1 MHz (TYP.)。当将 f_{HOCO} 选作 64 MHz 或 48 MHz 时, f_{IH} 分别成为 32 MHz 或 24 MHz。当将 f_{HOCO} 选作 32 MHz 或更低时, f_{IH} 不被分频, 并成为与 f_{HOCO} 相同的频率。在解除复位后, CPU 一定利用此高速片上振荡器时钟^{*}开始工作。可以通过执行 STOP 指令或设置 HIOSTOP 位(CSC 寄存器的位 0)来停止振荡。

还可以通过 EXCLK/X2/P122 引脚供应外部主系统时钟($f_{EX} = 1$ 至 20MHz)。可以通过执行 STOP 指令或设置 MSTOP 位来禁止外部主系统时钟输入。

可以通过设置 MCM0 位(系统时钟控制寄存器(CKC)的位 4)来选择高速系统时钟(X1 时钟或外部主系统时钟)或高速片上振荡器时钟作为主系统时钟。

注 选择 64 MHz 或 48 MHz 时, 所选时钟(f_{HOCO})被供应至定时器 RD。

然而, 将 f_{HOCO} 进行二分频得到的 32 MHz 或 24 MHz 被供应至其他功能(包括 CPU)。将 64 MHz 或 48 MHz 供应至定时器 RD 时, 须将 f_{CLK} 设置为 f_{IH} 。

(2) 系统时钟

- **XT1 时钟振荡电路**

该电路通过将 32.768 kHz 的谐振器连接至 XT1 和 XT2 来产生 $f_{XT} = 32.768 \text{ kHz}$ 的振荡时钟。可以通过设置 XTSTOP 位(时钟操作状态控制寄存器(CSC)的位 6)来停止振荡。

可以通过 EXCLKS/XT2/P124 引脚供应外部副系统时钟($f_{EXS} = 32.768 \text{ KHz}$)。可以通过执行 STOP 指令来禁止外部副系统时钟输入。

(3) 低速片上振荡器(低速 OCO)

该电路产生 $f_{IL} = 15 \text{ kHz (TYP.)}$ 的振荡时钟。

低速片上振荡器时钟不能用作 CPU 时钟。

仅限以下外围硬件工作于低速片上振荡器时钟。

- 看门狗定时器
- 实时时钟
- 12 位间隔定时器
- 定时器 RJ

当选项字节(000C0H)的位 4(WDTON)或操作速度模式控制寄存器(OSMC)的位 4(WUTMMCK0)或者两者同时设置为 1 时, 该时钟工作。

然而, 当 WDTON = 1、WUTMMCK0 = 0 且选项字节(000C0H)的位 0(WDSTBYON)为 0 时, 执行 HALT 或 STOP 指令后低速片上振荡器停止振荡。

注意事项 仅限使用固定周期中断功能时, 才可以选择低速片上振荡器时钟(f_{IL})作为实时时钟的操作时钟。

备注	f_X :	X1 时钟振荡频率
	f_{HOCO} :	高速片上振荡器时钟频率(64 MHz max.)
	f_{IH} :	高速片上振荡器时钟频率(32 MHz max.) ^注
	f_{EX} :	外部主系统时钟频率
	f_{XT} :	XT1 时钟振荡频率
	f_{EXS} :	外部副系统时钟频率
	f_{IL} :	低速片上振荡器时钟频率

注 使用硬件控制, 以使 f_{HOCO} 被设为 64 MHz 或 48 MHz 时成为 f_{HOCO} 的二频分, 或者 f_{HOCO} 被设为 32 MHz 或更小时, 成为与 f_{HOCO} 相同的时钟频率。将 64 MHz 或 48 MHz 供应至定时器 RD 时, 须将 f_{CLK} 设置为 f_{IH} 。

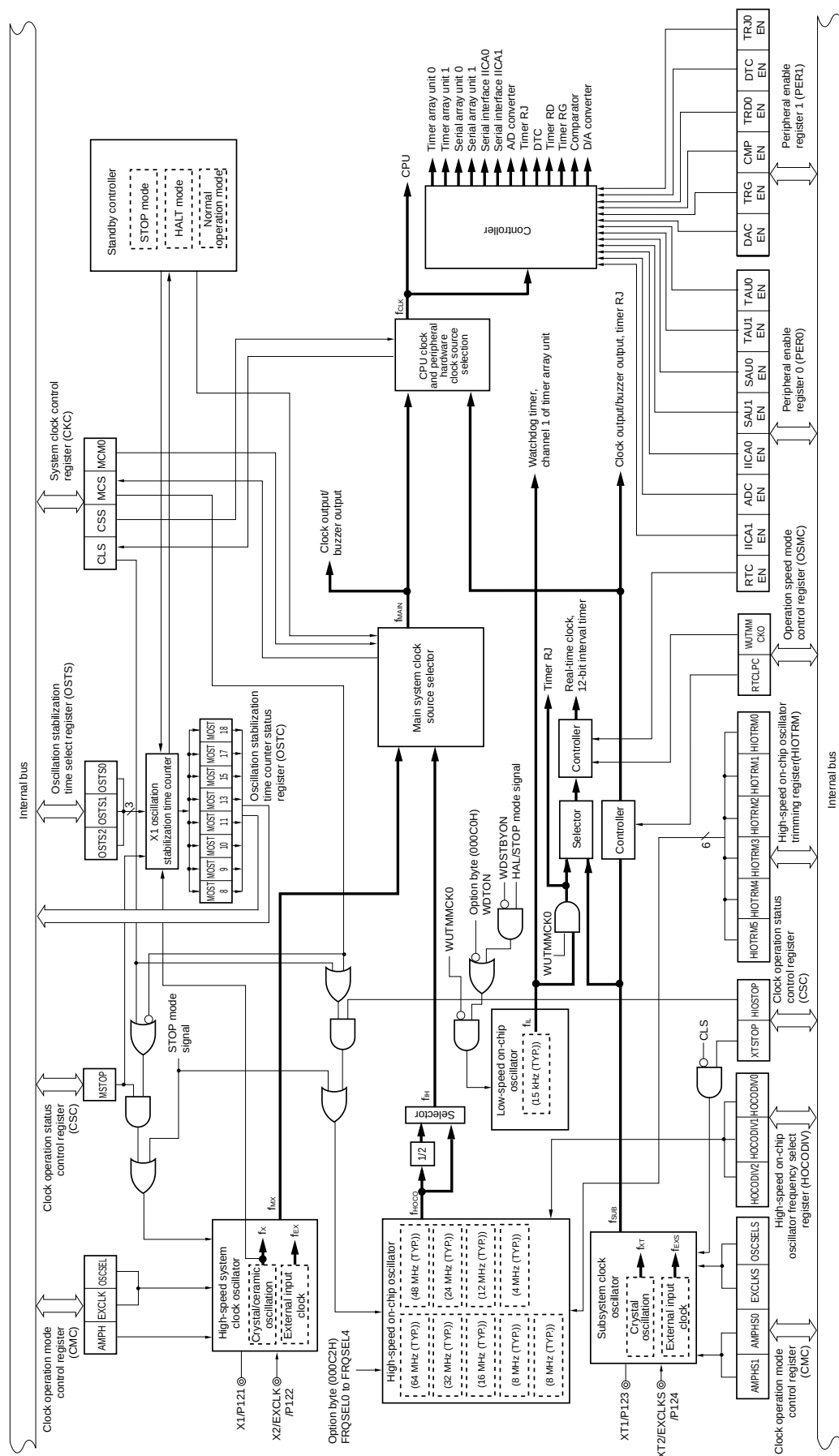
5.2 时钟发生电路的配置

时钟发生电路包括以下硬件。

表 5-1. 时钟发生电路的配置

项目	配置
控制寄存器	时钟操作模式控制寄存器(CMC) 系统时钟操作寄存器(CKC) 时钟操作状态控制寄存器(CSC) 振荡稳定时间计数器状态寄存器(OSTC) 振荡稳定时间选择寄存器(OSTS) 外围允许寄存器 0、1 (PER0、PER1) 操作速度模式控制寄存器(OSMC) 高速片上振荡器频率选择寄存器(HOCODIV) 高速片上振荡器调节寄存器(HIOTRM)
振荡电路	X1 振荡电路 XT1 振荡电路 高速片上振荡器时钟 低速片上振荡器时钟

图 5-1. 时钟发生电路的框图



(备注如下页所示。)

备注	f_x :	X1 时钟振荡频率
	f_{HOCO} :	高速片上振荡器时钟频率(64 MHz max.)
	f_{IH} :	高速片上振荡器时钟频率(32 MHz max.) ^注
	f_{EX} :	外部主系统时钟频率
	f_{MX} :	高速系统时钟频率
	f_{MAIN} :	主系统时钟频率
	f_{XT} :	XT1 时钟振荡频率
	f_{EXS} :	外部副系统时钟频率
	f_{SUB} :	系统时钟频率
	f_{CLK} :	CPU/外围硬件时钟频率
	f_{IL} :	低速片上振荡器时钟频率

注 使用硬件控制，以使 f_{HOCO} 被设为 64 MHz 或 48 MHz 时成为 f_{HOCO} 的二频分，或者 f_{HOCO} 被设为 32 MHz 或更小时，成为与 f_{HOCO} 相同的时钟频率。将 64 MHz 或 48 MHz 供应至定时器 RD 时，须将 f_{CLK} 设置为 f_{IH} 。

5.3 控制时钟发生电路的寄存器

由以下 9 种寄存器来控制时钟发生电路。

- 时钟操作模式控制寄存器(CMC)
- 系统时钟操作寄存器(CKC)
- 时钟操作状态控制寄存器(CSC)
- 振荡稳定时间计数器状态寄存器(OSTC)
- 振荡稳定时间选择寄存器(OSTS)
- 外围允许寄存器 0、1 (PER0、PER1)
- 操作速度模式控制寄存器(OSMC)
- 高速片上振荡器频率选择寄存器(HOCODIV)
- 高速片上振荡器调节寄存器(HIOTRM)

(1) 时钟操作模式控制寄存器(CMC)

该寄存器用于设 X1/P121、X2/EXCLK/P122、XT1/P123 和 XT2/EXCLKS/P124 引脚的操作模式，以及选择振荡电路增益。

解除复位后，只能通过 8 位存储器操作指令写入 CMC 寄存器一次。使用 8 位存储器操作指令来读取该寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 5-2. 时钟操作模式控制寄存器(CMC) 的格式

地址: FFFA0H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速系统时钟引脚 操作模式	X1/P121 引脚	X2/EXCLK/P122 引脚
0	0	输入端口模式	输入端口	
0	1	X1 振荡模式	晶体/陶瓷谐振器连接	
1	0	输入端口模式	输入端口	
1	1	外部时钟输入模式	输入端口	外部时钟输入

EXCLKS	OSCSELS	系统时钟引脚操作模式	XT1/P123 引脚	XT2/EXCLKS/P124 引脚
0	0	输入端口模式	输入端口	
0	1	XT1 振荡模式	晶体/陶瓷谐振器连接	
1	0	输入端口模式	输入端口	
1	1	外部时钟输入模式	输入端口	外部时钟输入

AMPHS1	AMPHS0	XT1 振荡电路振荡模式选择 [※]	
0	0	低功耗振荡（默认）	振荡容限：中
0	1	正常振荡	振荡容限：高
1	0	超低功耗振荡	振荡容限：低
1	1	禁止设置	

AMPH	X1 时钟振荡频率的控制
0	$1\text{ MHz} \leq f_x \leq 10\text{ MHz}$
1	$10\text{ MHz} < f_x \leq 20\text{ MHz}$

注 当 XT 振荡电路进入低功耗振荡模式时，其振荡容限也随着变小。

- 注意事项**
1. 只能在解除复位后通过 8 位存储器操作指令写入 CMC 寄存器一次。使用设置为初始值(00H)的 CMC 寄存器时，务必在复位后将该寄存器设置为 00H，以避免程序出错时发生误操作。
 2. 解除复位后，通过时钟操作状态控制寄存器(CSC)的设置，在 X1 或 XT1 振荡开始之前设置 CMC 寄存器。
 3. 当 X1 时钟振荡频率超过 10MHz 时，务必将 AMPH 位设置为 1。
 4. XT1 振荡电路是为了实现低功耗的低增幅电路。设计电路时请注意以下几点。
 - 引脚和电路板中含有寄生电容。因此，要在实际使用的电路板上进行振荡评估，确认不存在问题。
 - 在超低功耗振荡(AMPHS1、AMPHS0 = 1、0)模式下使用 XT1 振荡电路时，请采用 5.7 操作经验证的谐振器和参考振荡器常数中推荐的谐振器。

(注意事项和备注如下页所示。)

- 尽量缩短 XT1 和 XT2 引脚与谐振器之间的布线，尽量减小寄生电容和布线电阻。选用超低功耗振荡(AMPHS1、AMPHS0 = 1、0)时尤其要注意这一点。
- 使用寄生电容和布线电阻小的材料构建电路板的电路。
- 在 XT1 振荡电路的附近，请尽量配置与 Vss 尽可能相近电位的接地布局。
- 确保 XT1 以及 XT2 引脚与谐振器之间的信号线不和其他信号线交叉。请勿将振荡器的布线靠近通过高交变电流的信号线。
- 在高湿度环境中，电路板吸湿或结露可能导致 XT1 与 XT2 引脚之间的阻抗下降并使振荡受到影响。在此类环境中使用电路板时，要对电路板采取防潮措施，例如加涂层。
- 在对电路板进行加涂层处理时，使用不会在 XT1 与 XT2 引脚之间产生电容或漏电的材料。

备注 fx: X1 时钟频率

(2) 系统时钟操作寄存器(CKC)

该寄存器用于选择 CPU/外围硬件时钟和主系统时钟。

使用 1 位或 8 位存储器操作指令来设置 CKC 寄存器。

产生复位信号后，该寄存器被设置为 00H。

图 5-3. 系统时钟操作寄存器(CKC) 的格式

地址: FFFA4H 复位后: 00H R/W^{※1}

符号	<7>	<6>	<5>	<4>	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
CLS	CPU/外围硬件时钟(f _{CLK})的状态							
0	主系统时钟(f _{MAIN})							
1	副系统时钟 (f _{SUB})							
CSS ^{※2}	CPU/外围硬件时钟(f _{CLK})的选择							
0	主系统时钟(f _{MAIN})							
1	副系统时钟 (f _{SUB})							
MCS	主系统时钟 (f _{MAIN})的状态							
0	高速片上振荡器时钟 (f _{IH})							
1	高速系统时钟(f _{MX})							
MCM0 ^{※2}	主系统时钟 (f _{MAIN})操作控制							
0	选择高速片上振荡器时钟(f _{IH})作为主系统时钟(f _{MAIN})							
1	选择高速系统时钟(f _{MX})作为主系统时钟(f _{MAIN})							

注 1. 位 7 和 5 为只读位。

2. CSS 位设置为 1 时，禁止改变 MCM0 位的值。

备注 f_{HOCO}: 高速片上振荡器时钟频率(64 MHz max.)
 f_{IH}: 高速片上振荡器时钟频率(32 MHz max.)[※]
 f_{MX}: 高速系统时钟频率
 f_{MAIN}: 主系统时钟频率
 f_{SUB}: 系统时钟频率

注 使用硬件控制，以使 f_{HOCO} 被设为 64 MHz 或 48 MHz 时成为 f_{HOCO} 的二频分，或者 f_{HOCO} 被设为 32 MHz 或更小时，成为与 f_{HOCO} 相同的时钟频率。将 64 MHz 或 48 MHz 供应至定时器 RD 时，须将 f_{CLK} 设置为 f_{IH}。

(注意事项如下页所示。)

- 注意事项
1. 务必将 CKC 寄存器的位 3 至位 0 清除为 0。
 2. 由 CSS 位设置的时钟供应至 CPU 和外围硬件。因此，如果 CPU 时钟改变，供应至外围硬件的时钟（实时时钟、12 位间隔定时器、时钟输出/蜂鸣器输出和看门狗定时器除外）也同时改变。因此，要改变 CPU/外围硬件时钟时必须停止各外围功能。
 3. 选用副系统时钟作为外围硬件时钟的话，无法保障 A/D 转换器和 IICA 的操作。关于外围硬件的操作特性，请参阅描述各个外围硬件的章节以及第三十四章 电特性。
 4. 在将 f_{HOCO} 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

(3) 时钟操作状态控制寄存器(CSC)

该寄存器用于控制高速系统时钟、高速片上振荡器时钟和副系统时钟（低速片上振荡器时钟除外）的操作。

使用 1 位或 8 位存储器操作指令来设置 CSC 寄存器。

产生复位信号后，该寄存器被设置为 C0H。

图 5-4. 时钟操作状态控制寄存器(CSC) 的格式

地址： FFFA1H 复位后： C0H R/W

符号	<7>	<6>	5	4	3	2	1	<0>
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速系统时钟的操作控制		
	X1 振荡模式	外部时钟输入模式	输入端口模式
0	X1 振荡电路工作	来自于 EXCLK 引脚的外部时钟有效	输入端口
1	X1 振荡电路停止	来自于 EXCLK 引脚的外部时钟无效	

XTSTOP	副系统时钟的操作控制		
	XT1 振荡模式	外部时钟输入模式	输入端口模式
0	XT1 振荡电路工作	EXCLKS 引脚的外部时钟有效	输入端口
1	XT1 振荡电路停止	EXCLKS 引脚的外部时钟无效	

HIOSTOP	高速片上振荡器时钟的操作控制	
0	高速片上振荡器工作	
1	高速片上振荡器停止	

- 注意事项**
- 解除复位后，设置 CSC 寄存器之前，先设置时钟操作模式控制寄存器(CMC)。
 - 解除复位后，设置 MSTOP 位为 0 之前，先设置振荡稳定时间选择寄存器(OSTS)。注意，使用保持初始值的 OSTS 寄存器时，无需设置 OSTS 寄存器。
 - 通过设置 MSTOP 位来启动 X1 振荡时，利用振荡稳定时间计数器状态寄存器(OSTC)来确认 X1 时钟的振荡稳定时间。
 - 通过设置 XTSTOP 位来启动 XT1 振荡时，请利用软件设置等待副系统时钟所需的振荡稳定时间。
 - CPU/外围硬件时钟(f_{CLK})所选择的时钟，请不要在 OSC 寄存器使其停止。
 - 关于用于停止时钟振荡（使外部时钟输入无效）的寄存器标志的设置以及停止时钟振荡前的条件，请参阅表 5-2。

表 5-2. 停止时钟前的条件和标志设置

时钟	停止时钟前的条件 (使外部时钟输入无效)	CSC 寄存器标志 的设置
X1 时钟	CPU 和外围硬件时钟工作于高速系统时钟以外的时钟。 (CLS = 0 和 MCS = 0 或 CLS = 1)	MSTOP = 1
外部主系统时钟		
XT1 时钟	CPU 和外围硬件时钟工作于副系统时钟以外的时钟。 (CLS = 0)	XTSTOP = 1
外部副系统时钟		
高速片上振荡器时钟	CPU 和外围硬件时钟工作于高速片上振荡器时钟以外的时钟。 (CLS = 0 和 MCS = 1 或 CLS = 1)	HIOSTOP = 1

(4) 振荡稳定时间计数器状态寄存器(OSTC)

该寄存器显示 X1 时钟振荡稳定时间计数器的计数状态。

在下列情况下可以确认 X1 时钟振荡稳定时间：

- 高速片上振荡器时钟或副系统时钟用作 CPU 时钟时，X1 时钟开始振荡。
- 高速片上振荡器时钟用作 CPU 时钟且 X1 时钟振荡时，进入 STOP 模式然后解除 STOP 模式。

使用 1 位或 8 位存储器操作指令来读取 OSTC 寄存器。

由于复位信号的产生，STOP 指令或 MSTOP 位（时钟操作状态控制寄存器(CSC)的位 7）= 1，将清除 OSTC 寄存器为 00H。

备注 下列情况下，振荡稳定时间计数器开始计数。

- 当 X1 时钟开始振荡(EXCLK、OSCSEL = 0、1 → MSTOP = 0)
- 当解除 STOP 模式

图 5-5. 振荡稳定时间计数器状态寄存器(OSTC) 的格式

地址: FFFA2H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	振荡稳定时间状态		
									$f_x = 10 \text{ MHz}$	$f_x = 20 \text{ MHz}$
0	0	0	0	0	0	0	0	$2^9/f_x \text{ max.}$	25.6 μs max.	12.8 μs max.
1	0	0	0	0	0	0	0	$2^9/f_x \text{ min.}$	25.6 μs min.	12.8 μs min.
1	1	0	0	0	0	0	0	$2^9/f_x \text{ min.}$	51.2 μs min.	25.6 μs min.
1	1	1	0	0	0	0	0	$2^{10}/f_x \text{ min.}$	102.4 μs min.	51.2 μs min.
1	1	1	1	0	0	0	0	$2^{11}/f_x \text{ min.}$	204.8 μs min.	102.4 μs min.
1	1	1	1	1	0	0	0	$2^{13}/f_x \text{ min.}$	819.2 μs min.	409.6 μs min.
1	1	1	1	1	1	0	0	$2^{15}/f_x \text{ min.}$	3.27 ms min.	1.64 ms min.
1	1	1	1	1	1	1	0	$2^{17}/f_x \text{ min.}$	13.11 ms min.	6.55 ms min.
1	1	1	1	1	1	1	1	$2^{18}/f_x \text{ min.}$	26.21 ms min.	13.11 ms min.

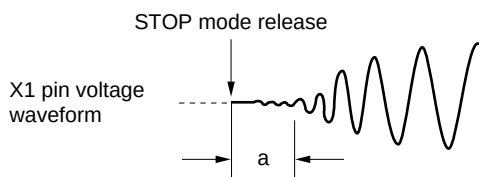
- 注意事项
1. 经过上述时间后, 从 **MOST8** 位开始逐位依次设为 **1** 并保持 **1** 不变。
 2. 振荡稳定时间计数器仅在振荡稳定时间选择寄存器(OSTS)所设置的振荡稳定时间内计数。

下列情况下, 将 **OSTS** 寄存器的振荡稳定时间设置为大于利用 **OSTC** 寄存器进行确认的计数值。

- 高速片上振荡器时钟或副系统时钟用作CPU时钟时, X1时钟开始振荡。
- 高速片上振荡器时钟用作CPU时钟且X1时钟振荡时, 进入**STOP**模式然后解除**STOP**模式。

(注意, 解除**STOP**模式后的**OSTC**寄存器, 仅可设为**OSTS**寄存器所设置的振荡稳定时间内的状态。)

3. X1 时钟振荡稳定等待时间不包括开始时钟振荡前的时间(下图“a”)。



备注 f_x : X1 时钟振荡频率

(5) 振荡稳定时间选择寄存器(OSTS)

该寄存器用于选择解除 STOP 模式时的 X1 时钟振荡稳定等待时间。

当选用 X1 时钟作为 CPU 时钟时，解除 STOP 模式后，会自动等待 OSTS 寄存器设置的时间。

当选用高速片上振荡器时钟作为 CPU 时钟时，解除 STOP 模式后，请通过振荡稳定时间计数器状态寄存器(OSTC)确认所需振荡稳定时间已过。在 OSTS 寄存器事先设置的时间范围内都可以通过 OSTC 寄存器进行确认。

使用 8 位存储器操作指令来设置 OSTS 寄存器。

产生复位信号后，OSTS 寄存器被设置为 07H。

图 5-6. 振荡稳定时间选择寄存器(OSTS) 的格式

地址: FFFA3H 复位后: 07H R/W

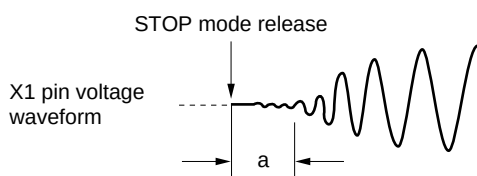
符号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		选择振荡稳定时间	
				$f_x = 10 \text{ MHz}$	$f_x = 20 \text{ MHz}$
0	0	0	$2^8/f_x$	25.6 μs	12.8 μs
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

- 注意事项
1. 用 X1 时钟作为 CPU 时钟并进入 STOP 模式时, 执行 STOP 指令之前须设置好 OSTS 寄存器。
 2. 将时钟操作状态控制寄存器(CSC)的 MSTOP 位设置为 0 之前, 改变 OSTS 寄存器的设置。
 3. X1 时钟振荡稳定时间期间不要更改 OSTS 寄存器的值。
 4. 振荡稳定时间计数器仅在 OSTS 寄存器设置的振荡稳定时间内计数。
 下列情况下, 将 OSTS 寄存器的振荡稳定时间设定为大于开始振荡后将通过 OSTC 寄存器确认的值。

- 高速片上振荡器时钟或副系统时钟用作 CPU 时钟时, X1 时钟开始振荡。
- 高速片上振荡器时钟用作 CPU 时钟且 X1 时钟振荡时, 进入 STOP 模式然后解除 STOP 模式。(注意, 解除 STOP 模式后的 OSTC 寄存器, 仅可设为 OSTS 寄存器所设置的振荡稳定时间内的状态。)

5. X1 时钟振荡稳定等待时间不包括开始时钟振荡前的时间(下图“a”)。

备注 f_x : X1 时钟振荡频率

(6) 外围允许寄存器 0、1 (PER0、PER1)

该寄存器用于允许或禁止将时钟供应给外围硬件。也停止向不使用的硬件供应时钟，以降低功耗和噪声。

使用由该寄存器控制的下列外围功能时，进行外围功能初始设定之前须将对应于各功能的位设置为(1)。

- 实时时钟和 12 位间隔定时器
- 串行接口 IICA1
- A/D 转换器
- 串行接口 IICA0
- 串行阵列单元 1
- 串行阵列单元 0
- 定时器阵列单元 1
- 定时器阵列单元 0
- D/A 转换器
- 定时器 RG
- 比较器
- 定时器 RD
- DTC
- 定时器 RJ

使用 1 位或 8 位存储器操作指令来设置 PER0 和 PER1 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 5-7. 外围允许寄存器 0 (PER0) 的格式(1/3)

地址： F00F0H 复位后： 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCEN	IICA1EN ^{※1}	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN ^{※1}	TAU0EN

RTCEN	实时时钟(RTC)和 12 位间隔定时器输入时钟 ^{※2} 供应的控制
0	停止输入时钟供应。 • 不可写入用于实时时钟(RTC)和 12 位间隔定时器的 SFR。 • 实时时钟(RTC)和 12 位间隔定时器处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于实时时钟(RTC)和 12 位间隔定时器的 SFR。

注 1. 仅限 80 和 100 针产品。

2. 对于使用于实时时钟 (RTC)和 12 位间隔定时器的寄存器，当从 CPU 进行存取时，将使用通过 RTCEN 位控制的输入时钟。RTCEN 位不能控制对于 RTC 和 12 位间隔定时器的操作时钟 (f_{SUB}) 供应。

注意事项 务必将以下位清除为 0。

30、32、36、40、44、48、52、64 针产品： 位 1、6

图 5-7. 外围允许寄存器 0 (PER0) 的格式(2/3)

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCEN	IICA1EN [※]	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN [※]	TAU0EN

IICA1EN [※]	串行接口 IICA1 输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于串行接口 IICA1 的 SFR。 • 串行接口 IICA1 处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于串行接口 IICA1 的 SFR。

ADCEN	A/D 转换器输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于 A/D 转换器的 SFR。 • A/D 转换器处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于 A/D 转换器的 SFR。

IICA0EN	串行接口 IICA0 输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于串行接口 IICA0 的 SFR。 • 串行接口 IICA0 处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于串行接口 IICA0 的 SFR。

SAU1EN	串行阵列单元 1 输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于串行阵列单元 1 的 SFR。 • 串行阵列单元 1 处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于串行阵列单元 1 的 SFR。

SAU0EN	串行阵列单元 0 输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于串行阵列单元 0 的 SFR。 • 串行阵列单元 0 处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于串行阵列单元 0 的 SFR。

注 仅限 80 和 100 针产品。

注意事项 务必将以下位清除为 0。

30、32、36、40、44、48、52、64 针产品: 位 1、6

图 5-7. 外围允许寄存器 0 (PER0) 的格式(3/3)

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCEN	IICA1EN [※]	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN [※]	TAU0EN

TAU1EN [※]	定时器阵列单元 1 输入时钟供应的控制
0	停止输入时钟供应。 - 不可写入用于定时器阵列单元 1 的 SFR。 - 定时器阵列单元 1 处于复位状态。
1	允许输入时钟供应。 可以读取和写入用于定时器阵列单元 1 的 SFR。

TAU0EN	定时器阵列单元 0 输入时钟供应的控制
0	停止输入时钟供应。 - 不可写入用于定时器阵列单元 0 的 SFR。 - 定时器阵列单元 0 处于复位状态。
1	允许输入时钟供应。 可以读取和写入用于定时器阵列单元 0 的 SFR。

注 仅限 80 和 100 针产品。

注意事项 务必将以下位清除为 0。

30、32、36、40、44、48、52、64 针产品: 位 1、6

图 5-8. 的格式外围允许寄存器 1 (PER1) (1/2)

地址: F007AH 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	2	1	<0>
PER1	DACEN 注 1	TRGEN	CMPEN 注 1	TRD0EN	DTCEN	0	0	TRJ0EN

DACEN 注 1	D/A 转换器输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于 D/A 转换器的 SFR。 • D/A 转换器处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于 D/A 转换器的 SFR。

TRGEN	定时器 RG 输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于定时器 RG 的 SFR。 • 定时器 RG 处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于定时器 RG 的 SFR。

CMPEN 注 1	比较器输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于比较器的 SFR。 • 比较器处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于比较器的 SFR。

TRD0EN 注 2	定时器 RD 输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于定时器 RD 的 SFR。 • 定时器 RD 处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于定时器 RD 的 SFR。

- 注 1. 仅限代码闪存为 96 KB 或更大的产品。
2. 当用户选项字节(000C2H/010C2H)被设置为 FRQSEL4 = 1 时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)之前, 要把 f_{CLK} 设置为 f_{IH}。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1)的位 4 (TRD0EN)。

注意事项 务必将以下位清除为 0。

代码闪存为 64 KB 或更小的产品: 位 1、2、5 和 7

代码闪存为 96 KB 或更大的产品: 位 1 和 2

图 5-8. 外围允许寄存器 1 (PER1) (2/2)

地址: F007AH 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	2	1	<0>
PER1	DACEN [※]	TRGEN	CMPEN [※]	TRD0EN	DTCEN	0	0	TRJ0EN

DTCEN	DTC 输入时钟供应的控制
0	停止输入时钟供应。 • DTC 不运行。
1	允许输入时钟供应。 • DTC 运行。

TRJ0EN	定时器 RJ0 输入时钟供应的控制
0	停止输入时钟供应。 • 不可写入用于定时器 RJ0 的 SFR。 • 定时器 RJ0 处于复位状态。
1	允许输入时钟供应。 • 可以读取和写入用于定时器 RJ0 的 SFR。

注 仅限代码闪存为 96 KB 或更大的产品。

注意事项 务必将以下位清除为 0。

代码闪存为 64 KB 或更小的产品: 位 1、2、5 和 7

代码闪存为 96 KB 或更大的产品: 位 1 和 2

(7) 操作速度模式控制寄存器(OSMC)

该寄存器是通过停止不必要的时钟功能来降低功耗的目的。

将 RTCLPC 位设为 1 时，在 STOP 模式时以及 CPU 利用副系统时钟工作的 HALT 模式时，停止向外围功能供应除了实时时钟和 12 位间隔定时器以外的时钟，从而可以降低功耗。**进行此项设置之前，先将外围允许寄存器 0(PER0)的位 7(RTCEN)设置为 1。**

另外，OSMC 寄存器可用于选择实时时钟和 12 位间隔定时器的工作时钟。

使用 8 位存储器操作指令来设置 OSMC 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 5-9. 操作速度模式控制寄存器(OSMC) 的格式

地址: F00F3H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOP 模式时以及 CPU 工作于副系统时钟下的 HALT 模式时的设置
0	允许向外围功能供应副系统时钟 (关于允许操作的外围功能请参阅表 23-1。)
1	停止向外围功能供应除了实时时钟和 12 位间隔定时器以外的副系统时钟。

WUTMMCK0	选择实时时钟、12 位间隔定时器和定时器 RJ 的操作时钟
0	- 选择副系统时钟作为实时时钟和 12 位间隔定时器的操作时钟。 - 不能选择低速片上振荡器作为定时器 RJ 的计数源。
1	- 选择低速片上振荡器时钟作为实时时钟和 12 位间隔定时器的操作时钟。 - 不能选择低速片上振荡器或者副系统时钟作为定时器 RJ 的计数源。

注意事项 通过将 RTCLPC 位设置为 1，可以降低 STOP 模式或者使用副系统时钟的 HALT 模式下的电流。然而，当副系统时钟被选为 CPU 时钟时的 HALT 模式下，不能向实时时钟和 12 位间隔定时器以外的外围功能提供时钟。在设置为副系统时钟 HALT 模式之前，须将外围允许寄存器 0 (PER0)的位 7(RTCEN)设置为 1，将 PER0 寄存器的位 0 至位 6 设置为 0。

(8) 高速片上振荡器频率选择寄存器(HOCODIV)

通过高速片上振荡器频率选择寄存器(HOCODIV)，可以改变由选项字节(000C2H/0102CH)设置的高速片上振荡器的频率。然而，可以选择的频率因选项字节(000C2H/0102CH)的 FRQSEL4 和 FRQSEL3 位而异。

使用 8 位存储器操作指令来设置 HOCODIV 寄存器。

产生复位信号后，该寄存器被清除为初始值（不确定）。

图 5-10. 高速片上振荡器频率选择寄存器(HOCODIV) 的格式

地址: F00A8H 复位后: 不确定 R/W

符号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速片上振荡器时钟频率选择			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{IH} = 24 MHz	f _{IH} = 32 MHz	f _{IH} = 24 MHz f _{HOCO} = 48 MHz	f _{IH} = 32 MHz f _{HOCO} = 64 MHz
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz	f _{IH} = 12 MHz f _{HOCO} = 24 MHz	f _{IH} = 16 MHz f _{HOCO} = 32 MHz
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz	f _{IH} = 6 MHz f _{HOCO} = 12 MHz	f _{IH} = 8 MHz f _{HOCO} = 16 MHz
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz	f _{IH} = 3 MHz f _{HOCO} = 6 MHz	f _{IH} = 4 MHz f _{HOCO} = 8 MHz
1	0	0	禁止设置	f _{IH} = 2 MHz	禁止设置	f _{IH} = 2 MHz f _{HOCO} = 4 MHz
1	0	1	禁止设置	f _{IH} = 1 MHz	禁止设置	f _{IH} = 1 MHz f _{HOCO} = 2 MHz
其它			禁止设置			

- 注意事项
1. 在更改频率之前和之后，在可操作电压范围内设置 HOCODIV 寄存器。
 2. 即使在使用 HOCODIV 寄存器改变频率之后，也要使器件工作于选项字节(000C2H/0102CH)设置的 flash 操作模式电压范围之内。

选项字节 (000C2H/0102CH)值		Flash 操作模式	工作频率范围	工作电压范围
CMODE1	CMODE2			
0	0	LV (低电压主)模式	1 至 4 MHz	1.6 至 5.5 V
1	0	LS (低速主)模式	1 至 8 MHz	1.8 至 5.5 V
1	1	HS (高速主)模式	1 至 16 MHz	2.4 至 5.5 V
			1 至 32 MHz	2.7 至 5.5 V

3. 将高速片上振荡器时钟设为系统时钟时，从 HOCODIV 寄存器更改频率值以后的 3 个时钟内，器件将以设置前的频率工作。
4. 设置 X1 振荡、外部振荡输入或副系统时钟为系统时钟并更改高速片上振荡器的频率时，通过设置 CSC 寄存器的位 0(HIOSTOP)为 1 来停止高速片上振荡器，然后更改频率。

(9) 高速片上振荡器调节寄存器(HIOTRM)

该寄存器用于调节高速片上振荡器的精度。
通过采用了高精度外部时钟输入的定时器等来对高速片上振荡器的频率进行自我测量，从而调节精度。
使用 8 位存储器操作指令来设置 HIOTRM 寄存器。

注意事项 调节精度后如果温度和 V_{DD} 引脚电压发生改变，则频率也会有所变化。温度和 V_{DD} 电压发生变化的情况下，必须定期或在需要频率精度之前执行精度调节。

图 5-11. 高速片上振荡器调节寄存器(HIOTRM) 的格式

地址： F00A0H 复位后： 注 R/W

符号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速片上振荡器
0	0	0	0	0	0	最低速度
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
• • •						
1	1	1	1	1	0	↓
1	1	1	1	1	1	最高速度

注 复位值因芯片而异。

5.4 系统时钟振荡电路

5.4.1 X1 振荡电路

X1 振荡电路是通过连接至 X1 和 X2 引脚的晶体谐振器或陶瓷谐振器（1 至 20MHz）发生振荡。

也可输入外部时钟。此时，将时钟信号输入至 EXCLK 引脚。

要使用 X1 振荡电路，须将时钟操作模式控制寄存器(CMC)的位 7 和位 6(EXCLK、OSCSEL)设置如下。

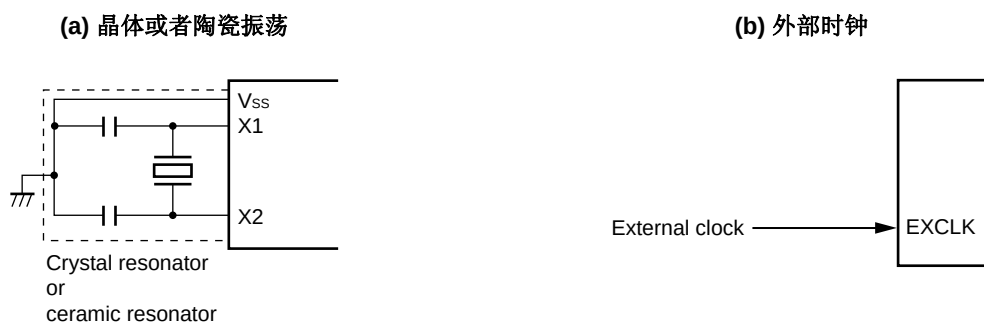
- 晶体或者陶瓷振荡：EXCLK、OSCSEL = 0、1
- 外部时钟输入：EXCLK、OSCSEL = 1、1

不使用 X1 振荡电路时，设置为输入端口模式(EXCLK、OSCSEL = 0、0)。

甚至不用作输入端口引脚时，请参阅表 2-3 未使用引脚的连接(100 针产品)。

X1 振荡电路的外接电路示例如图 5-12 所示。

图 5-12. X1 振荡电路的外接电路示例



注意事项如下页所示。

5.4.2 XT1 振荡电路

XT1 振荡电路是通过连接至 XT1 和 XT2 引脚的晶体谐振器（标准：32.768 kHz）发生振荡。

要使用 XT1 振荡电路，须将时钟操作模式控制寄存器(CMC)的位 4(OSCSELS)设置为 1。

也可输入外部时钟。此时，将时钟信号输入至 EXCLKS 引脚。

要使用 XT1 振荡电路，须将时钟操作模式控制寄存器(CMC)的位 5 和位 4(EXCLKS、OSCSELS)设置为如下。

- 晶体振荡：EXCLKS、OSCSELS = 0、1
- 外部时钟输入：EXCLKS、OSCSELS = 1、1

不使用 XT1 振荡电路时，设置为输入端口模式(EXCLKS、OSCSELS = 0、0)。

甚至不用作输入端口引脚时，请参阅表 2-3 未使用引脚的连接(100 针产品)。

XT1 振荡电路的外接电路示例如图 5-13 所示。

图 5-13. XT1 振荡电路的外接电路示例



注意事项 1. 使用 X1 振荡电路和 XT1 振荡电路时，按照以下要求在图 5-12 和 5-13 中虚线框起来的区域进行布线，从而避免布线电容的不良影响。

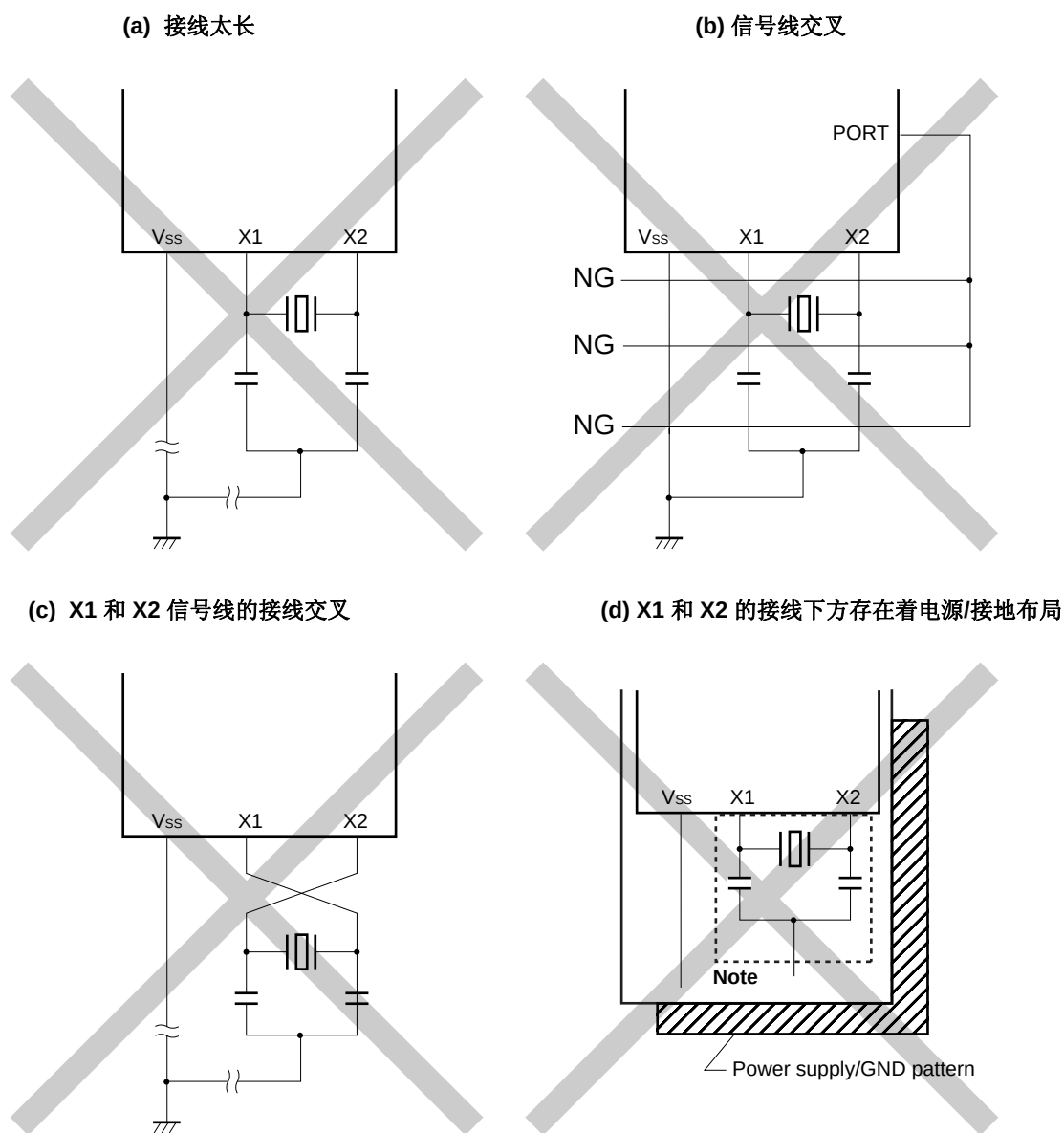
- 布线要保证尽可能短。
- 振荡器布线不要和其它的信号线互相交叉。请勿将振荡器的布线靠近通过高交变电流的信号线。
- 始终保持振荡电路电容的接地点与 V_{SS} 相同。请勿将电容接地到通过高交变电流的接地布局。
- 请勿从振荡电路取信号。

XT1 振荡电路是为了实现低功耗的低增幅电路。设计电路时请注意以下几点。

- 引脚和电路板中含有寄生电容。因此，要在实际使用的电路板上进行振荡评估，确认不存在问题。
- 在超低功耗振荡(AMP_{HS1}、AMP_{HS0} = 1、0)模式下使用 XT1 振荡电路时，请采用 5.7 操作经验证的谐振器和参考振荡器常数中推荐的谐振器。
- 尽量缩短 XT1 和 XT2 引脚与谐振器之间的布线，尽量减小寄生电容和布线电阻。选用超低功耗振荡(AMP_{HS1}、AMP_{HS0} = 1、0)时尤其要注意这一点。
- 使用寄生电容和布线电阻小的材料构建电路板的电路。
- 将具有与 V_{SS} 尽可能接近的电位的接地布局配置在 XT1 振荡电路的附近。
- 确保 XT1 以及 XT2 引脚与谐振器之间的信号线不和其他信号线交叉。请勿将振荡器的布线靠近通过高交变电流的信号线。
- 在高湿度环境中，电路板吸湿或结露可能导致 XT1 与 XT2 引脚之间的阻抗下降并使振荡受到影响。在此类环境中使用电路板时，要对电路板采取防潮措施，例如加涂层。
- 在对电路板进行加涂层处理时，使用不会在 XT1 与 XT2 引脚之间产生电容或漏电的材料。

图 5-14 显示不正确的谐振器连接示例。

图 5-14. 不正确的谐振器连接示例(1/2)

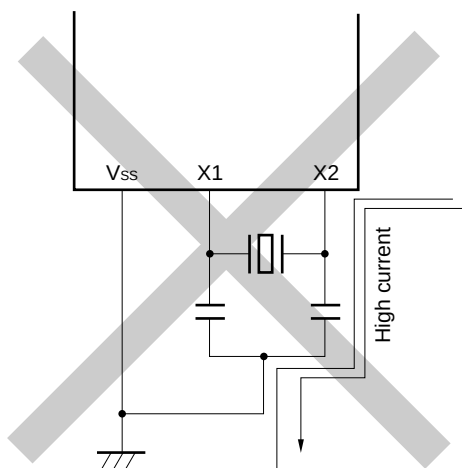
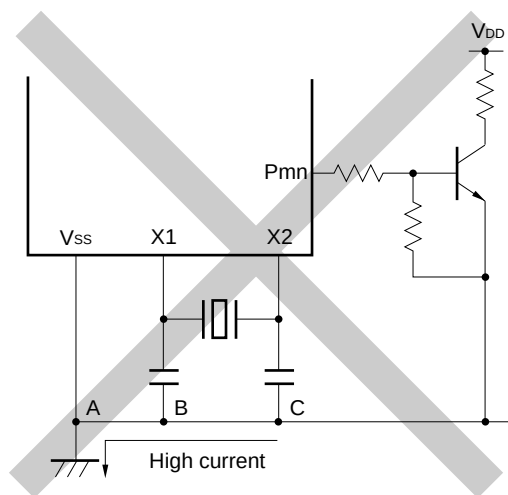


注 在多层板或两面板中，不得在 X1 和 X2 引脚以及谐振器的布线区（图中虚线围住的区域）设置电源/接地布局。不得配置会形成电容元件并影响振荡特性的布局。

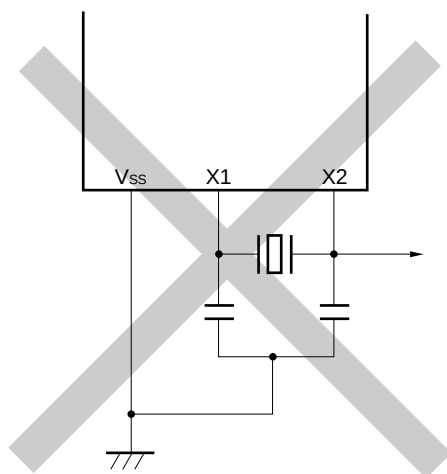
备注 使用副系统时钟时，分别用 XT1 和 XT2 代替 X1 和 X2。同时，在 XT2 侧串行插入电阻。

图 5-14. 不正确的谐振器连接示例(2/2)

(e) 在高交变电流的附近接线

(f) 电流通过振荡电路的接地线
(A、B、C 点的电位会出现波动)

(g) 信号提取



注意事项 当 X2 和 XT1 并行布线时，X2 的串扰噪声可能会在 XT1 中增效，从而导致错误动作。

备注 使用副系统时钟时，分别用 XT1 和 XT2 代替 X1 和 X2。同时，在 XT2 侧串行插入电阻。

5.4.3 高速片上振荡器

RL78/G14 内置有高速片上振荡器。通过选项字节(000C2H)可从以下范围中选择频率：64、48、32、24、16、12、8、4 或 1 MHz。当选择 64 MHz 或 48 MHz 时，所选时钟的二频分被供应至 CPU 时钟。可以通过时钟操作状态控制寄存器(CSC)的位 0(HIOSTOP)来控制振荡。

解除复位后高速片上振荡器自动开始振荡。

5.4.4 低速片上振荡器

RL78/G14 内置有低速片上振荡器。

低速片上振荡器时钟只能用作看门狗定时器、实时时钟、12 位间隔定时器时钟和定时器 RJ 的时钟。低速片上振荡器时钟不能用作 CPU 时钟。

当选项字节(000C0H)的位 4(WDTON)或操作速度模式控制寄存器(OSMC)的位 4(WUTMMCK0)或者两者同时设置为 1 时，该时钟工作。

除非看门狗定时器停止工作且 WUTMMCK0 的值为零，否则低速片上振荡器将持续振荡。当看门狗定时器运行时，即使程序出错低速片上振荡器时钟也不会停止。

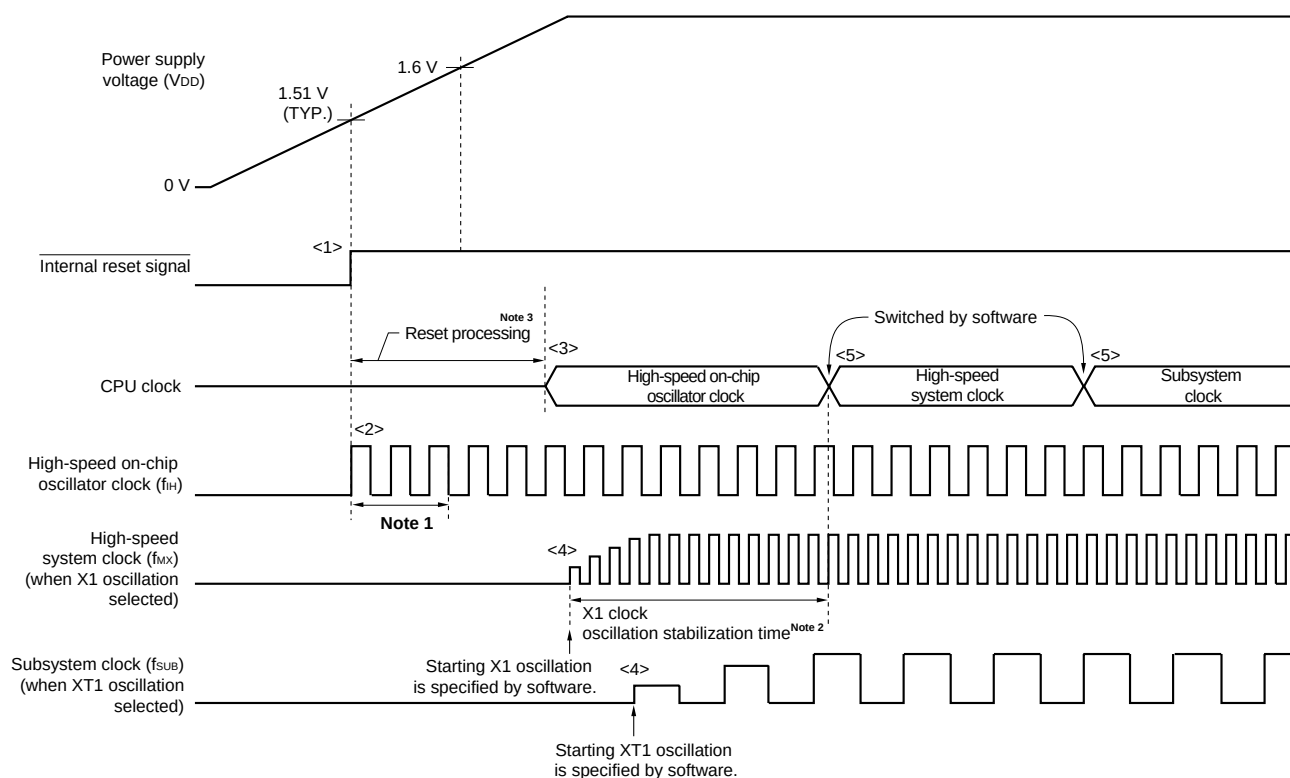
5.5 时钟发生电路的操作

时钟发生电路产生如下所示时钟，并控制例如待机模式等 CPU 的操作模式(参阅图 5-1)。

- 主系统时钟 f_{MAIN}
 - 高速系统时钟 f_{MX}
 - X1 时钟 f_{x}
 - 外部主系统时钟 f_{EX}
 - 高速片上振荡器时钟 f_{IH}
- 系统时钟 f_{SUB}
 - XT1 时钟 f_{XT}
 - 外部副系统时钟 f_{EXS}
- 低速片上振荡器时钟 f_{IL}
- CPU/外围硬件时钟 f_{CLK}

在 RL78/G14 中，解除复位后，CPU 将在高速片上振荡器开始输出时开始工作。
电源电压投入时的时钟发生电路的操作如图 5-15 所示。

图 5-15. 电源电压投入时的时钟发生电路的操作



- <1> 投入电源后，上电复位(POR)电路产生内部复位信号。
- <2> 当电源电压超过 1.51V(TYP.)时，复位被解除，高速片上振荡器自动开始振荡。
- <3> 解除复位并执行例如等待电源电压或稳压器稳定之类的复位处理后，CPU 以高速片上振荡器时钟开始运行。
- <4> 通过软件设置 X1 或 XT1 时钟的振荡（参阅 5.6.2 X1 振荡电路的设置示例 和 5.6.3 XT1 振荡电路的设置示例）。
- <5> 将 CPU 时钟切换为 X1 或 XT1 时钟时，等时钟振荡稳定后，通过软件设置切换（参阅 5.6.2 X1 振荡电路的设置示例 和 5.6.3 XT1 振荡电路的设置示例）。

注 1. 内部复位处理时间包括高速片上振荡器时钟的振荡精度稳定等待时间。

2. 解除复位时，通过振荡稳定时间计数器状态寄存器(OSTC)确认 X1 时钟的振荡稳定时间。

3. 复位处理时间：
387 至 720 μ s (LVD 启用时)
155 至 407 μ s (LVD 关闭时)

注意事项 使用来自 EXCLK 引脚的外部时钟输入时，不必等待振荡稳定时间。

5.6 控制时钟

5.6.1 高速片上振荡器的设置示例

解除复位后，CPU/外围硬件时钟 (f_{CLK}) 总是开始工作于高速片上振荡器时钟。通过选项字节(000C2H)的 FRQSEL0 至 FRQSEL4，可从以下范围内选择高速片上振荡器的频率：64、48、32、24、16、12、8、4 和 1 MHz。另外，可以通过内部高速片上振荡器频率选择寄存器(HOCODIV)来更改频率。

[选项字节设置]

地址：000C2H

选项字节 (000C2H)	7	6	5	4	3	2	1	0
	CMODE1	CMODE0		FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
	0/1	0/1	1	0/1	0/1	0/1	0/1	0/1

CMODE1	CMODE0	Flash 操作模式的设置	
0	0	LV (低电压主)模式	$V_{DD} = 1.6\text{ V}$ 至 5.5 V @ 1 MHz 至 4 MHz
1	0	LS (低速主)模式	$V_{DD} = 1.8\text{ V}$ 至 5.5 V @ 1 MHz 至 8 MHz
1	1	HS (高速主)模式	$V_{DD} = 2.4\text{ V}$ 至 5.5 V @ 1 MHz 至 16 MHz $V_{DD} = 2.7\text{ V}$ 至 5.5 V @ 1 MHz 至 32 MHz

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速片上振荡器的频率	
					f_{HOCO}	f_{IH}
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	1	0	1	1	4 MHz	4 MHz
0	1	1	0	1	1 MHz	1 MHz
其它					禁止设置	

[高速片上振荡器频率选择寄存器(HOCODIV)设置]

地址: F00A8H

	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速片上振荡器时钟频率的选择			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	$f_{IH} = 24 \text{ MHz}$	$f_{IH} = 32 \text{ MHz}$	$f_{IH} = 24 \text{ MHz}$ $f_{HOCO} = 48 \text{ MHz}$	$f_{IH} = 32 \text{ MHz}$ $f_{HOCO} = 64 \text{ MHz}$
0	0	1	$f_{IH} = 12 \text{ MHz}$	$f_{IH} = 16 \text{ MHz}$	$f_{IH} = 12 \text{ MHz}$ $f_{HOCO} = 24 \text{ MHz}$	$f_{IH} = 16 \text{ MHz}$ $f_{HOCO} = 32 \text{ MHz}$
0	1	0	$f_{IH} = 6 \text{ MHz}$	$f_{IH} = 8 \text{ MHz}$	$f_{IH} = 6 \text{ MHz}$ $f_{HOCO} = 12 \text{ MHz}$	$f_{IH} = 8 \text{ MHz}$ $f_{HOCO} = 16 \text{ MHz}$
0	1	1	$f_{IH} = 3 \text{ MHz}$	$f_{IH} = 4 \text{ MHz}$	$f_{IH} = 3 \text{ MHz}$ $f_{HOCO} = 6 \text{ MHz}$	$f_{IH} = 4 \text{ MHz}$ $f_{HOCO} = 8 \text{ MHz}$
1	0	0	禁止设置	$f_{IH} = 2 \text{ MHz}$	禁止设置	$f_{IH} = 2 \text{ MHz}$ $f_{HOCO} = 4 \text{ MHz}$
1	0	1	禁止设置	$f_{IH} = 1 \text{ MHz}$	禁止设置	$f_{IH} = 1 \text{ MHz}$ $f_{HOCO} = 2 \text{ MHz}$
其它			禁止设置			

5.6.2 X1 振荡电路的设置示例

解除复位后，CPU/外围硬件时钟 (f_{CLK}) 总是开始工作于高速片上振荡器时钟。之后，要将时钟更改为 X1 振荡时钟时，须利用时钟操作模式控制寄存器(CMC)和时钟操作状态控制寄存器(CSC)设置振荡器以及开始振荡，并通过振荡稳定时间计数器状态寄存器(OSTC)等待振荡稳定。振荡稳定后，用系统时钟控制寄存器(CKC)将 X1 振荡时钟设置为 f_{CLK}。

[寄存器设置] 按照如下<1>至<5>的顺序设置寄存器。

<1> 将 CMC 寄存器的 OSCSEL 位设置为(1)，在频率等于或大于 10MHz 的情况下，将 AMPH 位设置为(1)，使 X1 振荡电路开始工作。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	1

AMPH 位：当 X1 振荡时钟等于或小于 10MHz 时，将该位设置为 0。

<2> 解除 STOP 模式时，用 OSTS 寄存器选择 X1 振荡电路的振荡稳定时间。

示例：10MHz 谐振器且至少等待 102.4 μs 时，设置为以下值。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

<3> 清除 CSC 寄存器的 MSTOP 位为(0)，使 X1 振荡电路开始振荡。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

<4> 通过 OSTC 寄存器等待 X1 振荡电路的振荡稳定。

示例：10MHz 谐振器且至少等待 102.4 μs 时，等到各个位成为以下的值为止。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

<5> 用 CKC 寄存器的 MCM0 位将 X1 振荡时钟设置为 CPU/外围硬件时钟。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

5.6.3 XT1 振荡电路的设置示例

之后, 要将时钟更改为 XT1 振荡时钟时, 须利用操作速度模式控制寄存器(OSMC)、时钟操作模式控制寄存器(CMC)和时钟操作状态控制寄存器(CSC)设置振荡器以及开始振荡, 并通过系统时钟控制寄存器(CKC)将 XT1 振荡时钟设置为 f_{CLK} 。

[寄存器设置] 按照如下<1>至<5>的顺序设置寄存器。

<1> 在 STOP 或副 HALT 模式下, 仅使实时时钟和 12 位间隔定时器以副系统时钟运行 (超低电流消耗) 时, 将 RTCLPC 位设置为 1。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

<2> 将 CMC 寄存器的 OSCSELS 位设置为(1), 使 XT1 振荡电路开始工作。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0 和 AMPHS1 位: 该位用于指定 XT1 振荡电路的振荡模式。

<3> 清除 CSC 寄存器的 XTSTOP 位为(0), 使 XT1 振荡电路开始工作。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

<4> 借助软件, 使用定时器功能或其他功能等待副系统时钟振荡稳定时间。

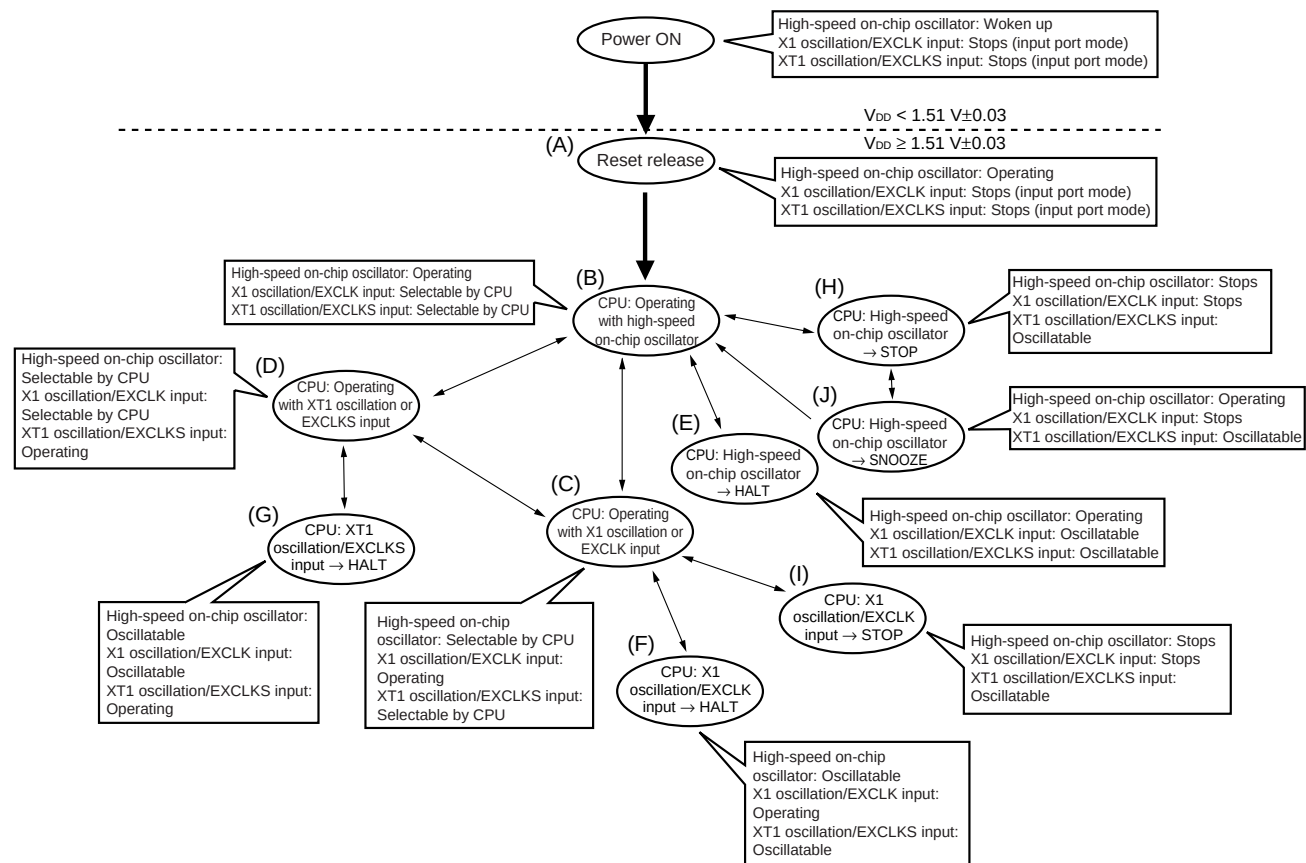
<5> 使用 CKC 寄存器的 CSS 位指定 XT1 振荡时钟为 CPU/外围硬件时钟。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

5.6.4 CPU 时钟状态转换图

本产品的 CPU 时钟状态转换图如图 5-15 所示。

图 5-16. CPU 时钟状态转换图



CPU 时钟转换和 SFR 寄存器的设置示例如表 5-3 所示。

表 5-3. CPU 时钟转换和 SFR 寄存器的设置示例(1/5)

(1) 解除复位 (A) 后, CPU 工作于高速片上振荡器时钟(B)

状态转换	SFR 寄存器设置
(A) → (B)	无需设置 SFR 寄存器 (解除复位后的初始状态)。

(2) 解除复位(A)后, CPU 工作于高速系统时钟(C)

(CPU 在解除复位(B)后立即工作于高速片上振荡器时钟。)

(SFR寄存器的设置序列)

状态转换	CMC 寄存器 ^注			CSC 寄存器	OSTC 寄存器	CKC 寄存器
	EXCLK	OSCESEL	AMPH	MSTOP		MCM0
(A) → (B) → (C) (X1 时钟: $1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$)	0	1	0	0	需确认	1
(A) → (B) → (C) (X1 时钟: $10 \text{ MHz} < f_x \leq 20 \text{ MHz}$)	0	1	1	0	需确认	1
(A) → (B) → (C) (外部主时钟)	1	1	×	0	不需确认	1

注 只能在解除复位后通过 8 位存储器操作指令写入时钟操作模式控制寄存器(CMC)一次。

注意事项 当电源电压达到待设置时钟的可操作电压之后设置该时钟(参阅第三十四章 电特性)。

(3) 解除复位(A)后, CPU 工作于副系统时钟(D)

(CPU 在解除复位 (B)之后立即工作于高速片上振荡器时钟。)

(SFR 寄存器的设置序列)

状态转换	CMC 寄存器 ^注				CSC 寄存器	等待振荡稳定	CKC 寄存器
	EXCLKS	OSCELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) → (B) → (D) (XT1 时钟)	0	1	0/1	0/1	0	必须	1
(A) → (B) → (D) (外部副系统时钟)	1	1	×	×	0	非必须	1

注 只能在解除复位后通过 8 位存储器操作指令写入时钟操作模式控制寄存器(CMC)一次。

备注 1. ×: 忽略

2. 表 5-3 的(A)至(J)对应于图 5-16 的(A)至(J)。

表 5-3. CPU 时钟转换和 SFR 寄存器的设置示例(2/5)

(4) CPU 时钟从高速片上振荡器时钟(B)改变为高速系统时钟(C)

(SFR 寄存器的设置序列) →

SFR 寄存器的设置标志 状态转换	CMC 寄存器 ^{注1}			OSTS 寄存器	CSC 寄存器	OSTC 寄存器	CKC 寄存器
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C) (X1 时钟: $1\text{ MHz} \leq f_X \leq 10\text{ MHz}$)	0	1	0	注 2	0	需确认	1
(B) → (C) (X1 时钟: $10\text{ MHz} < f_X \leq 20\text{ MHz}$)	0	1	1	注 2	0	需确认	1
(B) → (C) (外部主时钟)	1	1	×	注 2	0	不需确认	1

如果寄存器已经设置完毕则无必要 如果 CPU 工作于高速系统时钟则无必要

注 1. 解除复位后, 只能更改时钟操作模式控制寄存器(CMC)一次。已经设置完毕的情况下不需要再次设置。

2. 按下述方式设置振荡稳定时间。

- 振荡稳定时间计数器状态寄存器(OSTC)所需的振荡稳定时间 ≤ 振荡稳定时间选择寄存器(OSTS)设置的振荡稳定时间

注意事项 当电源电压达到待设置时钟的可操作电压之后设置该时钟(参阅第三十四章 电特性)。

(5) CPU 时钟从高速片上振荡器时钟(B)改变为副系统时钟(D)

(SFR 寄存器的设置序列) →

SFR 寄存器的设置标志 状态转换	CMC 寄存器 ^注		CSC 寄存器	等待振荡稳定	CKC 寄存器
	EXCLKS	OSCSELS	XTSTOP		CSS
(B) → (D) (XT1 时钟)	0	1	0	必须	1
(B) → (D) (外部副系统时钟)	1	1	0	非必须	1

如果 CPU 工作于副系统时钟则无必要

注 只能在解除复位后通过 8 位存储器操作指令写入时钟操作模式控制寄存器(CMC)一次。

备注 1. ×: 忽略

2. 表 5-3 的(A)至(J)对应于图 5-16 的(A)至(J)。

表 5-3. CPU 时钟转换和 SFR 寄存器的设置示例(3/5)

(6) CPU 时钟从高速系统时钟(C)改变为高速片上振荡器时钟(B)

(SFR 寄存器的设置序列) →

SFR 寄存器的设置标志 状态转换	CSC 寄存器	振荡精确度稳定时间	CKC 寄存器
	HIOSTOP		MCM0
(C) → (B)	0	30 μ s	0

如果 CPU 工作于高速片上振荡器时钟则无必要

(7) CPU 时钟从高速系统时钟(C)改变为副系统时钟(D)

(SFR 寄存器的设置序列) →

SFR 寄存器的设置标志 状态转换	CSC 寄存器	等待振荡稳定	CKC 寄存器
	XTSTOP		CSS
(C) → (D)	0	必须	1

如果 CPU 工作于副系统时钟则无必要

(8) CPU 时钟从副系统时钟(D)改变为高速片上振荡器时钟(B)

(SFR 寄存器的设置序列) →

SFR 寄存器的设置标志 状态转换	CSC 寄存器	CKC 寄存器	
	HIOSTOP	MCM0	CSS
(D) → (B)	0	0	0

如果 CPU 工作于高速片上振荡器时钟则无必要

如果该寄存器已经设置完毕则无必要

备注 (A) 表 5-3 的(A)至(J)对应于图 5-16 的(A)至(J)。

表 5-3. CPU 时钟转换和 SFR 寄存器的设置示例(4/5)

(9) CPU 时钟从副系统时钟(D)改变为高速系统时钟(C)

(SFR 寄存器的设置序列) 

SFR 寄存器的设置标志 状态转换	OSTS 寄存器	CSC 寄存器	OSTC 寄存器	CKC 寄存器	
		MSTOP		CSS	MCM0
(D) → (C) (X1 时钟: 1 MHz ≤ f _x ≤ 10 MHz)	注	0	需确认	0	1
(D) → (C) (X1 时钟: 10 MHz < f _x ≤ 20 MHz)	注	0	需确认	0	1
(D) → (C) (外部主时钟)	注	0	不需确认	0	1

如果 CPU 工作于高速系统时钟则无必要

如果寄存器已经设置完毕则无必要

注 按下述方式设置振荡稳定时间。

- 振荡稳定时间计数器状态寄存器(OSTC)所需的振荡稳定时间 ≤ 振荡稳定时间选择寄存器(OSTS)设置的振荡稳定时间

注意事项 当电源电压达到待设置时钟的可操作电压之后设置该时钟(参阅第三十四章 电特性)。

- (10) • 当 CPU 工作于高速片上振荡器时钟(B)时设置为 HALT 模式(E)
- 当 CPU 工作于高速系统时钟(C)时设置为 HALT 模式(F)
 - 当 CPU 工作于副系统时钟(D)时设置为 HALT 模式(G)

状态转换	设置
(B) → (E) (C) → (F) (D) → (G)	执行 HALT 指令

备注 表 5-3 的(A)至(J)对应于图 5-16 的(A)至(J)。

表 5-3. CPU 时钟转换和 SFR 寄存器的设置示例(5/5)

- (11) • 当 CPU 工作于高速片上振荡器时钟(B)时设置为 STOP 模式(H)
 • 当 CPU 工作于高速系统时钟(C)时设置为 STOP 模式(I)

(设置序列)

状态转换		设置		
(B) → (H)		停止无法工作于 STOP 模式的外围功能	—	执行 STOP 指令
(C) → (I)	在 X1 振荡时		设置 OSTS 寄存器	
	外部主系统时钟		—	

(12) CPU 从 STOP 模式(H)切换至 SNOOZE 模式(J)

关于从 STOP 模式切换至 SNOOZE 模式的设置详情, 请参阅 14.8 SNOOZE 模式功能, 17.5.7 SNOOZE 模式功能和 17.7.3 SNOOZE 模式功能。

备注 表 5-3 的(A)至(J)对应于图 5-16 的(A)至(J)。

5.6.5 转换 CPU 时钟之前的条件以及转换 CPU 时钟之后的处理

转换 CPU 时钟之前的条件以及转换 CPU 时钟之后的处理如下所示。

表 5-4. CPU 时钟的转换(1/2)

CPU 时钟		转换前的条件	转换后的处理
转换前	转换后		
高速片上振荡器时钟	X1 时钟	X1 振荡的稳定 • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 经过了振荡稳定时间	通过停止高速片上振荡器(HIOSTOP = 1)可以减小操作电流。
	外部主系统时钟	使 EXCLK 引脚的外部时钟输入有效 • OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1 时钟	XT1 振荡的稳定 • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 经过了振荡稳定时间	
	外部副系统时钟	使 EXCLKS 引脚的外部时钟输入有效 • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1 时钟	高速片上振荡器时钟	高速片上振荡器的振荡 • HIOSTOP = 0	可以停止 X1 振荡 (MSTOP = 1)。
	外部主系统时钟	不可以转换 (如要转换时钟, 执行复位然后再次设置。)	—
	XT1 时钟	XT1 振荡的稳定 • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 经过了振荡稳定时间	可以停止 X1 振荡 (MSTOP = 1)。
	外部副系统时钟	使 EXCLKS 引脚的外部时钟输入有效 • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	可以停止 X1 振荡 (MSTOP = 1)。
外部主系统时钟	高速片上振荡器时钟	高速片上振荡器的振荡 • HIOSTOP = 0	可以禁止外部主系统时钟输入(MSTOP = 1)。
	X1 时钟	不可以转换 (如要转换时钟, 执行复位然后再次设置。)	—
	XT1 时钟	XT1 振荡的稳定 • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 经过了振荡稳定时间	可以禁止外部主系统时钟输入(MSTOP = 1)。
	外部副系统时钟	使 EXCLKS 引脚的外部时钟输入有效 • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	可以禁止外部主系统时钟输入(MSTOP = 1)。

表 5-4. CPU 时钟的转换(2/2)

CPU 时钟		转换前的条件	转换后的处理
转换前	转换后		
XT1 时钟	高速片上振荡器时钟	高速片上振荡器的振荡和选择高速片上振荡器时钟作为主系统时钟 • HIOSTOP = 0, MCS = 0	可以停止 XT1 振荡(XTSTOP = 1)
	X1 时钟	X1 振荡的稳定和选择高速系统时钟作为主系统时钟 • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 经过了振荡稳定时间 • MCS = 1	
	外部主系统时钟	使 EXCLK 引脚的外部时钟输入有效和选择高速系统时钟作为主系统时钟 • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	外部副系统时钟	不可以转换 (如要转换时钟, 执行复位然后再次设置。)	—
外部副系统时钟	高速片上振荡器时钟	高速片上振荡器的振荡和选择高速片上振荡器时钟作为主系统时钟 • HIOSTOP = 0, MCS = 0	可以禁止外部副系统时钟输入(XTSTOP = 1)。
	X1 时钟	X1 振荡的稳定和选择高速系统时钟作为主系统时钟 • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 经过了振荡稳定时间 • MCS = 1	
	外部主系统时钟	使 EXCLK 引脚的外部时钟输入有效和选择高速系统时钟作为主系统时钟 • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	XT1 时钟	不可以转换 (如要转换时钟, 执行复位然后再次设置。)	—

5.6.6 切换 CPU 时钟和切换主系统时钟所需要的时间

通过设置系统时钟控制寄存器(CKC)的位 4 和位 6(MCM0、CSS)，可以切换 CPU 时钟（在主系统时钟与副系统时钟之间）以及切换主系统时钟（在高速片上振荡器时钟与高速系统时钟之间）。

重新写入 CKC 寄存器之后，并不立即进行实际切换；将以切换前的时钟继续操作数个时钟周期（参阅表 5-5 至表 5-7）。

通过 CKC 寄存器的位 7(CLS)来明确 CPU 是利用主系统时钟还是副系统时钟工作。通过 CKC 寄存器的位 5(MCS)来明确主系统时钟是工作于高速系统时钟还是高速片上振荡器时钟。

切换 CPU 时钟时，外围硬件时钟也同时被切换。

表 5-5. 切换主系统时钟需要的最长时间

时钟 A	切换方向	时钟 B	备注
f_{IH}		f_{MX}	参阅表 5-6
f_{MAIN}	↔	f_{SUB}	参阅表 5-7

表 5-6. $f_{IH} \leftrightarrow f_{MX}$ 需要的最大时钟数

切换前的设置值		切换后的设置值	
MCM0		MCM0	
		0 ($f_{MAIN} = f_{IH}$)	1 ($f_{MAIN} = f_{MX}$)
0 ($f_{MAIN} = f_{IH}$)	$f_{MX} \geq f_{IH}$		2 个时钟
	$f_{MX} < f_{IH}$		2 个 f_{IH}/f_{MX} 时钟
1 ($f_{MAIN} = f_{MX}$)	$f_{MX} \geq f_{IH}$	2 个 f_{MX}/f_{IH} 时钟	
	$f_{MX} < f_{IH}$	2 个时钟	

表 5-7. $f_{MAIN} \leftrightarrow f_{SUB}$ 需要的最大时钟数

切换前的设置值		切换后的设置值	
CSS		CSS	
		0 ($f_{CLK} = f_{MAIN}$)	1 ($f_{CLK} = f_{SUB}$)
0 ($f_{CLK} = f_{MAIN}$)			1 + 2 个 f_{MAIN}/f_{SUB} 时钟
1 ($f_{CLK} = f_{SUB}$)		3 个时钟	

- 备注 1.** 表 5-6 至 5-7 中列出的时钟数是切换前的 CPU 时钟数。
2. 计算表 5-6 至 5-7 中列出的时钟数时去掉小数部分。

示例 当主系统时钟从高速片上振荡器时钟（选择 8MHz 时）切换至高速系统时钟(@振荡频率 $f_{IH} = 8$ MHz、 $f_{MX} = 10$ MHz)
 $1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 \rightarrow 2$ 个时钟

5.6.7 停止时钟振荡前的条件

用于停止时钟振荡（禁止外部时钟输入）的寄存器标志设置以及停止时钟振荡之前的条件如下所示。

表 5-8. 停止时钟振荡前的条件和标志设置

时钟	停止时钟振荡前的条件 (禁止外部时钟输入)	SFR 寄存器的标志设置
高速片上振荡器时钟	MCS = 1 or CLS = 1 (CPU 工作于高速片上振荡器时钟以外的时钟。)	HIOSTOP = 1
X1 时钟	MCS = 0 or CLS = 1 (CPU 工作于高速系统时钟以外的时钟。)	MSTOP = 1
外部主系统时钟		
XT1 时钟	CLS = 0 (CPU 工作于副系统时钟以外的时钟。)	XTSTOP = 1
外部副系统时钟		

5.7 操作经验证的谐振器和参考振荡器常数 截止到 2011 年 12 月

操作经验证的谐振器和其参考振荡器常数如下所示。

这些振荡电路常数是以前在制造商的具体环境中进行的评估为基础，仅供参考。

如果要在实际应用中优化振荡电路特性，请向谐振器制造商提出对于组装电路的评估申请。

振荡电压和振荡频率只表示振荡电路特性。

使用 RL78/G14 时，要使内部操作条件符合 DC 和 AC 特性规范。

图 5-17. 外部电路的示例



(1) X1 振荡

制造商	谐振器	部件编号	SMD/ Lead	频率 (MHz)	Flash 操作 模式 ^{注1}	电路常数 (参考) ^{注2}			电压 范围(V)	
						C1 (pF)	C2 (pF)	Rd (k Ω)	MIN.	MAX.
Murata Manufacturing Co., Ltd.	陶瓷谐振器	CSTCR4M00G55-R0	SMD	4.0	LV	(39)	(39)	0	1.6	5.5
		CSTLS4M00G53-B0	Lead			(15)	(15)	0		
		CSTCR4M00G55-R0	SMD	4.0	LS	(39)	(39)	0	1.8	5.5
		CSTLS4M00G53-B0	Lead			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0		
		CSTLS5M00G53-B0	Lead			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	Lead			(15)	(15)	0		
		CSTCR8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	Lead			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0	HS	(15)	(15)	0	2.4	5.5
		CSTLS5M00G53-B0	Lead			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	Lead			(15)	(15)	0		
		CSTCR8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	Lead			(15)	(15)	0		
		CSTCR10M0G52-R0	SMD	10.0		(10)	(10)	0		
		CSTLS10M0G53-B0	Lead			(15)	(15)	0		
		CSTCR16M0V53-R0	SMD	16.0		(15)	(15)	0		
		CSTLS16M0X51-B0	Lead			(5)	(5)	0		
		CSTCR20M0V51-R0	SMD	20.0	HS	(5)	(5)	0	2.7	5.5
		CSTLS20M0X51-B0	Lead			(5)	(5)	0		
Nihon Dempa Kogyo Co., Ltd.	陶瓷谐振器	NX8045GB ^{注3}	SMD	8	LS	注3			1.8	5.5
		NX8045GB ^{注3}	SMD	8	HS				2.4	5.5
		NX5032GA ^{注3}	SMD	16	HS					
		NX3225HA ^{注3}	SMD	20	HS				2.7	5.5

注 1. 通过选项字节(000C2H/010C2H)的 CMODE1 和 CMODE0 位设置 flash 操作模式。

2. C1 和 C2 栏括号中的值表示内部电容。

3. 在使用这些谐振器时, 请联系 Nihon Dempa Kogyo Co., Ltd (<http://www.ndk.com/en>), 以了解有关匹配的详情。

(注意事项如下页所示。)

- 注意事项 1. 以上所示操作经验证的谐振器的参数和参考振荡器常数仅为参考值，其以谐振器制造商提供的信息为基础。瑞萨电子公司不对这些值作任何担保。参考振荡器常数为谐振器制造商在特定操作条件下进行测试的结果。实际系统中的值可能有所不同。有关适用于您的系统的最佳振荡器常数，请与谐振器制造商联系，以对实际电路进行评估。另外，以上条件为连接至 MCU 的谐振器发生振荡的条件，并不表示 MCU 的操作条件。请在符合 DC 和 AC 特性规范的操作条件下使用 MCU。
2. 因反馈电阻内置于 MCU 之中，故留空。

(2) XT1 振荡 (晶体谐振器)

制造商	部件编号	SMD/ Lead	频率 (kHz)	负载 电容 CL (pF)	X1 振荡 模式 ^{註1}	电路常数 (参考)			电压 范围(V)	
						C3 (pF)	C4 (pF)	Rd (k)	MIN.	MAX.
Seiko Instruments Inc.	SSP-T7-FL ^{註2}	SMD	32.768	6.0	正常振荡	10	9	0	1.6	5.5
				4.4	低功耗振荡	7	5	0		
				3.7	超低功耗振荡	6	3	0		
	VT-200-FL ^{註2}	Lead		6.0	正常振荡	10	9	0		
				4.4	低功耗振荡	7	5	0		
				3.7	超低功耗振荡	6	3	0		
Nihon Dempa Kogyo Co., Ltd.	NX3215SA ^{註3}	SMD	32.768	6.0	正常振荡	註 3			1.6	5.5
				低功耗振荡						
				超低功耗振荡						

注 1. 通过时钟操作模式控制寄存器 (CMC) 的 AMPHS0 和 AMPHS1 位设置 XT1 振荡模式。

2. 在使用这些谐振器时, 请联系 Seiko Instruments Inc., Ltd (<http://www.sii-crystal.com>), 以了解有关匹配的详情。

3. 在使用这些谐振器时, 请联系 Nihon Dempa Kogyo Co., Ltd (<http://www.ndk.com/en>), 以了解有关匹配的详情。

- 注意事项 1. 以上所示操作经验证的谐振器的参数和参考振荡器常数仅为参考值, 其以谐振器制造商提供的信息为基础。瑞萨电子公司不对这些值作任何担保。参考振荡器常数为谐振器制造商在特定操作条件下进行测试的结果。实际系统中的值可能有所不同。有关适用于您的系统的最佳振荡器常数, 请与谐振器制造商联系, 以对实际电路进行评估。另外, 以上条件为连接至 MCU 的谐振器发生振荡的条件, 并不表示 MCU 的操作条件。请在符合 DC 和 AC 特性规范的操作条件下使用 MCU。
2. 因反馈电阻内置于 MCU 之中, 故留空。

第六章 定时器阵列单元

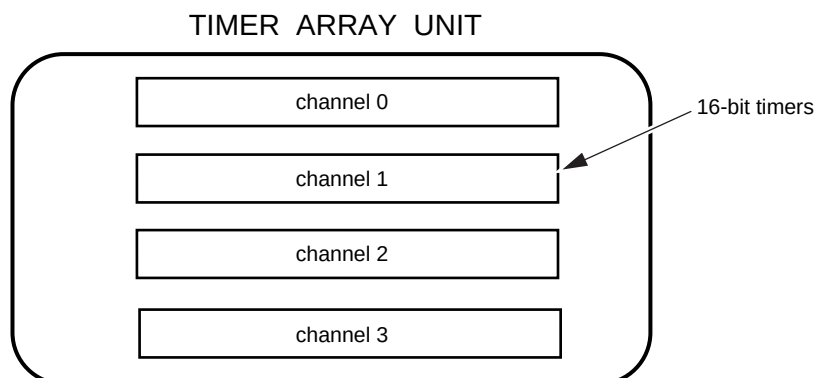
定时器阵列单元的单元或通道数量因产品而异。

单元	通道	30、32、36、40、44、48、52、 64针	80、100针
单元0	通道0	√	√
	通道1	√	√
	通道2	√	√
	通道3	√	√
单元1	通道0	—	√
	通道1	—	√
	通道2	—	√
	通道3	—	√

- 注意事项**
1. 定时器 I/O 引脚的有无因产品而异。有关详情，请参阅表 6-2 每种产品中提供的定时器 I/O 引脚。
 2. 本章的下述内容主要是以 100 针产品为例进行说明。

定时器阵列单元具有 4 个 16 位定时器。

每个 16 位定时器被称为一个通道，可用作独立的定时器。另外，两个或更多“通道”可用来构建一个高精度的定时器。



关于每个功能的详情，请参阅下表。

单独通道操作功能	多个通道联动操作功能
• 间隔定时器(→ 参阅 6.7.1) • 方波输出(→ 参阅 6.7.1) • 外部事件计数器(→ 参阅 6.7.2) • 分频器功能^注 (→ 参阅 6.7.3) • 输入脉冲间隔测量 (→ 参阅 6.7.4) • 输入信号的高/低电平宽度的测量 (→ 参阅 6.7.5) • 延迟计数器(→ 参阅 6.7.6)	• 单触发脉冲输出(→ 参阅 6.8.1) • PWM 输出(→ 参阅 6.8.2) • 多重 PWM 输出(→ 参阅 6.8.3)

注 仅限单元 0 的通道 0。

可以将单元 0 和单元 1 的通道 1 和通道 3 的 16 位定时器用作两个 8 位定时器（高位和低位）。将通道 1 和通道 3 用作 8 位定时器时可用的功能如下：

- 间隔定时器
- 外部事件计数器(仅限低 8 位定时器)
- 延迟计数器(仅限低 8 位定时器)

将单元 0 的通道 3 与串行阵列单元 UART0 结合使用的话，可以实现 LIN-bus 通信。

6.1 定时器阵列单元功能

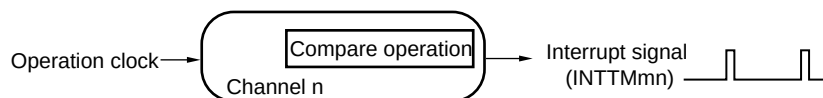
定时器阵列单元具有以下功能：

6.1.1 单独通道操作功能

通过单独操作一个通道，从而不受其它通道操作模式影响地达到以下目的。

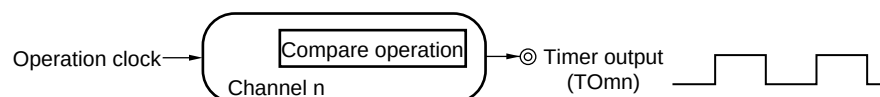
(1) 间隔定时器

单元中的各个定时器都可用作按照固定间隔产生中断(INTTMmn)的基准定时器。



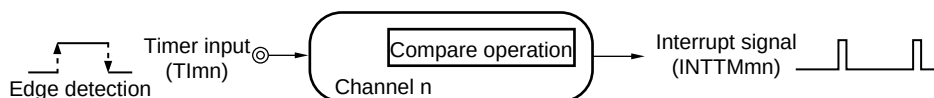
(2) 方波输出

每当产生 INTTMmn 中断时执行交替操作，并从定时器输出引脚(TOm_n)输出占空比 50%的方波。



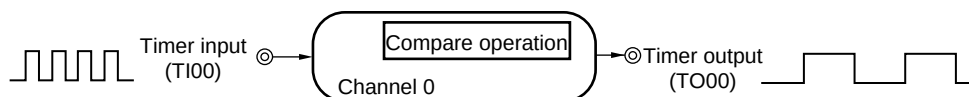
(3) 外部事件计数器

单元中的各个定时器可以用作事件计数器，当输入至定时器输入引脚(TIm_n)的信号的有效边沿数达到指定值时，产生一个中断。



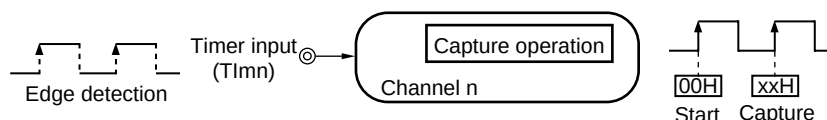
(4) 分频器功能 (仅限通道 0)

将从定时器输入引脚(TI00)输入的时钟分频，并从输出引脚 (TOm0)输出。



(5) 输入脉冲间隔测量

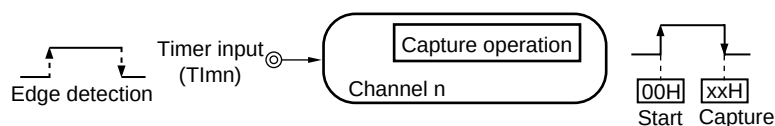
从定时器输入引脚(TIm_n)输入的脉冲信号的有效边沿开始计数。并且在下一个脉冲的有效边沿捕捉定时器的计数值。从而测量输入脉冲的间隔。



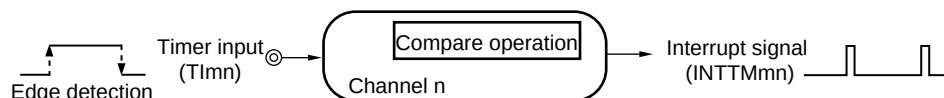
(注、注意事项和备注如下页所示。)

(6) 输入信号的高/低电平宽度的测量

从定时器输入引脚 (TImn) 输入的信号的一个边沿开始计数，在另一个边沿捕捉计数值，从而测量输入信号的高电平或低电平宽度。

**(7) 延迟计数器**

从定时器输入引脚(TImn)输入的信号的有效边沿开始计数，并在经过任意延迟期间后产生中断。



备注 1 n: 通道编号 (n = 0 至 3)

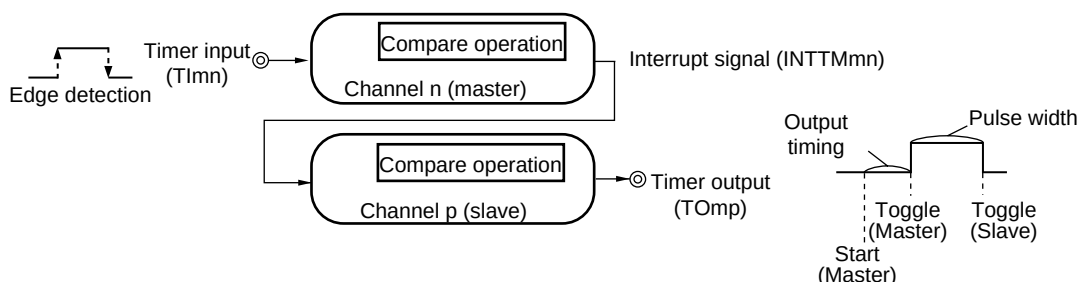
2. 定时器 I/O 引脚的存在与否因产品而异。有关详情，请参阅表 6-2 每种产品中提供的定时器 I/O 引脚。

6.1.2 多个通道联动操作功能

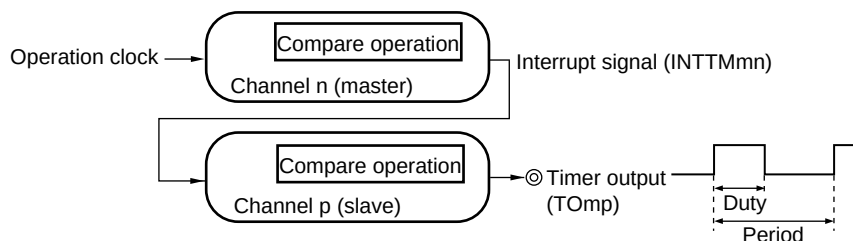
通过结合使用主通道（主要用于控制周期的基准定时器）和从属通道（以主通道为基准而工作的定时器），来实现以下功能。

(1) 单触发脉冲输出

将两个通道成组使用，生成可任意指定输出时序和脉冲宽度的单触发脉冲。

**(2) PWM（脉冲宽度调制）输出**

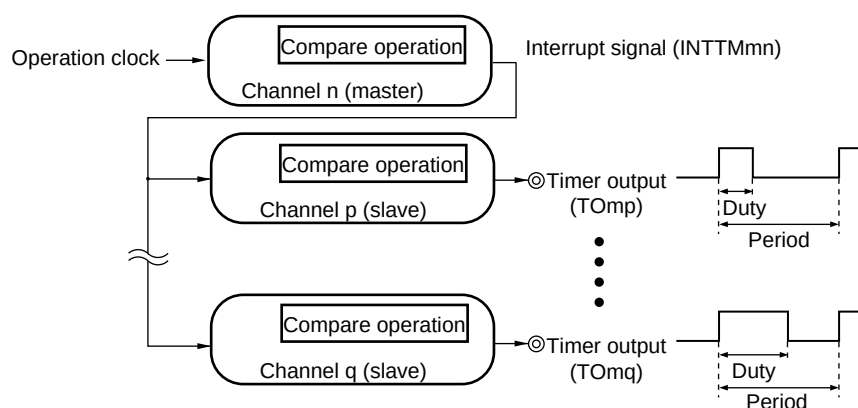
将两个通道成组使用，生成可任意指定周期和占空比的脉冲。



(注意事项如下页所示。)

(3) 多重 PWM（脉冲宽度调制）输出

通过扩展 PWM 功能，并利用一个主通道和两个或更多的从属通道，从而生成最多三种具有指定周期且指定占空比的 PWM 信号。



注意事项 结合使用多个通道时须遵守以下规则。

- 主通道仅能设置偶数通道（通道 0、2）。
- 从属通道仅能设置主通道的低位通道（可以设置多个从属通道）。

关于多个通道联动操作功能规则的详情，请参阅 6.4.1 多个通道联动操作功能的基本规则。

备注 m: 单元编号($m = 0, 1$), n: 通道编号($n = 0$ 至 3),
p、q: 从属通道编号($n < p < q \leq 3$)

6.1.3 8 位定时器操作功能（仅限通道 1 和 3）

通过 8 位定时器操作功能，可以将 16 位定时器通道作为包括两个 8 位定时器通道的构造来使用。该功能仅用于通道 1 和通道 3。

注意事项 使用 8 位定时器操作功能时须遵守以下规则。

详情请参阅 6.4.2 8 位定时器操作功能的基本规则（仅限通道 1 和 3）。

6.1.4 支持 LIN-bus 功能（仅限单元 0 的通道 3）

定时器阵列单元用于检查 LIN-bus 通信中接收的信号与 LIN-bus 通信格式是否匹配。

(1) 唤醒信号的检测

从 UART0 的串行数据输入引脚(RxD0)输入的信号的下降沿定时器开始计数，并且在上升沿捕捉定时器的计数值，从而测量低电平宽度。如果低电平宽度大于或等于指定值，则被识别为唤醒信号。

(2) 同步中断区域的检测

检测到唤醒信号之后，从 UART0 的串行数据输入引脚(RxD0)输入的信号的下降沿定时器开始计数，并且在上升沿捕捉定时器的计数值，从而测量低电平宽度。如果低电平宽度大于或等于指定值，则被识别为同步中断区域。

(3) 同步区域脉冲宽度的测量

检测到同步中断区域之后，测量从 UART0 的串行数据输入引脚(RxD0)输入的信号的低电平宽度和高电平宽度。根据以这种方式测得的同步区域的位间隔，计算出波特率。

备注 关于兼容 LIN-bus 通信功能的操作设置的详情，请参阅 6.3 (13)输入切换控制寄存器(ISC)和 6.7.5 输入信号高/低电平宽度测量的操作。

6.2 定时器阵列单元的配置

定时器阵列单元包含以下硬件。

表 6-1. 定时器阵列单元的配置

项目	配置
定时器/计数器	定时器计数寄存器 mn(TCRmn)
寄存器	定时器数据寄存器 mn(TDRmn)
定时器输入	TI00 至 TI03、TI10 至 TI13 ^{注1} 、RxD0 引脚(用于 LIN-bus)
定时器输出	TO00 至 TO03、TO10 至 TO13 引脚 ^{注1} ,输出控制电路
控制寄存器	<单元设置块的寄存器> • 外围允许寄存器 0 (PER0) • 定时器时钟选择寄存器 m (TPSm) • 定时器通道允许状态寄存器 m (TEm) • 定时器通道开始寄存器 m (TSm) • 定时器通道停止寄存器 m (TTm) • 定时器输入选择寄存器 0 (TIS0) • 定时器输出允许寄存器 m (TOEm) • 定时器输出寄存器 m (TOM) • 定时器输出电平寄存器 m (TOLm) • 定时器输出模式寄存器 m (TOMm) <每个通道的寄存器> • 定时器模式寄存器 mn(TMRmn) • 定时器状态寄存器 mn(TSRmn) • 输入切换控制寄存器(ISC) • 噪声滤波器允许寄存器 1、2 (NFEN1、NFEN2) • 端口模式寄存器(PMxx)^{注2} • 端口寄存器(Pxx)^{注2}

注 1. 通道 0 至通道 3 的定时器 I/O 引脚的存在与否因产品而异。有关详情, 请参阅表 6-2 每种产品中提供的定时器 I/O 引脚。

2. 端口模式寄存器(PMxx)和端口寄存器(Pxx)的设置因产品而异。详情请参阅 6.3 (15) 端口模式寄存器 0, 1, 3, 6 (PM0, PM1, PM3, PM6)。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

各定时器阵列单元通道的定时器 I/O 引脚的存在与否因产品而异。

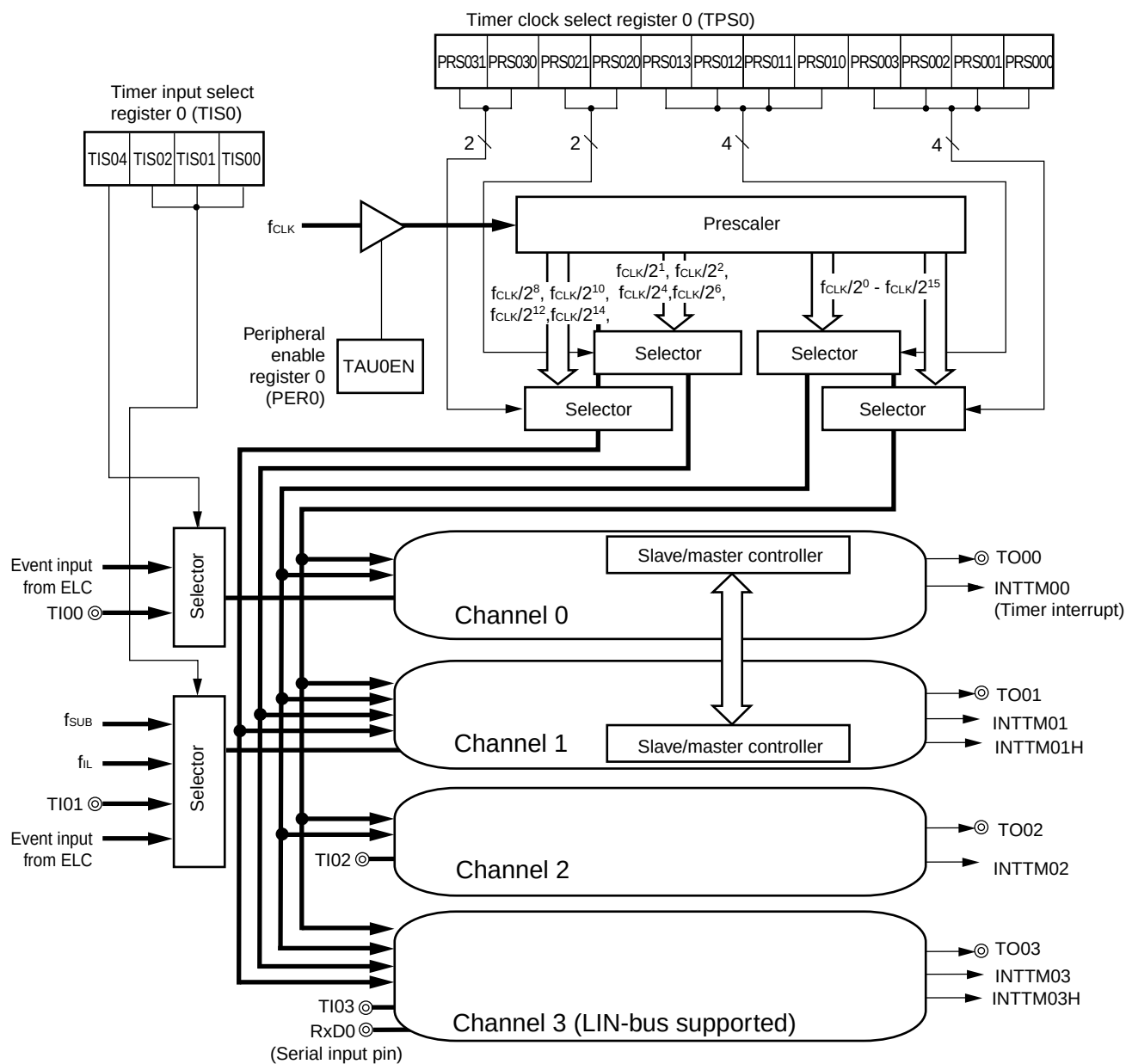
表 6-2. 每种产品中提供的定时器 I/O 引脚

定时器阵列单元 通道		每种产品的I/O引脚					
		100针	80针	30、32、36、40、44、48、52、64针			
单元0	通道0	P00/TI00, P01/TO00					
	通道1	P16/TI01/TO01					
	通道2	P17/TI02/TO02					
	通道3	P31/TI03/TO03					
单元1	通道0	P64/TI10/TO10	×	×	×	×	×
	通道1	P65/TI11/TO11	×	×	×	×	×
	通道2	P66/TI12/TO12	×	×	×	×	×
	通道3	P67/TI13/TO13	×	×	×	×	×

- 备注 1.** 当定时器输入和定时器输出共用同一引脚时，仅可以使用定时器输入或定时器输出。
2. ×：通道无效。

定时器阵列单元的框图如图 6-1 和图 6-2 所示。

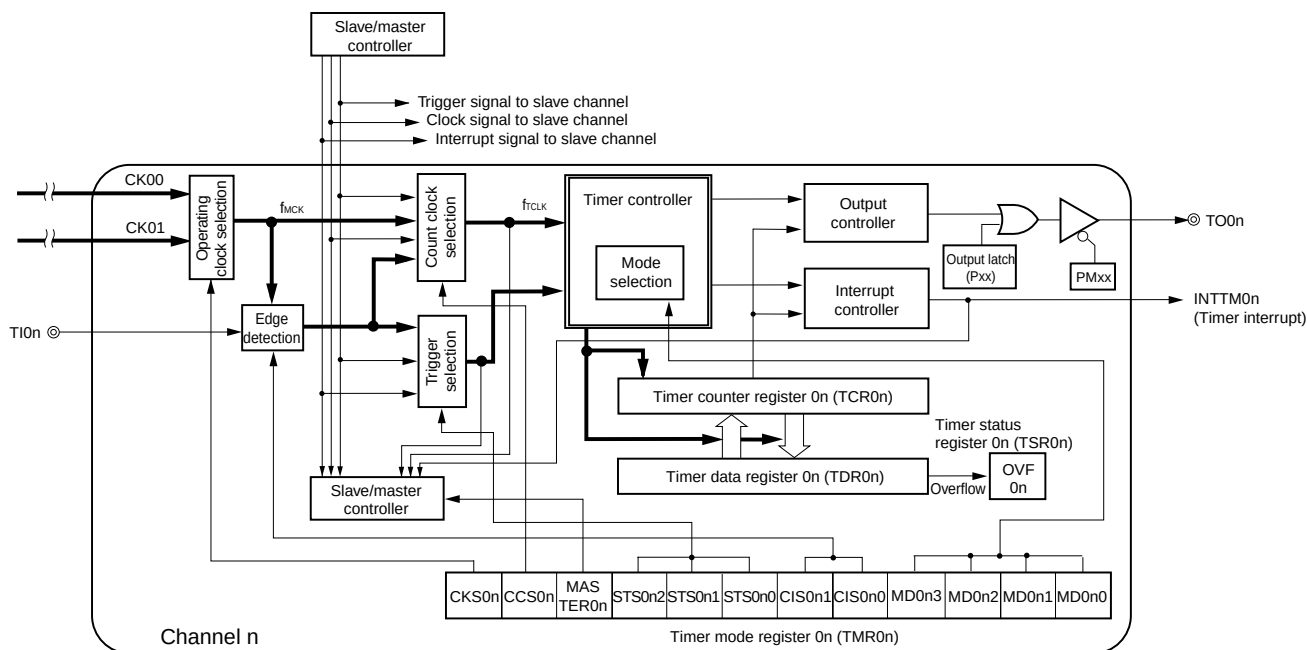
图 6-1. 定时器阵列单元 0 的整体配置 (示例: 100 针产品)



备注 f_{SUB} : 副系统时钟频率

f_{IL} : 低速片上振荡器时钟频率

图 6-2. 定时器阵列单元 0 的通道内部框图



备注 $n = 0, 2$

(1) 定时器计数寄存器 mn (TCR mn)

TCR mn 寄存器是 16 位只读寄存器，用于对时钟进行计数。

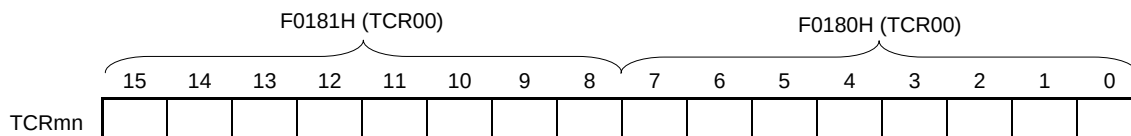
与计数时钟的上升沿同步，进行递增或递减计数。

通过定时器模式寄存器 mn (TMR mn)的 MD mn 3 位至 MD mn 0 位来选择操作模式，从而切换至递增或递减（参阅 6.3

(3) 定时器模式寄存器 mn (TMR mn)）。

图 6-3. 定时器计数寄存器 mn (TCR mn)的格式

地址：F0180H, F0181H (TCR00)至 F0186H, F0187H (TCR03), 复位后：FFFFH R
F01C0H, F01C1H (TCR10)至 F01C6H, F01C7H (TCR13)



备注 m : 单元编号($m = 0, 1$), n : 通道编号($n = 0$ 至 3)

可以通过读取定时器计数寄存器 mn (TCRmn)来读取计数值。

下列情况中计数值被设置为 FFFFH。

- 产生复位信号后
- 外围允许寄存器 0(PERO)的 TAUMEN 位被清除时
- 在 PWM 输出模式下完成从属通道计数时
- 在延迟计数模式下完成从属通道计数时
- 在单触发脉冲输出模式下完成主/从属通道计数时
- 在多重 PWM 输出模式下完成从属通道计数时

下列情况中计数值被清除为 0000H。

- 在捕捉模式下输入开始触发时
- 在捕捉模式下完成捕捉时

注意事项 即使在 TCRmn 寄存器被读取时，也不会将计数值捕捉至定时器数据寄存器 mn (TDRmn)。

如下所示，TCRmn 寄存器读取值因操作模式变化和操作状态而异。

表 6-3. 各种操作模式下定时器计数寄存器 mn (TCRmn)的读取值

操作模式	计数模式	定时器计数寄存器 mn (TCRmn)读取值 ^注			
		解除复位后操作模式发生变化时的值	暂停计数操作后 (TTmn = 1)操作模式发生变化时的值	暂停计数操作后 (TTmn = 1)重新开始操作时的值	一次计数后等待开始触发时的值
间隔定时器模式	递减计数	FFFFH	不确定	停止值	—
捕捉模式	递增计数	0000H	不确定	停止值	—
事件计数器模式	递减计数	FFFFH	不确定	停止值	—
单计数模式	递减计数	FFFFH	不确定	停止值	FFFFH
捕捉&单计数模式	递增计数	0000H	不确定	停止值	TDRmn寄存器的捕捉值 + 1

注 表示当通道 n 停止定时器操作模式(TEmn = 0)且允许计数器操作(TSmn = 1)时 TCRmn 寄存器的读取值。直到开始计数操作为止，该值被保持在 TCRmn 寄存器中。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(2) 定时器数据寄存器 mn(TDRmn)

可以选用捕捉功能和比较功能的 16 位寄存器。

利用定时器模式寄存器 mn(TMRmn)的 MDmn3 位至 MDmn0 位来选择操作模式，从而切换至捕捉功能或比较功能。

TDRmn 寄存器的值可以随时更改。

可以按 16 位单位读取或写入。

另外，对于 TDRm1 和 TDRm3 寄存器，当处于 8 位定时器模式时（定时器模式寄存器 m1 和 m3(TMRm1、TMRm3)的 SPLIT 位为 1 时），可以按 8 位单位重写数据，其中，TDRm1H 和 TDRm3H 用作高 8 位，TDRm1L 和 TDRm3L 用作低 8 位。然而，只能按 16 位单位读取。

产生复位信号后，该寄存器被清除为 0000H。

图 6-4. 定时器数据寄存器 mn(TDRmn)的格式(n = 0, 2)

地址: FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), 复位后: 0000H R/W
FFF70H, FFF71H (TDR10), FFF74H, FFF75H (TDR12)

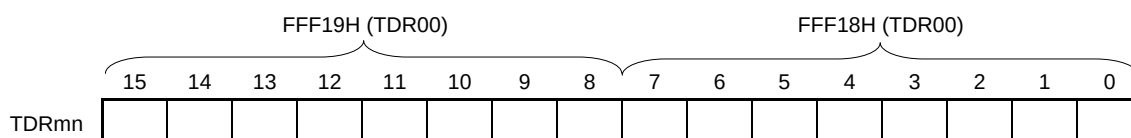
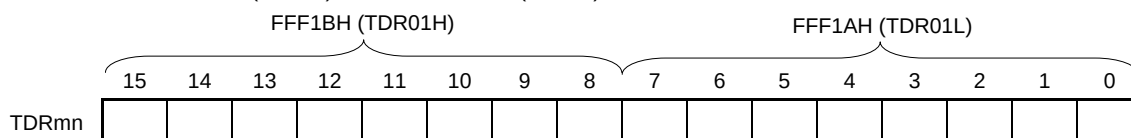


图 6-5. 定时器数据寄存器 mn(TDRmn)的格式(n = 1, 3)

地址: FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03), 复位后: 0000H R/W
FFF72H, FFF73H (TDR11), FFF76H, FFF77H (TDR13)

**(i) 使用定时器数据寄存器 mn(TDRmn)作为比较寄存器时**

从设置到 TDRmn 寄存器的值开始递减计数。当计数值达到 0000H 时，产生中断信号(INTTMmn)。直到重写为止 TDRmn 寄存器将保持其值。

注意事项 当设置为比较功能时，即使输入捕捉触发，TDRmn 寄存器也不会执行捕捉操作。

(ii) 使用定时器数据寄存器 mn(TDRmn)作为捕捉寄存器时

输入捕捉触发时，定时器计数寄存器 mn(TCRmn)的计数值将被捕捉至 TDRmn 寄存器。

可以选择 TImn 引脚的有效边沿作为捕捉触发。通过定时器模式寄存器 mn(TMRmn)进行选择。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

6.3 控制定时器阵列单元的寄存器

下列寄存器控制着定时器阵列单元。

- 外围允许寄存器 0 (PER0)
- 定时器时钟选择寄存器 m (TPSm)
- 定时器模式寄存器 mn(TMRmn)
- 定时器状态寄存器 mn(TSRmn)
- 定时器通道允许状态寄存器 m (TEm)
- 定时器通道开始寄存器 m (TSm)
- 定时器通道停止寄存器 m (TTm)
- 定时器输入选择寄存器 0 (TIS0)
- 定时器输出允许寄存器 m (TOEm)
- 定时器输出寄存器 m (TOM)
- 定时器输出电平寄存器 m (TOLm)
- 定时器输出模式寄存器 m (TOMm)
- 输入切换控制寄存器(ISC)
- 噪声滤波器允许寄存器 1、2 (NFEN1、NFEN2)
- 端口模式寄存器(PMxx)[‡]
- 端口寄存器(Pxx)[‡]

注 端口模式寄存器(PMxx)和端口寄存器(Pxx)的设置因产品而异。详情请参阅 **6. 3 (15) 端口模式寄存器 0, 1, 3, 6 (PM0, PM1, PM3, PM6)**。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(1) 外围允许寄存器 0 (PER0)

该寄存器用于允许或禁止将时钟供应给外围硬件。同时停止向未使用的硬件供应时钟，以减少功耗和噪声。

使用定时器阵列单元 0 时，务必将该寄存器的位 0(TAU0EN)设置为 1。

使用定时器阵列单元 1 时，务必将该寄存器的位 1(TAU1EN)设置为 1。

用 1 位或 8 位存储器操作指令设置 PER0 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 6-6. 外围允许寄存器 0(PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCEN	IICA1EN ^注	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN ^注	TAU0EN

TAU1EN	定时器阵列单元1输入时钟的控制
0	停止输入时钟的供应。 - 不可以写入用于定时器阵列单元1的SFR。 - 定时器阵列单元1处于复位状态。
1	供应输入时钟。 可以读取/写入用于定时器阵列单元1的SFR。

TAU0EN	定时器阵列单元0输入时钟的控制
0	停止输入时钟的供应。 - 不可以写入用于定时器阵列单元0的SFR。 - 定时器阵列单元0处于复位状态。
1	供应输入时钟。 可以读取/写入用于定时器阵列单元0的SFR。

注 仅限 80 和 100 针产品。

注意事项 1. 设置定时器阵列单元时，务必先将 TAUmEN 位设置为 1。如果 TAUmEN = 0，向定时器阵列单元的控制寄存器进行的写入操作将被忽略，而且，所有读取值均为初始值（定时器输入选择寄存器 0(TIS0)、输入切换控制寄存器(ISC)、噪声过滤允许寄存器 1、2(NFEN1、NFEN2)、端口模式寄存器 0、1、3、6 (PM0、PM1、PM3、PM6)和端口寄存器 0、1、3、6 (P0、P1、P3、P6)除外）。

2. 务必将以下位清除为 0。

30、32、36、40、44、48、52、64 针产品：位 1、6

(2) 定时器时钟选择寄存器 m (TPSm)

TPSm 寄存器为 16 位寄存器，用于选择通常由外部预分频器通用地供应至各通道的两种或四种操作时钟(CKm0、CKm1)。通过 TPSm 寄存器的位 7 至位 4 选择 CKm1，通过位 3 至位 0 选择 CKm0。另外，通道 1 和通道 3 中，通过 TPSm 寄存器的位 9 和位 8 选择 CKm2，通过位 13 和位 12 选择 CKm3。

只有在以下情况下才可以可定时器操作期间重写 TPSm 寄存器。

如果可以重写 PRSm00 至 PRSm03 位(n = 0 至 3):

选择 CKm0 作为操作时钟(CKSmn1、CKSmn0 = 0、0)的所有通道停止(TEmn = 0)。

如果可以重写 PRSm10 至 PRSm13 位(n = 0 至 3):

选择 CKm1 作为操作时钟(CKSmn1、CKSmn0 = 0、1)的所有通道停止(TEmn = 0)。

如果可以重写 PRSm20 至 PRSm21 位(n = 1、3):

选择 CKm2 作为操作时钟(CKSmn1、CKSmn0 = 1、0)的所有通道停止(TEmn = 0)。

如果可以重写 PRSm30 和 PRSm31 位(n = 1、3):

选择 CKm3 作为操作时钟(CKSmn1、CKSmn0 = 1、1)的所有通道停止(TEmn = 0)。

用 16 位存储器操作指令设置 TPSm 寄存器。

产生复位信号后，该寄存器被清除为 0000H。

图 6-7. 定时器时钟选择寄存器 m(TPSm)的格式(1/2)

地址: F01B6H, F01B7H (TPS0), F01F6H, F01F7H (TPS1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		操作时钟(CKmk) 的选择 [※] (k = 0, 1)				
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	1 MHz
0	1	1	0	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz	250 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz
1	0	1	1	f _{CLK} /2 ¹¹	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz	15.63 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	976 Hz

注 要更改被选作 f_{CLK} 的时钟（通过更改系统时钟控制寄存器(CKC)的值）时，须停止定时器阵列单元（TTm = 00FFH）。

在通过 CKSmn0 和 CKSmn1 位指定的操作时钟(f_{MCK})和 TImn 引脚输入信号的有效边沿的两者中选择一个作为计数时钟(f_{TCLK})时，也须停止定时器阵列单元。

注意事项 务必将位 15、14、11、10 清除为“0”。

备注 1. f_{CLK}: CPU/外围硬件时钟频率

2. 通过 TPSm 寄存器选择的上述 f_{CLK}/2^m不是单纯的 2^m分频信号，其上升沿成为表示 f_{CLK} 的 1 个周期高电平的信号（m = 1 至 15）。详情请参阅 6.5.1 计数时钟(f_{TCLK})。

图 6-7. 定时器时钟选择寄存器m(TPSm)的格式(2/2)

地址: F01B6H, F01B7H (TPS0), F01F6H, F01F7H (TPS1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20		操作时钟(CKm2) 的选择 ^註				
			f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz
0	0	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz
1	1	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz

PRS m31	PRS m30	操作时钟(CKm3)的选择 [※]					
			f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz
0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz
1	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	f _{CLK} /2 ¹⁴	122 HZ	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注 要更改被选作 f_{CLK} 的时钟（通过更改系统时钟控制寄存器(CKC)的值）时，须停止定时器阵列单元 (TTm = 00FFH)。

在通过 CKSmn0 和 CKSmn1 位指定的操作时钟(f_{MCK})和 TImn 引脚输入信号的有效边沿的两者中选择一个作为计数时钟(f_{TCLK})时，也须停止定时器阵列单元。

注意事项 务必将位 15、14、11、10 清除为“0”。

通过将通道 1 和通道 3 用作 8 位定时器模式，并将 CKm2 或 CKm3 指定为操作时钟，可以利用间隔定时器功能实现如表 6-4 所示间隔时间。

表 6-4. 对于操作时钟 CKSm2 或者 CKSm3 可用的间隔时间

时钟		间隔时间(f _{CLK} = 32 MHz) ^注			
		10 μs	100 μs	1 ms	10 ms
CKm2	f _{CLK} /2	√	—	—	—
	f _{CLK} /2 ²	√	—	—	—
	f _{CLK} /2 ⁴	√	√	—	—
	f _{CLK} /2 ⁶	√	√	—	—
CKm3	f _{CLK} /2 ⁸	—	√	√	—
	f _{CLK} /2 ¹⁰	—	√	√	—
	f _{CLK} /2 ¹²	—	—	√	√
	f _{CLK} /2 ¹⁴	—	—	√	√

注 包含 5 %以内的误差。

备注 1. f_{CLK}: CPU/外围硬件时钟频率

2. 关于通过 TPSm 寄存器选择的信号 f_{CLK}/2^r的详情，请参阅 6.5.1 计数时钟(f_{TCLK})。

(3) 定时器模式寄存器 mn(TMRmn)

TMRmn 寄存器用于设置通道 n 的操作模式。该寄存器用于选择操作时钟(f_{MCK})，选择计数时钟，选择主/从属，选择 16 位或 8 位定时器（仅限通道 1 和通道 3），指定开始触发和捕捉触发，选择定时器输入的有效边沿，以及指定操作模式（间隔、捕捉、事件计数器、单计数、或者捕捉和单计数）。

当寄存器在运行（当 TEmn = 1）时，禁止重写 TMRmn 寄存器。然而，即使寄存器的某些功能正在运行(当 TEmn = 1)时，也可重写位 7 和位 6(CISmn1、CISmn0)（详情请参阅 6.7 定时器阵列单元的单独通道操作功能和 6.8 定时器阵列单元的多个通道联动操作功能）。

用 16 位存储器操作指令设置 TMRmn 寄存器。

产生复位信号后，该寄存器被清除为 0000H。

注意事项 TMRmn 寄存器的位 11 所安装的位因通道而异。

TMRm2: MASTERmn 位(n = 2)

TMRm1、TMRm3: SPLITmn 位(n = 1, 3)

TMRm0: 固定为 0

图 6-8. 定时器模式寄存器 mn(TMRmn)的格式(1/4)

地址: F0190H, F0191H (TMR00)至F0196H, F0197H (TMR03), 复位后: 0000H R/W

F01D0H, F01D1H (TMR10)至F01D6H, F01D7H (TMR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	通道n操作时钟(f _{mck})的选择
0	0	定时器时钟选择寄存器m (TPSm)设置的操作时钟CKm0
0	1	定时器时钟选择寄存器m (TPSm)设置的操作时钟CKm2
1	0	定时器时钟选择寄存器m (TPSm)设置的操作时钟CKm1
1	1	定时器时钟选择寄存器m (TPSm)设置的操作时钟CKm3
操作时钟(f _{mck}) 用于边沿检测电路。通过设置CCSmn位来产生计数时钟(f _{tblk})和采样时钟。 仅限通道1和通道3可以选择操作时钟CKm2和CKm3。		

CCS mn	通道n计数时钟(f _{tblk})的选择
0	由CKSmn0和CKSmn1位指定的操作时钟(f _{mck})
1	Tlmn引脚的输入信号的有效边沿
计数时钟(f _{tblk})用于定时器/计数器, 输出控制电路和中断控制电路。	

注意事项 1. 务必将位 13、5 和 4 清除为“0”。

2. 要更改被选作 f_{tblk} 的时钟 (通过更改系统时钟控制寄存器(CKC)的值) 时, 甚至是在通过 CKSmn0 和 CKSmn1 位指定的操作时钟(f_{mck})和 Tlmn 引脚输入信号的有效边沿的两者中选择一个作为计数时钟(f_{tblk})时, 须停止定时器阵列单元(TTm = 00FFH)。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-8. 定时器模式寄存器mn(TMRmn)的格式(2/4)

地址: F0190H, F0191H (TMR00)至F0196H, F0197H (TMR03), 复位后: 0000H R/W
F01D0H, F01D1H (TMR10)至F01D6H, F01D7H (TMR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn 的位 11(n = 2))

MAS TER mn	选择对于通道n进行单独操作或 与另一个通道(作为从属或主)一起进行联动操作
0	单独通道操作功能, 或者作为从属通道的联动通道操作功能。
1	作为主通道的联动通道操作功能。
仅可以设置通道2为主通道(MASTERmn = 1)。 通道0固定为0 (由于通道0为最高位通道, 因此不会因此位的设置而变, 作为主通道操作)。 通道用于单独通道操作功能时, 将MASTERmn位清除至0。	

(TMRmn 的位 11(n = 1, 3))

SPLI Tmn	用于通道1和3的8或者16位定时器操作的选择
0	作为16位定时器工作。 (单独通道操作功能, 或者作为从属通道的联动通道操作功能。)
1	作为8位定时器工作。

STS mn2	STS mn1	STS mn0	通道n的开始触发或者捕捉触发的设置
0	0	0	仅限软件触发开始有效 (其他触发源不可选)。
0	0	1	TImn引脚输入的有效边沿被同时用作开始触发和捕捉触发。
0	1	0	TImn引脚的两个边沿均被用作开始触发和捕捉触发。
1	0	0	使用主通道的中断信号 (当该通道用作联动通道操作功能时的从属通道)。
其它			禁止设置

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-8. 定时器模式寄存器mn(TMRmn)的格式(3/4)

地址: F0190H, F0191H (TMR00)至F0196H, F0197H (TMR03), 复位后: 0000H R/W
F01D0H, F01D1H (TMR10)至F01D6H, F01D7H (TMR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	Tlmn引脚输入有效边沿的选择
0	0	下降沿
0	1	上升沿
1	0	双边沿(测量低电平宽度时) 开始触发: 下降沿, 捕捉触发: 上升沿
1	1	双边沿(测量高电平宽度时) 开始触发: 上升沿, 捕捉触发: 下降沿
当STSmn2至STSmn0位的值不为010B且指定两个边沿时, 请将CISmn1至CISmn0位设置为10B。		

MD mn3	MD mn2	MD mn1	MD mn0	通道n的操作模式	对应功能	TCR的计数操作
0	0	0	1/0	间隔定时器模式	间隔定时器/ 方波输出/ 分频器功能 / PWM输出(主)	递减
0	1	0	1/0	捕捉模式	输入脉冲间隔测量	递增
0	1	1	0	事件计数器模式	外部事件计数器	递减
1	0	0	1/0	单计数模式	延迟计数器/ 单触发脉冲输出/ PWM输出(从属)	递减
1	1	0	0	捕捉&单计数模式	输入信号的高/低电平宽度的测量	递增
其它				禁止设置		
MDmn0位的操作根据操作模式不同而有所差异（参阅下表）。						

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-8. 定时器模式寄存器mn(TMRmn)的格式(4/4)

地址: F0190H, F0191H (TMR00)至F0196H, F0197H (TMR03), 复位后: 0000H R/W
F01D0H, F01D1H (TMR10)至F01D6H, F01D7H (TMR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

操作模式 (由MDmn3 至MDmn1位设置值 (参阅上表))	MD mn0	开始计数和中断的设置
• 间隔定时器模式 (0, 0, 0)	0	开始计数时不发生定时器中断 (定时器输出也不发生变化)。
• 捕捉模式 (0, 1, 0)	1	开始计数时发生定时器中断 (定时器输出也会发生变化)。
• 事件计数器模式 (0, 1, 1)	0	开始计数时不发生定时器中断 (定时器输出也不发生变化)。
• 单计数模式 ^{注1} (1, 0, 0)	0	计数操作中的开始触发为无效。 同时, 也不产生中断。
	1	计数操作中的开始触发为有效 ^{注2} 。 同时, 也产生中断。
• 捕捉&单计数模式 (1, 1, 0)	0	开始计数时不发生定时器中断 (定时器输出也不发生变化)。 计数操作中的开始触发变为无效。 同时, 也不产生中断。
其它		禁止设置

注 1. 单计数模式下, 不控制开始计数操作时的中断输出(INTTMmn)和 T0mn 输出。

2. 操作过程中执行开始触发(TSmn = 1)后, 计数器将被初始化, 产生中断, 同时重新开始计数。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(4) 定时器状态寄存器 mn(TSRmn)

TSRmn 寄存器表示通道 n 的计数器的溢出状态。

TSRmn 寄存器仅在捕捉模式(MDmn3 至 MDmn1 = 010B)和捕捉与单计数模式(MDmn3 至 MDmn1 = 110B)下有效。

关于 OVF 位在各种操作模式下的操作以及设置/清除条件, 请参阅表 6-5。

使用 16 位存储器操作指令读取 TSRmn 寄存器。

可以通过 TSRmnL 寄存器用 8 位存储器操作指令设置 TSRmn 寄存器的低 8 位。

产生复位信号后, 该寄存器被清除为 0000H。

图 6-9. 定时器状态寄存器 mn (TSRmn)的格式

地址: F01A0H, F01A1H (TSR00)至F01A6H, F01A7H (TSR03), 复位后: 0000H R
F01E0H, F01E1H (TSR10)至F01E6H, F01E7H (TSR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	通道n的计数器溢出状态
0	没有发生溢出。
1	发生溢出。
当OVF = 1, 捕捉到下一个值而不产生溢出时, 该标志被清除(OVF = 0)。	

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

表 6-5. 每种操作模式下的 OVF 位操作和设置/清除条件

定时器操作模式	OVF位	设置/清除条件
● 捕捉模式	清除	捕捉时没有发生溢出的情况下
● 捕捉&单计数模式	设置	捕捉时发生溢出的情况下
● 间隔定时器模式	清除	— (禁止使用)
● 事件计数器模式	设置	
● 单计数模式		

备注 计数器溢出后 OVF 位不会立即改变, 而是在下一次捕捉后改变。

(5) 定时器通道允许状态寄存器 m (TEm)

TEm 寄存器用于表示各通道的允许或停止定时器操作状态。

TEm 寄存器的每个位对应于定时器通道开始寄存器 m(TSm)以及定时器通道停止寄存器 m(TTm)的每个位。当设置 TSm 寄存器的某一位为 1 时，该寄存器的对应位也被设置为 1。当设置 TTm 寄存器的某一位为 1 时，该寄存器的对应位被清除为 0。

使用 16 位存储器操作指令读取 TEm 寄存器。

可以通过 TEmI 寄存器用 1 位或 8 位存储器操作指令设置 TEm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6-10. 定时器通道允许状态寄存器 m(TEm)的格式

地址: F01B0H, F01B1H (TE0), F01F0H, F01F1H (TE1) 复位后: 0000H R

符号

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	0	0	0	0	TEm 3	TEm 2	TEm 1	TEm 0

TEH m3	当通道3处于8位定时器模式时，表示高8位定时器的操作允许或停止状态															
0	停止操作状态。															
1	允许操作状态。															

TEH m1	当通道1处于8位定时器模式时，表示高8位定时器的操作允许或停止状态															
0	停止操作状态。															
1	允许操作状态。															

TEmn	表示通道n的操作允许或停止状态															
0	停止操作状态。															
1	允许操作状态。															
当通道1或3处于8位定时器模式时，该位表示TEm1和TEm3的低8位定时器的操作允许或停止状态。																

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(6) 定时器通道开始寄存器 m (TSm)

TSm 寄存器是触发寄存器，用于初始化定时器计数寄存器 mn(TCRmn)并开始各通道的计数操作。

当设置该寄存器的某一位为 1，定时器通道允许状态寄存器 m(TEm)的对应位也被设置为 1。因为 TSmn、TSHm1、TSHm3 位是触发位，允许操作(TEmn、TEHm1、TEHm3 = 1)后立即被清除。

用 16 位存储器操作指令设置 TSm 寄存器。

可以通过 TSmI 用 1 位或 8 位存储器操作指令设置 TSm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6-11. 定时器通道开始寄存器 m(TSm)的格式

地址: F01B2H, F01B3H (TS0), F01F2H, F01F3H (TS1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSHm3	0	TSHm1	0	0	0	0	0	TSm3	TSm2	TSm1	TSm0

TSHm3	当通道3处于8位定时器模式时，允许（开始）高8位定时器操作的触发
0	没有触发操作。
1	将TEHm3位设置为1并允许计数操作。 计数操作允许状态下，在间隔定时器模式时TCRm3寄存器开始计数操作(参阅6.5.2 计数器的开始时序中的表6-6)。

TSHm1	当通道1处于8位定时器模式时，允许（开始）高8位定时器操作的触发
0	没有触发操作。
1	将TEHm1位设置为1并允许计数操作。 计数操作允许状态下，在间隔定时器模式时TCRm1寄存器开始计数操作(参阅6.5.2 计数器的开始时序中的表6-6)。

TSmn	允许（开始）通道n操作的触发
0	没有触发操作。
1	将TEmn位设置为1并允许计数操作。 计数操作允许状态下，TCRmn寄存器的计数操作的开始因操作模式而异（参阅6.5.2 计数器的开始时序中的表6-6）。 当通道1或3处于8位定时器模式时，TSm1和TSm3为允许（开始）低8位定时器操作的触发。

注意事项 1. 务必将位 15 至 12、10、8 至 4 清除为“0”。

2. 从不使用 TImn 引脚输入的功能切换到使用 TImn 引脚输入的功能的情况下，设置定时器模式寄存器 mn(TMRmn)后，到设置 TSmn(TSHm1、TSHm3)位为 1，需要等待以下期间。

当允许 TImn 引脚噪声滤波器(TNFENmn = 1)时：四个操作时钟(f_{MCK})周期

当禁止 TImn 引脚噪声滤波器(TNFENmn = 0)时：两个操作时钟(f_{MCK})周期

备注 1. TSm 寄存器的读取值总为 0。

2. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(7) 定时器通道停止寄存器 m (TTm)

TTm 寄存器为用于停止各通道的计数操作的触发寄存器。
当设置该寄存器的某一位为 1，定时器通道允许状态寄存器 m(TEm)的对应位被清除为 0。因为 TTmn、TTHm1、TTHm3 位是触发位，停止操作(TEmn、TEHm1、TEHm3 = 0)后立即被清除。
用 16 位存储器操作指令设置 TTm 寄存器。
可以通过 TTmI 用 1 位或 8 位存储器操作指令设置 TTm 寄存器的低 8 位。
产生复位信号后，该寄存器被清除为 0000H。

图 6-12. 定时器通道结束寄存器 m(TTm)的格式

地址：F01B4H, F01B5H (TT0), F01F4H, F01F5H (TT1) 复位后：0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm 3	0	TTHm 1	0	0	0	0	0	TTm 3	TTm 2	TTm 1	TTm 0

TTH m3	当通道3处于8位定时器模式时，停止高8位定时器操作的触发
0	没有触发操作。
1	操作停止（产生停止触发）。

TTH m1	当通道1处于8位定时器模式时，停止高8位定时器操作的触发
0	没有触发操作。
1	操作停止（产生停止触发）。

TTm n	通道n的操作停止触发
0	没有触发操作。
1	操作停止（产生停止触发）。 当通道1或3处于8位定时器模式时，TTm1和TTm3为停止低8位定时器操作的触发。

注意事项 务必将 TTm 寄存器的位 15 至 12、10、8 至 4 清除为“0”。

- 备注 1. TTm 寄存器的读取值总为 0。
2. m: 单元编号(m = 0, 1),n: 通道编号(n = 0 至 3)

(8) 定时器输入选择寄存器 0 (TIS0)

TIS0 寄存器用于选择通道 0 和 1 的定时器输入。
用 8 位存储器操作指令设置 TIS0 寄存器。
产生复位信号后，该寄存器被清除为 00H。

图 6-13. 定时器输入选择寄存器 0(TIS0)的格式

地址: F0074H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00

TIS04	选择通道0使用的定时器输入		
0	定时器输入引脚 (TI00)的输入信号		
1	ELC的事件输入信号		

TIS02	TIS01	TIS00	选择通道1使用的定时器输入
0	0	0	定时器输入引脚 (TI01)的输入信号
0	0	1	ELC的事件输入信号
0	1	0	定时器输入引脚(TI01)的输入信号
0	1	1	
1	0	0	低速片上振荡器时钟(f _{IL})
1	0	1	副系统时钟(f _{SUB})
其它			禁止设置

注意事项 在用定时器输入选择寄存器 0 (TIS0)从 ELC 中选择事件输入信号时，要用定时器时钟选择寄存器 0 (TPS0)选择 f_{CLK}。

(9) 定时器输出允许寄存器 m (TOEm)

TOEm 寄存器用于允许或禁止各通道的定时器输出。

对于允许定时器输出的通道 n，不能通过软件重写下文所述的定时器输出寄存器 m(TOm)的 TOmn 位的值，同时，通过计数操作从定时器输出引脚(TOm_n)输出反映定时器输出功能的值。

用 16 位存储器操作指令设置 TOEm 寄存器。

可以通过 TOEm_l 用 1 位或 8 位存储器操作指令设置 TOEm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6-14. 定时器输出允许寄存器 m(TOEm)的格式

地址: F01BAH, F01BBH (TOE0), F01FAH, F01FBH (TOE1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	0	0	0	0	TOE m3	TOE m2	TOE m1	TOE m0

TOE mn	允许/禁止通道n的定时器输出
0	禁止定时器输出。 对于TOmn位不进行定时器操作，且输出固定。 允许写入TOmn位。
1	允许定时器输出。 对于TOmn位不进行定时器操作，且产生输出方波。 对于TOmn位的写入被忽略。

注意事项 务必将位 15 至 4 清除为“0”。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(10) 定时器输出寄存器 m (TOM)

TOM 寄存器是各通道的定时器输出的缓冲器寄存器。
该寄存器的各个位的值从各通道的定时器输出引脚(TOMn)输出。
仅限禁止定时器输出(TEmn = 0)时可以用软件重写该寄存器的 TOMn 位。当允许定时器输出(TEmn = 1)时，用软件重写该寄存器将被忽略，且仅能通过定时器操作改变其值。
要把 P00/TI00、P01/TO00、P16/TI01/TO01、P17/TI02/TO02、P31/TI03/TO03、P64/TI10/TO10-P67/TI13/TO13 引脚用作端口功能引脚，须将相应的 TOMn 位设置为“0”。
用 16 位存储器操作指令设置 TOM 寄存器。
可以通过 TOMl 用 8 位存储器操作指令设置 TOM 寄存器的低 8 位。
产生复位信号后，该寄存器被清除为 0000H。

图 6-15. 定时器输出寄存器 m(TOM)的格式

地址: F01B8H, F01B9H (TO0), F01F8H, F01F9H (TO1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM	0	0	0	0	0	0	0	0	0	0	0	0	TOM 3	TOM 2	TOM 1	TOM 0

TOM n	通道n的定时器输出
0	定时器输出值为“0”。
1	定时器输出值为“1”。

注意事项 务必将位 15 至 4 清除为“0”。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(11) 定时器输出电平寄存器 m (TOLm)

TOLm 寄存器是用于控制各通道定时器输出电平的寄存器。

当在从属通道输出模式(TOMmn = 1)下允许定时器输出(TOEmn = 1)时, 在设置或复位定时器输出信号的时序, 反映通过该寄存器的对于通道 n 的反相设置。主通道输出模式(TOMmn = 0)时, 对于该寄存器的设置无效。

用 16 位存储器操作指令设置 TOLm 寄存器。

可以通过 TOLmI 用 8 位存储器操作指令设置 TOLm 寄存器的低 8 位。

产生复位信号后, 该寄存器被清除为 0000H。

图 6-16. 定时器输出电平寄存器 m(TOLm)的格式

地址: F01BCH, F01BDH (TOL0), F01FCH, F01FDH (TOL1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	0	0	0	0	TOL m3	TOL m2	TOL m1	0

TOL mn	通道n定时器输出电平的控制
0	正逻辑输出 (高电平有效)
1	负逻辑输出 (低电平有效)

注意事项 务必将位 15 至 4 以及 0 清除为“0”。

备注 1. 如果在定时器操作过程中重写该寄存器的值, 定时器输出逻辑反相发生在下一个定时器输出信号改变时, 而不是在重写之后立即反相。

2. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(12) 定时器输出模式寄存器 m (TOMm)

TOMm 寄存器用于控制各通道的定时器输出模式。

某个通道作为单独通道操作功能使用时，将使用通道的对应位设置为 0。

某个通道作为多个通道联动操作功能（PWM 输出、单触发脉冲输出或多重 PWM 输出）使用时，将主通道的对应位设置为 0，将从属通道的对应位设置为 1。

当允许定时器输出($TOEmn = 1$)时，在设置或复位定时器输出信号的时序，反映通过该寄存器对各通道 n 进行的设置。

用 16 位存储器操作指令设置 TOMm 寄存器。

可以通过 TOMml 用 8 位存储器操作指令设置 TOMm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6-17. 定时器输出模式寄存器 m(TOMm)的格式

地址: F01BEH, F01BFH (TOM0), F01FEH, F01FFH (TOM1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	0	0	0	0	TOM m3	TOM m2	TOM m1	0

TOM mn	通道n定时器输出模式的控制
0	主通道输出模式 (通过定时器中断请求信号(INTTMmn)产生交替输出)
1	从属通道输出模式 (输出由主通道的定时器中断请求信号(INTTMmn)设置，由从属通道的定时器中断请求信号(INTTM0p)复位)

注意事项 务必将位 15 至 4 和 0 清除为“0”。

备注 m: 单元编号(m = 0, 1)

n: 通道编号

n = 0 至 3 (n = 0、2 用于主通道)

p: 从属通道编号

n = 0, p = 1, 2, 3

n = 2, p = 3

(关于主通道和从属通道之间关系的详情，请参阅 6.4.1 多个通道联动操作功能的基本规则。)

(13) 输入切换控制寄存器(ISC)

ISC 寄存器的 ISC1 和 ISC0 位用于将通道 3 与串行阵列单元联动从而实现 LIN-bus 通信操作。当 ISC1 位被设置为 1 时，串行数据输入引脚(RxD0)的输入信号被选作定时器输入信号。

关于设置 SSIE00 位的详情，请参阅 17.3 (15) 输入切换控制寄存器(ISC)。

用 1 位或 8 位存储器操作指令设置 ISC 寄存器。

图 6-18. 输入切换控制寄存器(ISC)的格式

地址: F0073H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0

SSIE00	当执行CSI00通信且处于从属模式时，设置SSIE00引脚输入。
0	SSIE00引脚输入无效。
1	SSIE00引脚输入有效。

ISC1	切换定时器阵列单元0的通道3的输入
0	使用TI03引脚的输入信号作为定时器输入（正常操作）。
1	RxD0引脚的输入信号用作定时器输入(检测唤醒信号，测量同步中断区域的低电平宽度以及同步区域的脉冲宽度)。

ISC0	切换外部中断(INTP0)输入
0	使用INTP0引脚的输入信号作为外部中断（正常操作）。
1	使用RxD0引脚的输入信号作为外部中断（唤醒信号检测）。

注意事项 务必将位 6 至 2 清除为“0”。

备注 使用 LIN-bus 通信功能时，通过设置 ISC1 为 1 来选择 RxD0 引脚的输入信号。

(14) 噪声滤波器允许寄存器 1、2 (NFEN1、NFEN2)

NFEN1、NFEN2 寄存器用于设置是否能将噪声滤波器用于输入各通道的定时器输入信号。

将需要消除噪声的引脚的对应位设置为 1，允许噪声滤波器。

当噪声滤波器开启时，通过 CPU/外围硬件时钟(f_{MCK})执行 2 个时钟的匹配检测和同步。当噪声滤波器关闭时，通过 CPU/外围硬件时钟(f_{MCK})仅执行同步[※]。

用 1 位或 8 位存储器操作指令设置 NFEN1、NFEN2 寄存器。

产生复位信号后，该寄存器被清除为 00H。

注 详情请参阅 6.5.1 (2) 选择 TImn 引脚输入信号的有效边沿时(CCSmn = 1)和 6.5.2 计数器的开始时序。

图 6-19. 噪音过滤器允许寄存器 1、2(NFEN1、NFEN2)的格式(1/2)

地址: F0071H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

地址: F0072H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	0	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN03	TI03/TO03/P31引脚或RxD0/P50引脚的输入信号的噪声滤波器的允许/禁止使用 ^注
0	噪声滤波器OFF
1	噪声滤波器ON

TNFEN02	TI02/TO02/P17引脚输入信号的噪声滤波器的允许/禁止使用
0	噪声滤波器OFF
1	噪声滤波器ON

TNFEN01	TI01/P01/P16引脚输入信号的噪声滤波器的允许/禁止使用
0	噪声滤波器OFF
1	噪声滤波器ON

TNFEN00	TI00/P00引脚输入信号的噪声滤波器的允许/禁止使用
0	噪声滤波器OFF
1	噪声滤波器ON

注 可以通过设置 ISC 寄存器的 ISC1 位来切换适用引脚。

ISC1 = 0: 可以选择对于 TI03 引脚是否使用噪声滤波器。

ISC1 = 1: 可以选择对于 RxD0 引脚是否使用噪声滤波器。

备注 通道 0 至通道 3 的定时器 I/O 引脚的存在与否因产品而异。有关详情, 请参阅表 6-2 每种产品中提供的定时器 I/O 引脚。

图 6-19. 噪音过滤器允许寄存器 1、2(NFEN1、NFEN2)的格式(2/2)

地址: F0071H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

地址: F0072H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	0	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN13	TI13/TO13/P67引脚输入信号的噪声滤波器的允许/禁止使用
0	噪声滤波器OFF
1	噪声滤波器ON

TNFEN12	TI12/TO12/P66引脚输入信号的噪声滤波器的允许/禁止使用
0	噪声滤波器OFF
1	噪声滤波器ON

TNFEN11	TI11/P11/P65引脚输入信号的噪声滤波器的允许/禁止使用
0	噪声滤波器OFF
1	噪声滤波器ON

TNFEN10	TI00/P64引脚输入信号的噪声滤波器的允许/禁止使用
0	噪声滤波器OFF
1	噪声滤波器ON

备注 通道 0 至通道 3 的定时器 I/O 引脚的存在与否因产品而异。有关详情, 请参阅表 6-2 每种产品中提供的定时器 I/O 引脚。

(15) 端口模式寄存器 0, 1, 3, 6 (PM0, PM1, PM3, PM6)

这些寄存器按 1 位单位设置端口 0、1、3、6 的输入/输出。

定时器 I/O 引脚的存在与否因产品而异。使用定时器阵列单元时，各个产品中设置的端口模式寄存器如下所示。

30、32、36、40、44、48、52 和 64 针产品：PM0、PM1、PM3

80 和 100 针产品：PM0、PM1、PM3、PM6

将复用作为定时器输出引脚的端口(例如 P01/TO00 或 P17/TO02/TI02)用作定时器输出时，将对应于各端口的端口模式寄存器(PMxx)的位和端口寄存器(Pxx)的位设置为 0。

示例： 将 P17/TO02/TI02 用作定时器输出时
将端口模式寄存器 1 的 PM17 位设置为 0。
将端口寄存器 1 的 P17 位设置为 0。

将复用作为定时器输入引脚的端口(例如 P00/TI00 或 P17/TO02/TI02)用作定时器输入时，将对应于各端口的端口模式寄存器(PMxx)的位设置为 1。此时，端口寄存器(Pxx)的位可以设置为 0 或 1。

示例： 将 P17/TO02/TI02 用作定时器输入时
将端口寄存器 1 的 PM17 位设置为 1。
将端口寄存器的 P17 位设置为 0 或 1。

用 1 位或 8 位存储器操作指令设置 PM0、PM1、PM3、PM6 寄存器。
产生复位信号后，这些寄存器被设置为 FFH。

备注 在 30 针和 32 针产品中，TI00(P00)和 TO00(P01)引脚复用作为模拟输入引脚。使用定时器 I/O 功能时，务必将用于切换数字 I/O 或模拟输入的 PMC0x 寄存器的对应位设置为“0”。

图 6-20. 端口模式寄存器 0, 1, 3, 6 (PM0, PM1, PM3, PM6)的格式(100 针产品)

地址: FFF20H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

地址: FFF21H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

地址: FFF23H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

地址: FFF26H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

PMmn	Pmn引脚输入/输出模式选择(m = 0, 1, 3, 6; n = 0至7)
0	输出模式(输出缓冲启用)
1	输入模式(输出缓冲关闭)

备注 100 针产品的端口模式寄存器 0、1、3 和 6 的格式如上图所示。关于其它产品的端口模式寄存器的格式，请参阅表 4-22 或表 4-23。安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位。

6.4 定时器阵列单元的基本规则

6.4.1 多个通道联动操作功能的基本规则

使用多个通道联动操作功能，即结合使用主通道（主要用于对周期进行计数的基准定时器）和从属通道（以主通道为基准而工作的定时器）时，须遵守以下规则。

- (1) 只能将偶数通道（通道 0、2）设置为主通道。
- (2) 通道 0 以外的任何通道均可以设置为从属通道。
- (3) 从属通道的编号必须低于主通道。

示例：设置通道 0 为主通道时，可以将通道 1 或之后的通道（通道 1、2、3）设置为从属通道。

- (4) 对于一个主通道可以设置两个或更多从属通道。
- (5) 使用两个或更多主通道时，不可将从属通道设置为间隔着一个主通道。

示例：如果将通道 0 和通道 2 设置为主通道，则可以将通道 1 设置为主通道 0 的从属通道。而不能将通道 3 设置为主通道 0 的从属通道。

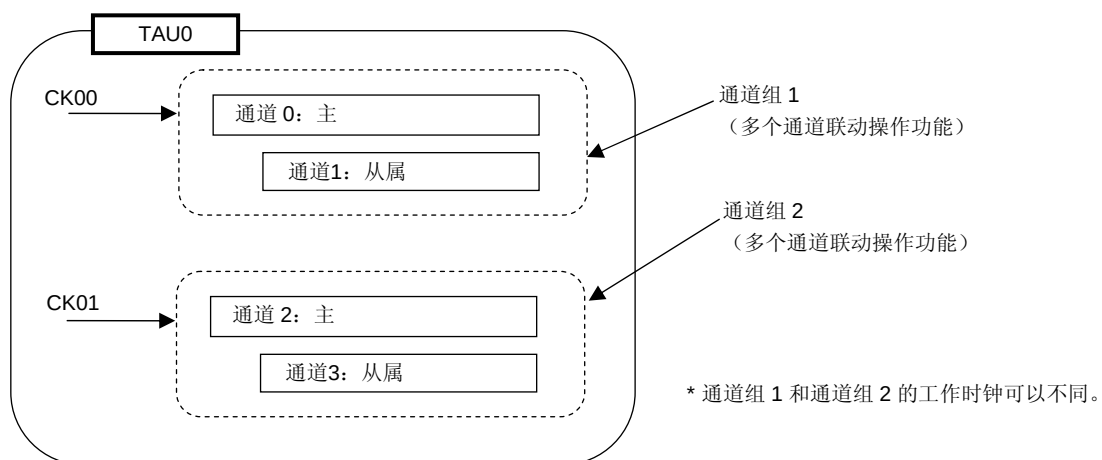
- (6) 与某个主通道联动的从属通道的操作时钟必须与该主通道时钟相同。与主通道联动操作的从属通道的 CKSmn0、CKSmn1 位（定时器模式寄存器 mn(TMRmn)的位 15、14）的值必须与主通道的相同。
- (7) 主通道可以向更低的通道发送 INTTMmn（中断）、开始软件触发和时钟计数。
- (8) 从属通道可以将主通道的 INTTMmn（中断）、开始软件触发或计数时钟用作源时钟，但不能将自己的 INTTMmn（中断）、开始软件触发或计数时钟发送至更低编号的通道。
- (9) 主通道不能将更高的主通道的 INTTMmn（中断）、开始软件触发或计数时钟用作源时钟。
- (10) 要同时启用联动操作的通道，因此必须同时设置联动通道的通道开始触发位(TSmn)。
- (11) 在计数操作时，可以仅设置主通道的 TSmn 位或者联动操作的所有通道的 TSmn 位。不能仅设置从属通道的 TSmn 位。
- (12) 要同时停止联动操作的通道，必须同时设置联动通道的通道停止触发位(TTmn)。
- (13) 联动操作通道时，须保持主通道和从属通道的工作时钟同步，因此不能选择 CKm2/CKm3。
- (14) 定时器模式寄存器 m0(TMRm0)中没有主位（固定为“0”）。然而，由于通道 0 是最高通道，因此联动操作时可以将通道 0 用作主通道。

多个通道联动操作功能的基本规则在通道组（一个实现多个通道联动功能的主通道和从属通道的集合）内适用。

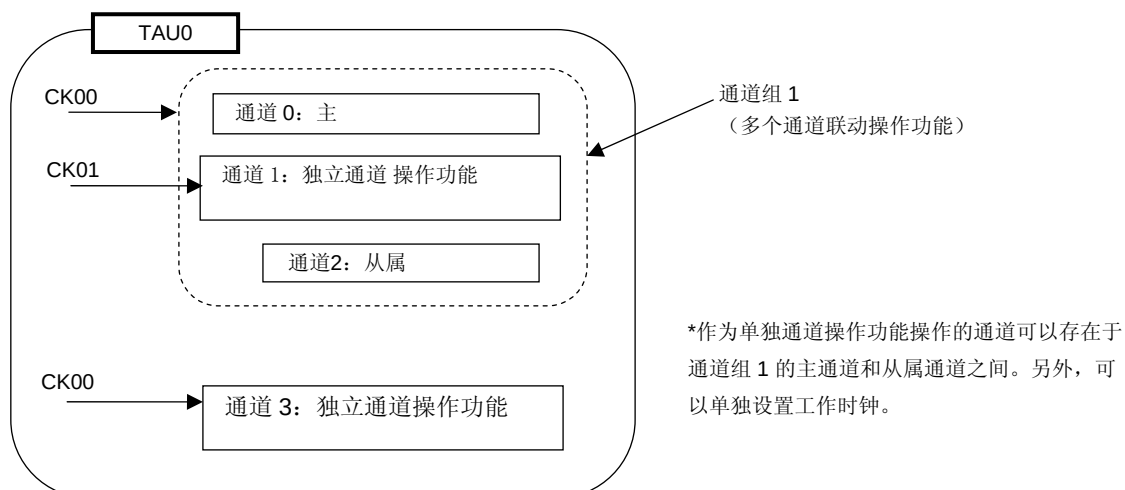
如果指定两个或更多的彼此间不联动操作的通道组，则通道组之间不适用 6.4.1 多个通道联动操作功能的基本规则 中所述的规则。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

示例 1



示例 2



6.4.2 8 位定时器操作功能的基本规则（仅限通道 1 和 3）

通过 8 位定时器操作功能，可以将 16 位定时器通道作为包括两个 8 位定时器通道的构造来使用。

该功能仅用于通道 1 和通道 3，并须遵守一些规则。

该功能的基本规则如下所示：

- (1) 8 位定时器操作功能仅用于通道 1 和通道 3。
- (2) 作为 8 位定时器使用时，将定时器模式寄存器 mn(TMRmn)的 SPLIT 位设置为 1。
- (3) 高 8 位可以用作间隔定时器功能。
- (4) 开始操作时，高 8 位输出 INTTm1H/INTTm3H（中断）（执行与设置 MDmn0 为 1 时相同的操作）。
- (5) 高 8 位的操作时钟的选择须根据低位 TMRmn 寄存器的 CKSmn1 和 CKSmn0 位进行操作。
- (6) 对于高 8 位，通过操作 TSHm1/TSHm3 位来开始通道操作，通过操作 TTHm1/TTHm3 位来停止通道操作。可以利用 TEHm1/TEHm3 位来确认通道状态。
- (7) 低 8 位依据 TMRmn 寄存器的设置工作。以下三种功能支持低 8 位操作：
 - 间隔定时器功能
 - 外部事件计数器功能
 - 延迟计数功能
- (8) 对于低 8 位，通过操作 TSm1/TSm3 位来开始通道操作，通过操作 TTm1/TTm3 位来停止通道操作。可以利用 TEm1/TEm3 位来确认通道状态。
- (9) 在 16 位操作中，对 TSHm1、TSHm3、TTHm1 和 TTHm3 位进行的操作无效。通过操作 TSm1、TSm3、TTm1 和 TTm3 位来操作通道 1 和通道 3。TEHm3 位和 TEHm1 位不变。
- (10) 在 8 位定时器功能时，不能使用联动操作功能（单触发脉冲、PWM 和多重 PWM）。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 1, 3)

6.5 计数器的操作时序

6.5.1 计数时钟(f_{TCLK})

定时器阵列单元的计数时钟(f_{TCLK})可以通过定时器模式寄存器 mn (TMRmn)的 CCSmn 位从以下两者之中选择。

- 由 CKSmn0 位和 CKSmn1 位指定的操作时钟(f_{MCK})
- TImn 引脚的输入信号的有效边沿

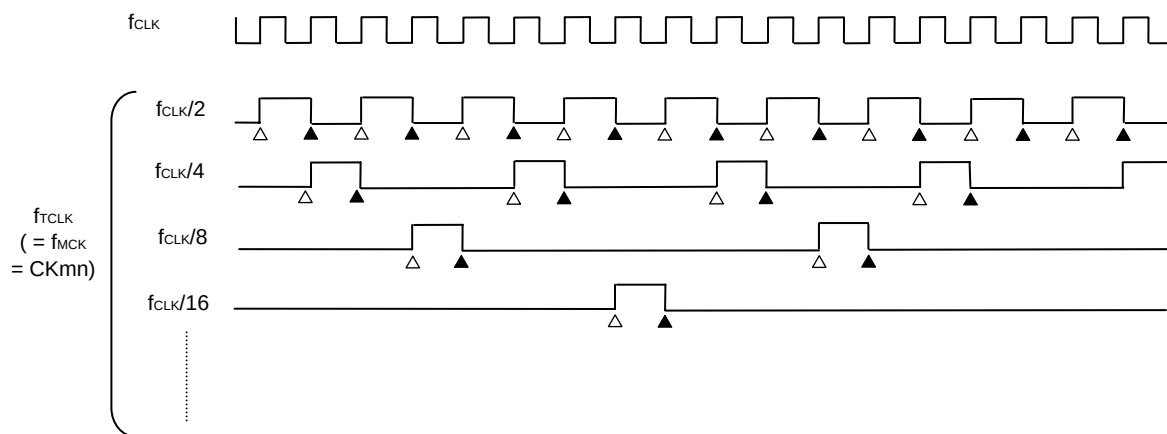
由于定时器阵列单元被设计为与 f_{CLK} 同步操作，计数时钟(f_{TCLK})的时序如下所示。

(1) 选择由 CKSmn0 位和 CKSmn1 位指定的操作时钟(f_{MCK})时 (CCSmn = 0)

根据定时器时钟选择寄存器 m (TPSm)的设置，计数时钟(f_{TCLK}) 在 f_{CLK} 与 $f_{CLK}/2^{15}$ 之间。然而，当选择了 f_{CLK} 的分频时，计数时钟不是简单的 2' 分频信号，其上升沿成为表示 f_{CLK} 的 1 个周期高电平的信号($r = 1$ 至 15)。

为了与 f_{CLK} 保持同步，定时器计数寄存器 mn (TCRmn)是在计数时钟的上升沿等待 1 个 f_{CLK} 时钟周期后开始计数，出于方便，将其称为“在计数时钟的上升沿计数”。

图 6-21. f_{CLK} 和计数时钟(f_{TCLK})的时序(CCSmn = 0 时)



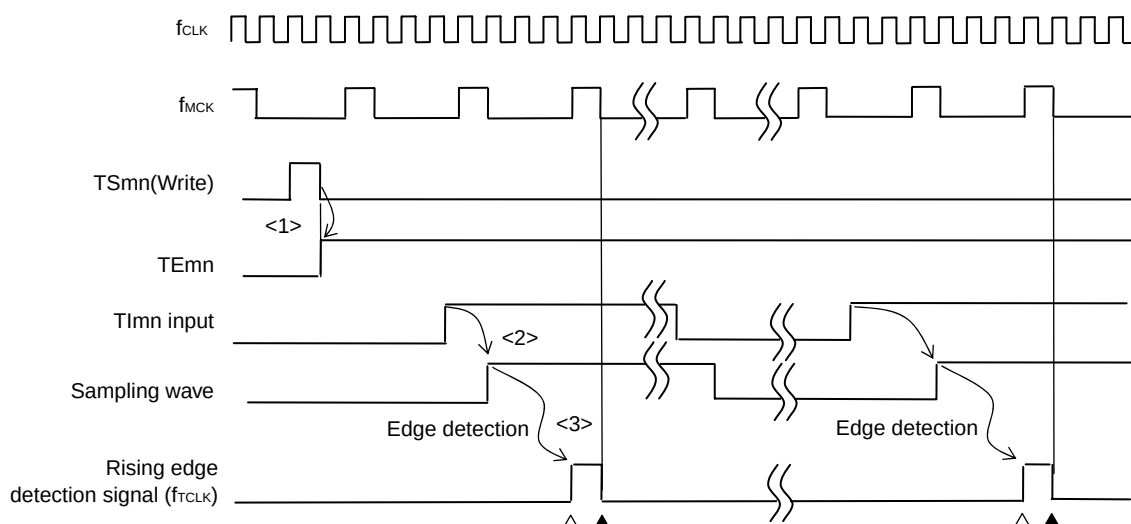
- 备注 1. Δ : 计数时钟的上升沿
 $\blacktriangle$: 同步、计数器的递增/递减
 2. f_{CLK} : CPU/外围硬件时钟

(2) 选择 TImn 引脚输入信号的有效边沿时(CCSmn = 1)

计数时钟(f_{TCLK})为检测 Tl_{mn} 引脚输入信号的有效边沿并同步至下一个 f_{MCK} 上升沿的信号。计数时钟(f_{TCLK})比实际上的 Tl_{mn} 引脚的输入信号延迟了 1 至 2 个 f_{MCK} 时钟周期(使用噪声滤波器时, 延迟 3 至 4 个时钟周期)。

为了与 f_{CLK} 保持同步，定时器计数寄存器 $mn(TCRmn)$ 是在计数时钟的上升沿等待 1 个 f_{CLK} 时钟周期后开始计数，出于方便，将其称为“在 $Tl1mn$ 引脚输入信号的有效边沿计数”。

图 6-22. 计数时钟(f_{TCLK})的时序($CCSmn = 1$, 未使用噪音过滤器时)



<1> 设置 TSmn 位为 1 以启动定时器，并成为等待 Tlmp 引脚输入信号的有效边沿的状态。

<2> f_{MCK} 对 T1m1 引脚输入信号的上升沿进行采样。

<3> 在采样信号的上升沿检测边沿，并输出检测信号（计数时钟）。

备注 1. Δ : 计数时钟的上升沿

▲：同步、计数器的递增/递减

2. f_{CLK}: CPU/外围硬件时钟

f_{MCK}: 通道 n 的操作时钟

3. 输入脉冲间隔测量、输入信号高/低电平的测量、延迟计数器以及单触发脉冲输出功能的 **Tlmn** 引脚输入信号具有相同的波形, 如图 6-22 所示。

6.5.2 计数器的开始时序

通过设置定时器通道开始寄存器 $m(TSm)$ 的 $TSmn$ 位，可以允许操作定时器计数寄存器 $mn(TCRmn)$ 。

从计数操作允许状态到定时器计数寄存器 $mn(TCRmn)$ 计数开始为止的操作如表 6-6 所示。

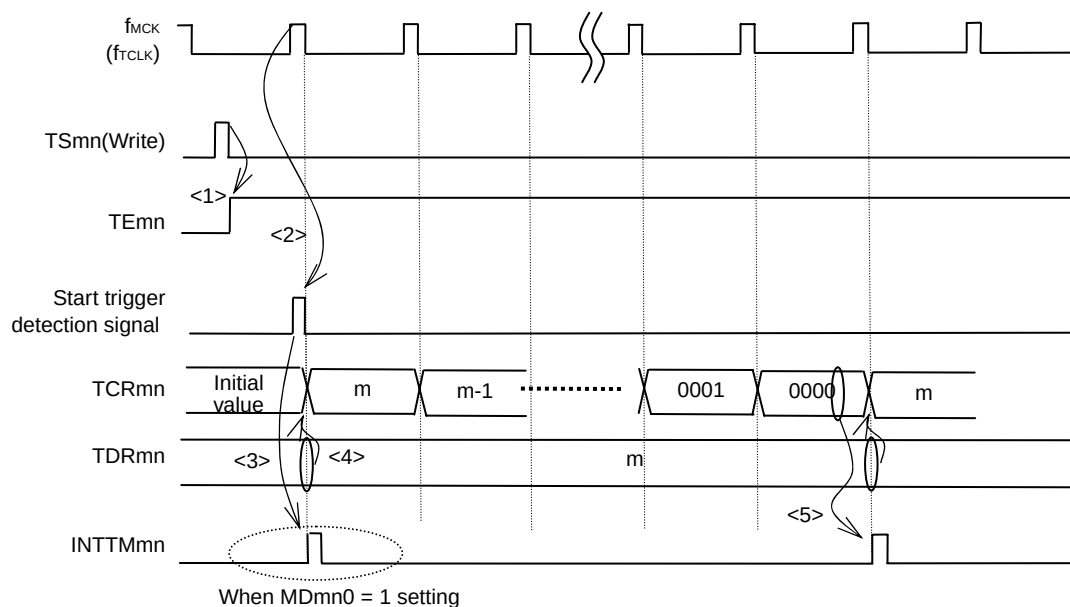
表 6-6. 从计数操作允许状态到定时器计数寄存器 $mn(TCRmn)$ 计数开始为止的操作

定时器操作模式	设置为 $TSmn = 1$ 时的操作
• 间隔定时器模式	检测开始触发($TSmn=1$)到产生计数时钟为止不执行任何操作。 在第一个计数时钟将 $TDRmn$ 寄存器的值载入 $TCRmn$ 寄存器，在之后的计数时钟执行递减计数操作（参阅 6.5.2 (a) 间隔定时器模式下的开始时序）。
• 事件计数器模式	向 $TSmn$ 位写入 1，把 $TDRmn$ 寄存器的值载入 $TCRmn$ 寄存器。 后续计数时钟执行递减计数操作。 由 $TMRmn$ 寄存器的 $STSmn2$ 位至 $STSmn0$ 位选择的外部触发检测不会启动计数操作（参阅 6.5.2 (b) 事件计数器模式下的开始时序）。
• 捕捉模式	从开始触发检测直到产生计数时钟为止不执行任何操作。 在第一个计数时钟将 0000H 载入 $TCRmn$ 寄存器，在后续计数时钟执行递增计数操作（参阅 6.5.2 (c) 捕捉模式下的开始时序）。
• 单计数模式	在定时器停止($TEmn = 0$)状态下，向 $TSmn$ 位写入 1 来进入等待开始触发状态。 从开始触发检测直到产生计数时钟为止不执行任何操作。 在第一个计数时钟将 $TDRmn$ 寄存器的值载入 $TCRmn$ 寄存器，在之后的计数时钟执行递减计数操作(参阅 6.5.2 (d) 单计数模式下的开始时序)。
• 捕捉&单计数模式	在定时器停止($TEmn = 0$)状态下，向 $TSmn$ 位写入 1 来进入等待开始触发状态。 从开始触发检测直到产生计数时钟为止不执行任何操作。 在第一个计数时钟将 0000H 载入 $TCRmn$ 寄存器，在后续计数时钟执行递增计数操作(参阅 6.5.2 (e) 捕捉&单计数模式下的开始时序)。

(a) 间隔定时器模式下的开始时序

- <1> 向 TSmn 位写入 1 来开始操作($TE_{mn} = 1$)。直到产生计数时钟为止定时器计数寄存器 mn(TCRmn)将保持初始值。
- <2> 允许操作时, 在第一个计数时钟产生开始触发。
- <3> 设置 MDmn0 位为 1 时, 开始触发将产生 INTTMmn。
- <4> 在允许操作后的第一个计数时钟, 将定时器数据寄存器 mn(TDRmn)的值被载入 TCRmn 寄存器, 并在间隔定时器模式下开始计数。
- <5> 当 TCRmn 寄存器递减计数至其计数值为 0000H 时, 产生 INTTMmn, 并将定时器数据寄存器 mn(TDRmn)的值载入 TCRmn 寄存器, 继续计数。

图 6-23. 开始时序(间隔定时器模式下)



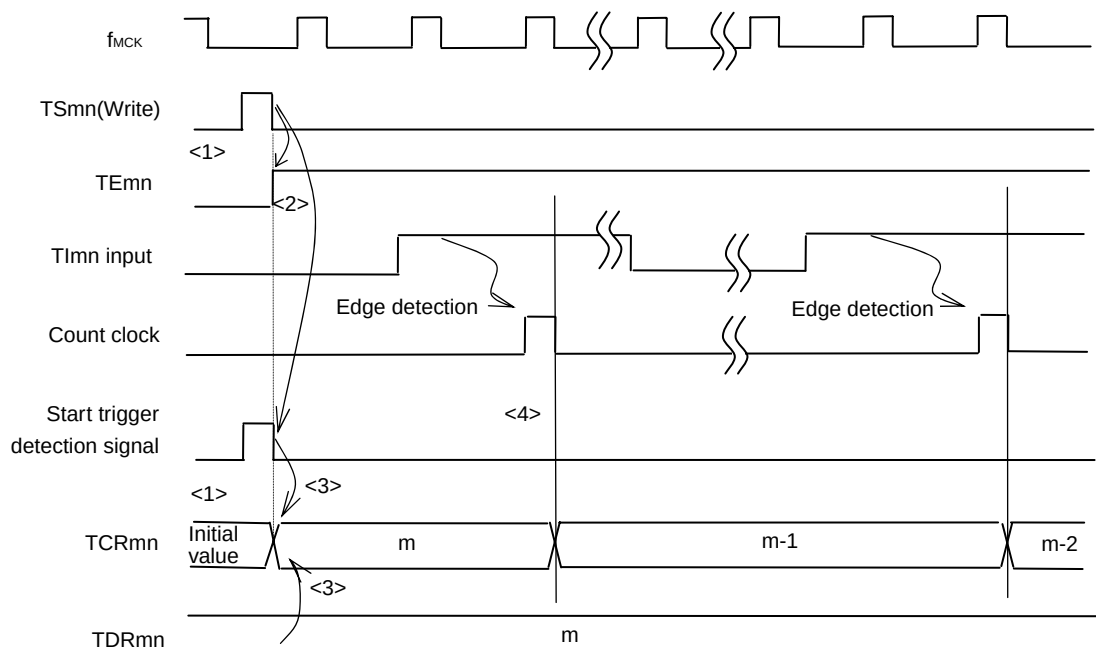
备注 f_{MCK} 、开始触发检测信号和 $INTTM_{mn}$ 与 f_{CLK} 同步后, 在一个时钟周期之内被激活。

注意事项 在计数时钟的第一个周期操作中, 写入 TS_{mn} 位之后到产生计数时钟为止发生了开始计数的延迟, 将产生最大为一个时钟周期的误差。需要获得开始计数时序信息时, 可以通过设置 $MD_{mn0} = 1$ 在开始计数时产生中断。

(b) 事件计数器模式下的开始时序

- <1> 停止操作($TE_{mn} = 0$)时, 定时器计数寄存器 $mn(TCR_{mn})$ 保持初始值。
- <2> 通过向 TS_{mn} 位写入 1 来开始操作($TE_{mn} = 1$)。
- <3> 向 TS_{mn} 位写入 1 并将 TE_{mn} 位设置为 1 后, 立即将定时器数据寄存器 $mn(TDR_{mn})$ 的值载入 TCR_{mn} 寄存器以开始计数。
- <4> 此后, 依据 TI_{mn} 输入的有效边沿的计数时钟对 TCR_{mn} 寄存器值进行递减计数。

图 6-24. 开始时序(事件计数器模式下)

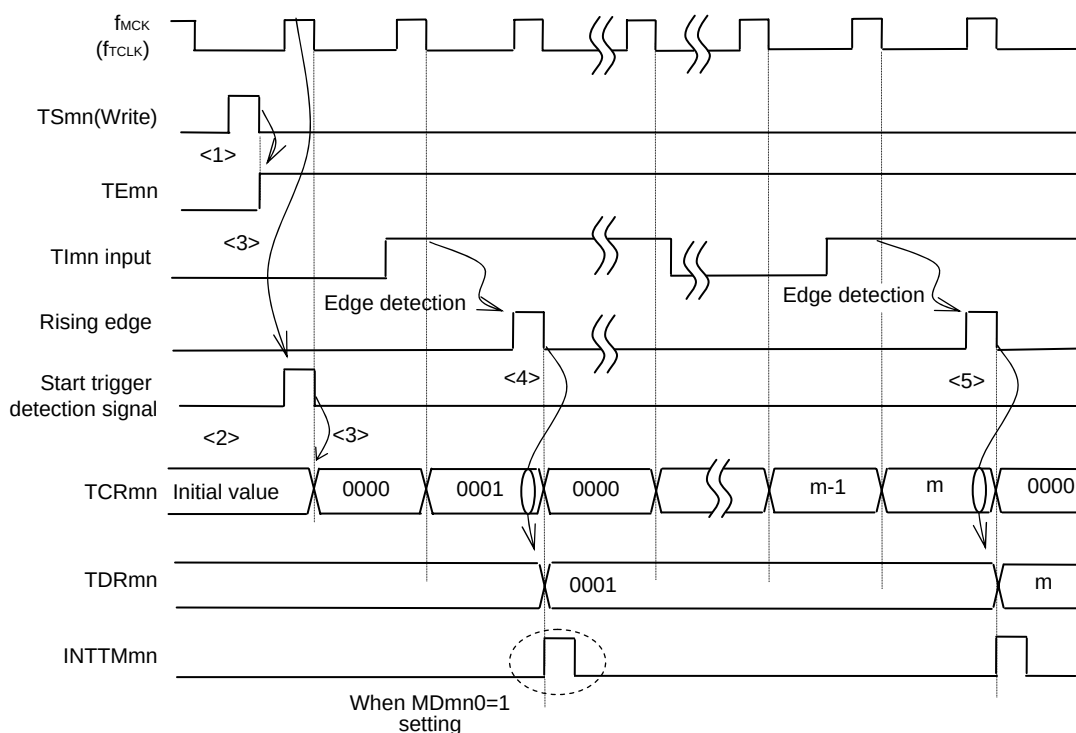


备注 不使用噪声滤波器时的时序如图 6-24 所示。启用噪声滤波器时, 边沿检测将比 TI_{mn} 输入再晚 2 个 f_{MCK} 周期 (合计 3 至 4 个周期)。

(c) 捕捉模式下的开始时序

- <1> 通过向 TSmn 位写入 1 来开始操作(TEmn = 1)。
- <2> 直到产生计数时钟为止定时器计数寄存器 mn(TCRmn)将保持初始值。
- <3> 允许操作时, 在第一个计数时钟产生开始触发。将 0000H 载入 TCRmn 寄存器并以捕捉模式开始计数。(设置 MDmn0 位为 1 时, 开始触发将产生 INTTMmn。)
- <4> 检测到 TImn 输入的有效边沿时, 将 TCRmn 寄存器的值捕捉至定时器数据寄存器 mn(TDRmn), 并产生 INTTMmn。此时捕捉值没有意义。TCRmn 寄存器从 0000H 开始继续计数。
- <5> 检测到下一个 TImn 输入的有效边沿时, 将 TCRmn 寄存器的值捕捉至定时器数据寄存器 mn(TDRmn), 并产生 INTTMmn。

图 6-25. 开始时序(捕捉模式下)



备注 不使用噪声滤波器时的时序如图 6-25 所示。启用噪声滤波器时, 边沿检测将比 $TImn$ 输入再晚 2 个 f_{MCK} 周期 (合计 3 至 4 个周期)。

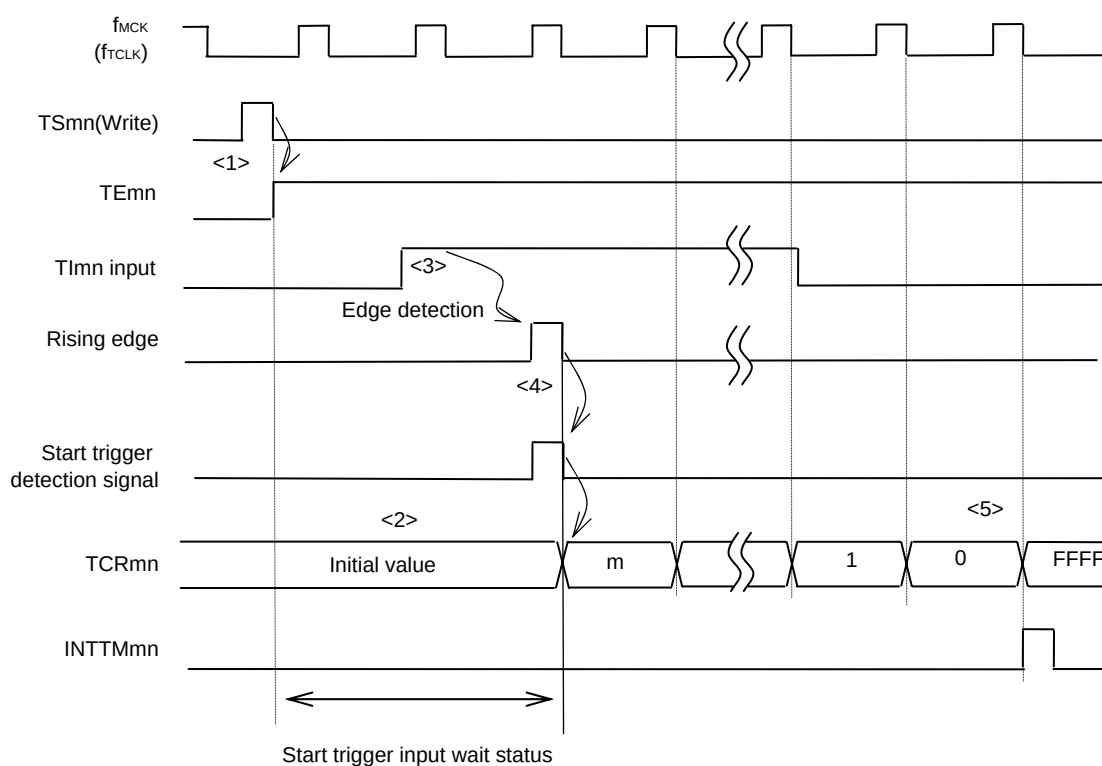
由于计数的开始与 TIm 输入的时序不同步, 第一个捕捉值 (图 6-24 中的 <4>) 与脉冲间隔并无关系。请忽略第一个捕捉值。

注意事项 在计数时钟的第一个周期操作中, 写入 TS_{mn} 位之后到产生计数时钟为止发生了开始计数的延迟, 将产生最大为一个时钟周期的误差。需要获得开始计数时序信息时, 可以通过设置 $MD_{mn0} = 1$ 在开始计数时产生中断。

(d) 单计数模式下的开始时序

- <1> 通过向 TSmn 位写入 1 来开始操作(TEmn = 1)。
- <2> 定时器计数寄存器 mn(TCRmn)保持初始值直到产生开始触发为止。
- <3> 检测到 TImn 输入的上升沿。
- <4> 检测到开始触发时, 将定时器数据寄存器 mn(TDRmn)的值载入 TCRmn 寄存器并开始计数。
- <5> 当 TCRmn 寄存器递减计数至其计数值为 0000H 时, 产生 INTTMmn, TCRmn 寄存器的值变成 FFFFH 并停止计数。

图 6-26. 开始时序(单计数模式下)

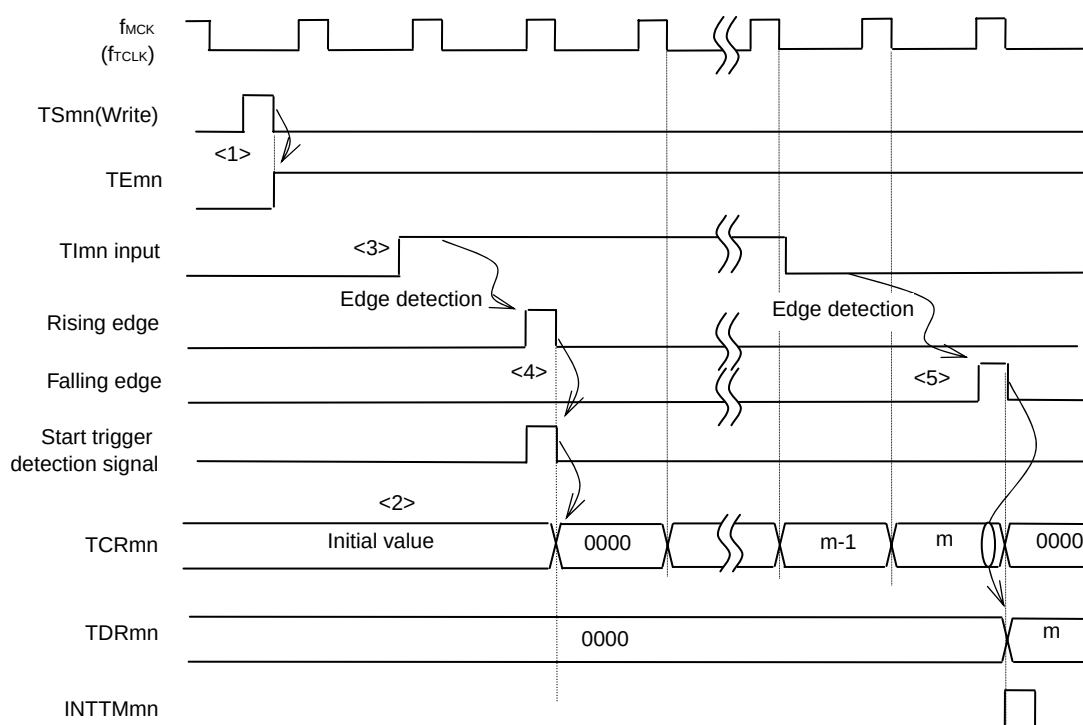


备注 不使用噪声滤波器时的时序如图 6-26 所示。启用噪声滤波器时, 边沿检测将比 TImn 输入再晚 2 个 f_{MCK} 周期 (合计 3 至 4 个周期)。1 个周期的误差来源于 TImn 输入与计数时钟(f_{MCK})的周期之间的不同步。

(e) 捕捉&单计数模式下的开始时序 (当测量到高电平宽度)

- <1> 通过向定时器通道开始寄存器 $m(TSm)$ 的 $TSmn$ 位写入 1 以允许操作 ($TEmn = 1$)。
- <2> 定时器计数寄存器 $mn(TCRmn)$ 保持初始值直到产生开始触发为止。
- <3> 检测到 $TImn$ 输入的上升沿。
- <4> 检测到开始触发时, 将 0000H 值载入 $TCRmn$ 寄存器并开始计数。
- <5> 检测到 $TImn$ 输入的下降沿时, 将 $TCRmn$ 寄存器的值捕捉至定时器数据寄存器 $mn(TDRmn)$, 并产生 $INTTMmn$ 。

图 6-27. 开始时序(在捕捉&单计数模式下)

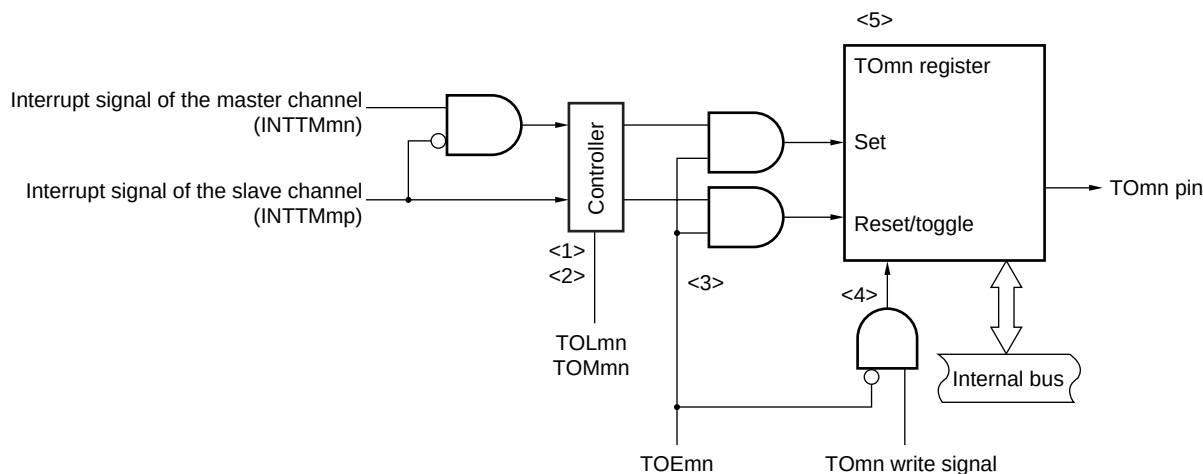


备注 不使用噪声滤波器时的时序如图 6-27 所示。启用噪声滤波器时, 边沿检测将比 $TImn$ 输入再晚 2 个 f_{MCK} 周期 (合计 3 至 4 个周期)。

6.6 通道输出 (TOmn 引脚) 控制

6.6.1 TOmn 引脚输出电路配置

图 6-28. 输出电路配置



下面介绍 TOmn 引脚输出电路。

- <1> 当 $TOMmn = 0$ （主通道输出模式）时，定时器输出电平寄存器 $m(TOLm)$ 的设定值被忽略，仅将 $INTTM0p$ （从属通道定时器中断）发送至定时器输出寄存器 $m(TOm)$ 。
- <2> 当 $TOMmn = 1$ （从属通道输出模式）时，将 $INTTMmn$ （主通道定时器中断）和 $INTTM0p$ （从属通道定时器中断）的双方都发送至 TOm 寄存器。
此时， $TOLm$ 寄存器变为有效，并按以下方式控制信号：

$TOLmn = 0$ 时： 正向操作（ $INTTMmn \rightarrow$ 设置、 $INTTM0p \rightarrow$ 复位）
 $TOLmn = 1$ 时： 反向操作（ $INTTMmn \rightarrow$ 复位、 $INTTM0p \rightarrow$ 设置）

当同时产生 $INTTMmn$ 和 $INTTM0p$ （PWM 输出的 0% 被输出）时， $INTTM0p$ （复位信号）优先， $INTTMmn$ （设置信号）被屏蔽。

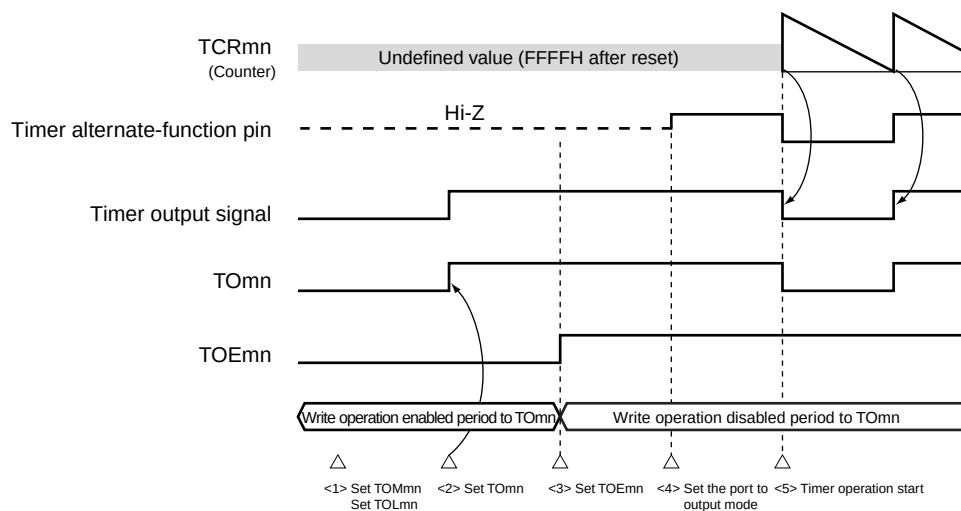
- <3> 当允许定时器输出 ($TOMmn = 1$) 时，将 $INTTMmn$ （主通道定时器中断）和 $INTTM0p$ （从属通道定时器中断）的双方都发送至 TOm 寄存器。向 TOm 寄存器的写入（ $TOmn$ 写信号）无效。
当 $TOEmn = 1$ 时，中断信号以外的信号不会改变 $TOmn$ 引脚输出。
初始化 $TOmn$ 引脚输出电平时，需要设置为停止定时器操作 ($TOEmn = 0$) 并向 TOm 寄存器写入值。
- <4> 当禁止定时器输出 ($TOEmn = 0$) 时，对于目标通道的 $TOmn$ 位的写入操作（ $TOmn$ 写信号）有效。当禁止定时器输出 ($TOEmn = 0$) 时，不将 $INTTMmn$ （主通道定时器中断）和 $INTTM0p$ （从属通道定时器中断）的任意一方发送至 TOm 寄存器。
- <5> 任何时候均可读取 TOm 寄存器，确认 $TOmn$ 引脚输出电平。

备注 m : 单元编号 ($m = 0, 1$)
 n : 通道编号
 $n = 0$ 至 3 ($n = 0, 2$ 用于主通道)
 p : 从属通道编号
 $n = 0$: $p = 1, 2, 3$
 $n = 2$: $p = 3$

6.6.2 TOMn 引脚输出设置

从 TOMn 输出引脚的初始设定到开始定时器操作为止的步骤和状态变化如下图所示。

图 6-29. 从定时器输出设置到操作开始的状态转换



<1> 设置定时器输出的操作模式。

- TOMmn 位 (0: 主通道输出模式, 1: 从属通道输出模式)
- TOLmn 位 (0: 正逻辑输出, 1: 负逻辑输出)

<2> 通过设置定时器输出寄存器 m(TOm)将定时器输出信号设置为初始状态。

<3> 向 TOEmn 位写入 1 以允许定时器输出操作 (禁止写入 TOM 寄存器)。

<4> 将端口 I/O 设置设为输出 (参阅 6.3 (15) 端口模式寄存器 0, 1, 3, 6 (PM0, PM1, PM3, PM6))。

<5> 允许定时器操作(TS_{mn} = 1)。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

6.6.3 通道输出操作的注意事项

(1) 在定时器操作时 TOM、TOEm、TOLm 和 TOMm 寄存器的设置值的变化

由于定时器操作（定时器计数寄存器(TCRmn)和定时器数据寄存器 mn(TDRmn)的操作）独立于 TOMn 输出电路，更改定时器输出寄存器 m(TOm)、定时器输出允许寄存器 m(TOEm)、定时器输出电平寄存器 m(TOLm)以及定时器输出模式寄存器 m(TOMm)的设置值不会影响定时器操作，在定时器操作期间可以更改这些值。然而，各个定时器操作时若要从 TOMn 引脚输出预期波形的话，须将 TOM、TOEm、TOLm 和 TOMm 寄存器设置为如 6.7 和 6.8 节所示各个操作时寄存器设置内容示例的值。

如果在接近各通道定时器中断(INTTMmn)发生时更改 TOEm、TOLm 和 TOMm 寄存器（TOM 寄存器除外）的设置值，根据更改的执行是在定时器中断(INTTMmn)发生前还是发生后，输出至 TOMn 引脚的波形可能不同。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

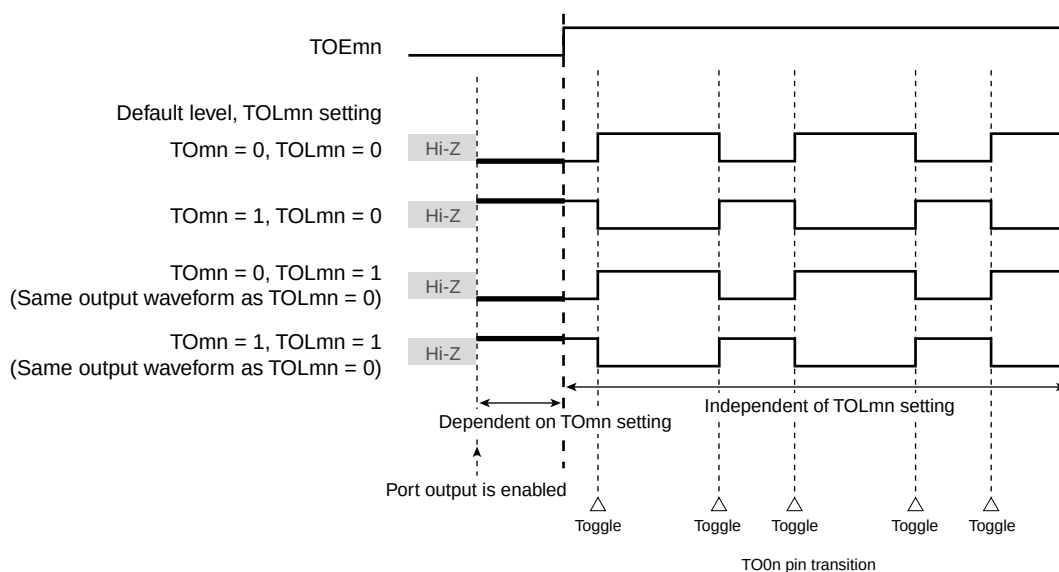
(2) TOMn 引脚的初始电平和开始定时器操作后的输出电平

在允许端口输出之前，禁用定时器输出($TOEmn = 0$)的状态下，写入定时器输出寄存器 $m(TOm)$ 更改初始电平后，设置为允许定时器输出($TOEmn = 1$)时，TOMn 引脚输出电平的变化如下所示。

(a) 在主通道输出模式($TOMmn = 0$)设置下开始操作时

主通道输出模式($TOMmn = 0$)时，定时器输出电平寄存器 $m(TOLm)$ 的设置无效。设置初始电平后开始定时器操作时，产生交替信号使 TOMn 引脚的输出电平反相。

图 6-30. 交替输出($TOMmn = 0$)时的 TOMn 引脚输出状态



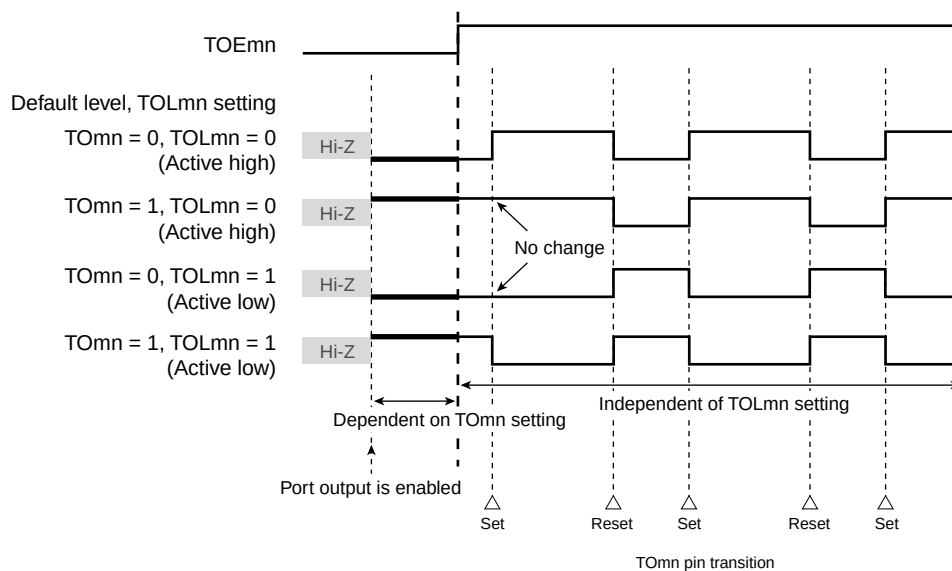
备注 1. 交替：TOMn 引脚输出状态反相

2. m：单元编号($m = 0, 1$)，n：通道编号($n = 0$ 至 3)

(b) 从属通道输出模式(TOMmn = 1)设置下开始操作时 (PWM 输出)

从属通道输出模式(TOMmn = 1)时，有效电平取决于定时器输出电平寄存器 m(TOLm)的设置。

图 6-31. PWM 输出时 (TOMmn = 1)的 TOMn 引脚输出状态



备注 1. 设置: TOMn 引脚的输出信号从无效电平变为有效电平。

复位: TOMn 引脚的输出信号从有效电平变为无效电平。

2. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

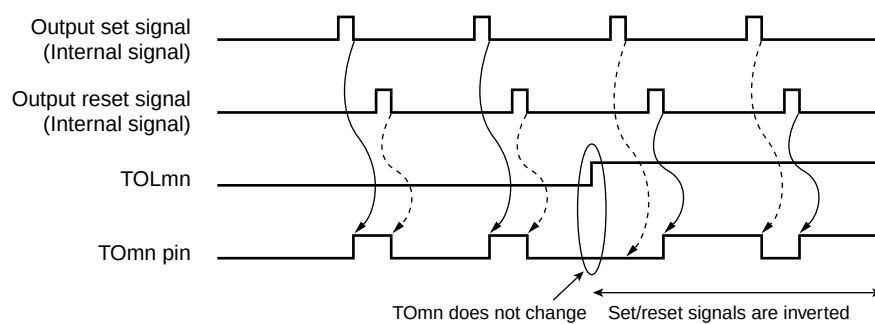
(3) 在从属通道输出模式($TOMmn = 1$)下 $TOmn$ 引脚的操作

(a) 在定时器操作期间改变定时器输出电平寄存器 m ($TOLm$) 设置时

定时器操作期间更改 $TOLm$ 寄存器的设置时，在 $TOmn$ 引脚变更条件的产生时序设置生效。重写 $TOLm$ 寄存器不会改变 $TOmn$ 引脚的输出电平。

当 $TOMmn$ 被设置为 1，在操作定时器($TEmn = 1$)期间更改 $TOLm$ 寄存器的值时的操作如下所示。

图 6-32. 在定时器操作期间改变 $TOLm$ 寄存器时的操作



备注 1. 设置: $TOmn$ 引脚的输出信号从无效电平变为有效电平。

复位: $TOmn$ 引脚的输出信号从有效电平变为无效电平。

2. m : 单元编号($m = 0, 1$), n : 通道编号($n = 0$ 至 3)

(b) 设置/复位时序

为了在 PWM 输出时实现 0%/100%输出，使用从属通道，将产生主通道定时器中断(INTTMmn)时 TOMn 引脚/TOMn 位的设置时序延迟 1 个计数时钟周期。

同时产生设置条件和复位条件时，后者优先。

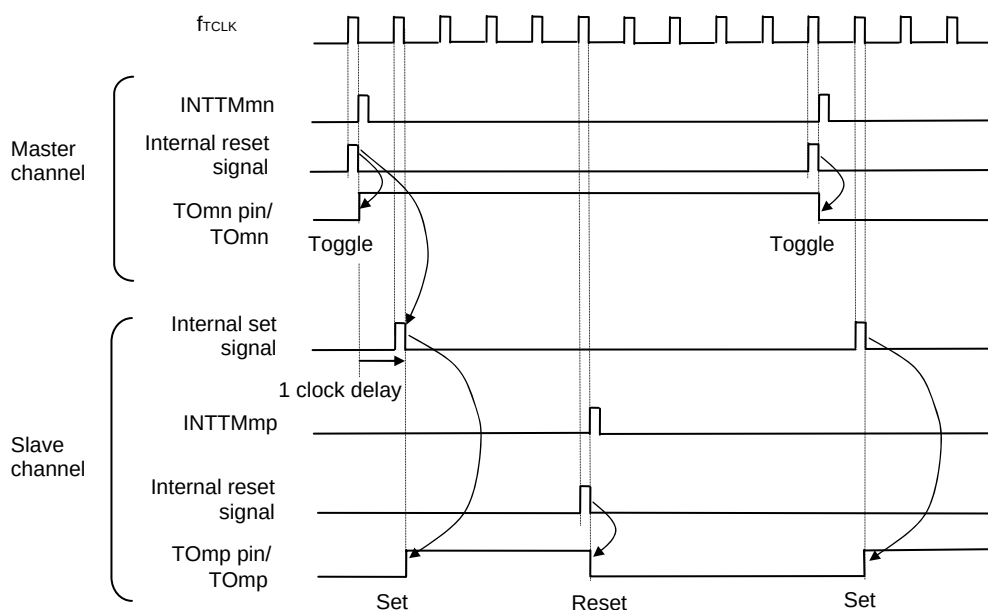
按以下方式设置主/从属通道时，设置/复位操作状态如图 6-33 所示。

主通道：TOEmn = 1、TOMmn = 0、TOLmn = 0

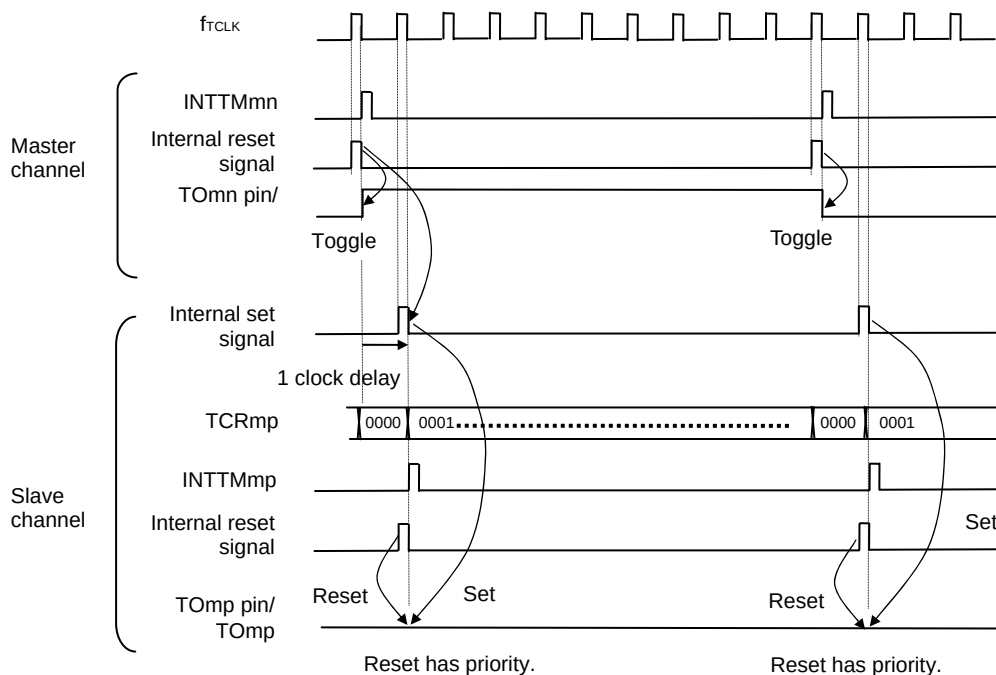
从属通道：TOEmp = 1、TOMmp = 1、TOLmp = 0

图 6-33. 设置/复位时序操作状态

(1) 基本操作时序



(2) 0 %占空时的操作时序



备注 1. 内部复位信号: TOn 引脚复位/交替信号

内部设置信号: TOn 引脚设置信号

2. m: 单元编号($m = 0, 1$)

n: 通道编号

$n = 0$ 至 3 ($n = 0, 2$ 用于主通道)

p: 从属通道编号

$n = 0$: $p = 1, 2, 3$

$n = 2$: $p = 3$

6.6.4 T0mn 位的集中操作

在定时器输出寄存器 m(T0m)中, 采用与定时器通道开始寄存器 m(TSm)相同的形式, 在一个寄存器中配置有所有通道的设置位。因此, 可以集中操作所有通道的 T0mn 位。

可以通过仅允许写入与用于执行输出的通道(T0mn) 的相关位对应的 T0mn 位 (TOEmn = 0), 也可以只操作目标位。

图 6-34 集中操作 T00n 位的示例

写入前

TO0	0	0	0	0	0	0	0	0	0	0	0	TO03	TO02	TO01	TO00
												1	0	1	0
TOE0	0	0	0	0	0	0	0	0	0	0	0	TOE03	TOE02	TOE01	TOE00
												0	0	0	1

待写入数据

0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

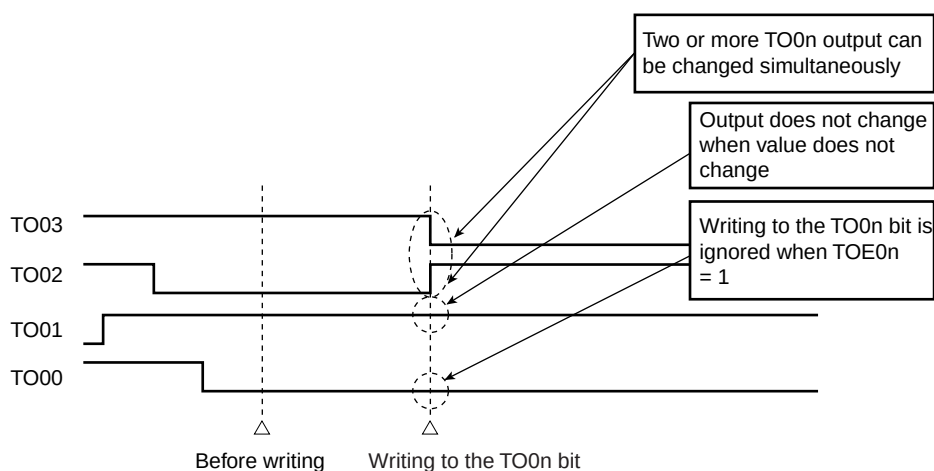
写入后

TO0	0	0	0	0	0	0	0	0	0	0	0	TO03	TO02	TO01	TO00
												0	1	1	0

仅写入 TOEmn = 0 的 T0mn 位, 向 TOEmn = 1 的 T0mn 位的写入被忽略。

设置为 TOEmn = 1 的 T0mn (通道输出) 不受写操作影响。即使对 T0mn 位执行写操作也会被忽略, 定时器操作导致的输出改变被正常执行。

图 6-35. 集中操作 T00n 位时 T00n 引脚的状态



注意事项 允许定时器输出(TOEmn = 1)时, 即使各个通道的定时器中断(INTTMmn)所导致的输出与向 T0mn 位的写入相冲突, 也正常执行 T0mn 引脚的输出。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 7)

6.6.5 计数操作开始时的定时器中断和 TOMn 引脚输出

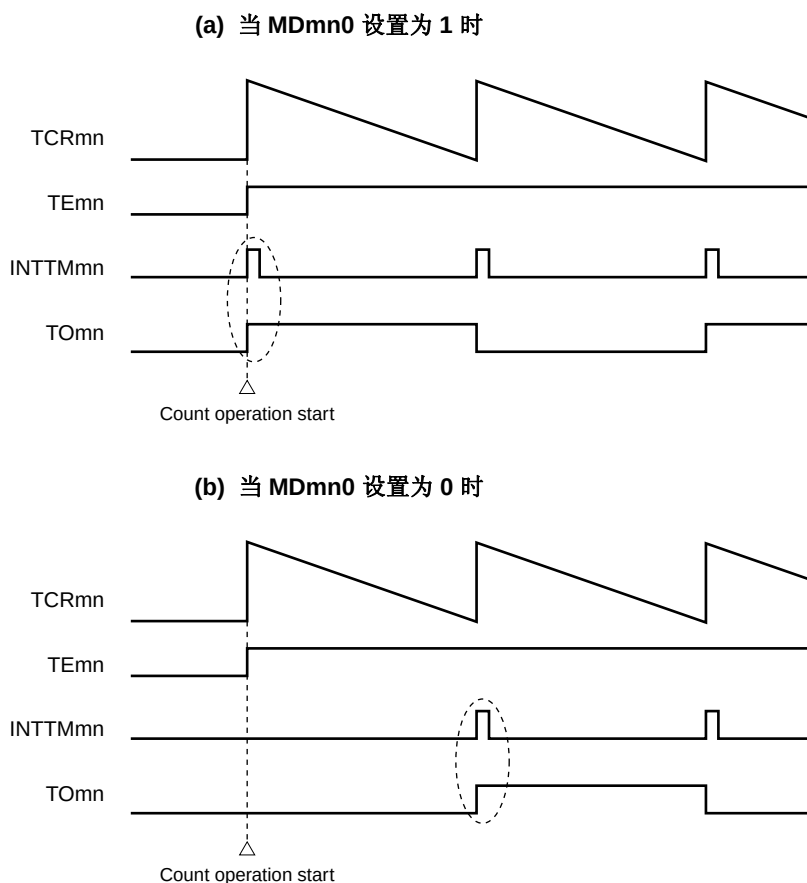
在间隔定时器模式或捕捉模式下，定时器模式寄存器 mn(TMRmn)的 MDmn0 位用于设置是否在开始计数时产生定时器中断。

当 MDmn0 被设置为 1 时，可以通过定时器中断(INTTMmn)的产生来获知计数操作开始时序。

在其它模式下，不控制计数操作开始时的定时器中断和 TOMn 输出。

设置为间隔定时器模式(TOEmn = 1、TOMmn = 0)时的操作示例如图 6-36 所示。

图 6-36. 计数操作开始时定时器中断和 TOMn 输出的操作示例



当 MDmn0 被设置为 1 时，将在计数操作开始时输出定时器中断 (INTTMmn)，TOMn 执行一次交替操作。

当 MDmn0 被设置为 0 时，不在计数操作开始时输出定时器中断 (INTTMmn)，TOMn 也不改变。在计数一个周期之后，输出 INTTMmn，TOMn 执行一次交替操作。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

6.7 定时器阵列单元的单独通道操作功能

6.7.1 作为间隔定时器/方波输出的操作

(1) 间隔定时器

定时器阵列单元可用作以固定间隔产生 INTTMmn（定时器中断）的基准定时器。
中断产生周期可以用下述表达式计算。

$$\text{INTTMmn (定时器中断) 的生成周期} = \text{计数时钟的周期} \times (\text{TDRmn 的设置值} + 1)$$

(2) 作为方波输出的操作

TOmn 将在产生 INTTMmn 时执行一次交替操作，并输出占空比为 50% 的方波。
从 TOmn 输出方波的周期和频率可以用下述表达式计算。

$$\bullet \text{从 TOmn 输出的方波周期} = \text{计数时钟的周期} \times (\text{TDRmn 的设置值} + 1) \times 2$$

$$\bullet \text{从 TOmn 输出的方波频率} = \text{计数时钟的频率} / \{(\text{TDRmn 的设置值} + 1) \times 2\}$$

定时器计数寄存器 mn(TCRmn) 充当间隔定时器模式时的递减计数器。

在定时器通道开始寄存器 m (TSm) 的通道开始触发位 (TSmn、TSHm1、TSHm3) 被设置为 1 之后的第一个计数时钟时，将定时器数据寄存器 mn(TDRmn) 的值载入 TCRmn 寄存器。如果定时器模式寄存器 mn(TMRmn) 的 MDmn0 位在此时被设置为 0，则不输出 INTTMmn，TOmn 也不会交替。如果 TMRmn 寄存器的 MDmn0 位为 1，则输出 INTTMmn，并交替 TOmn。

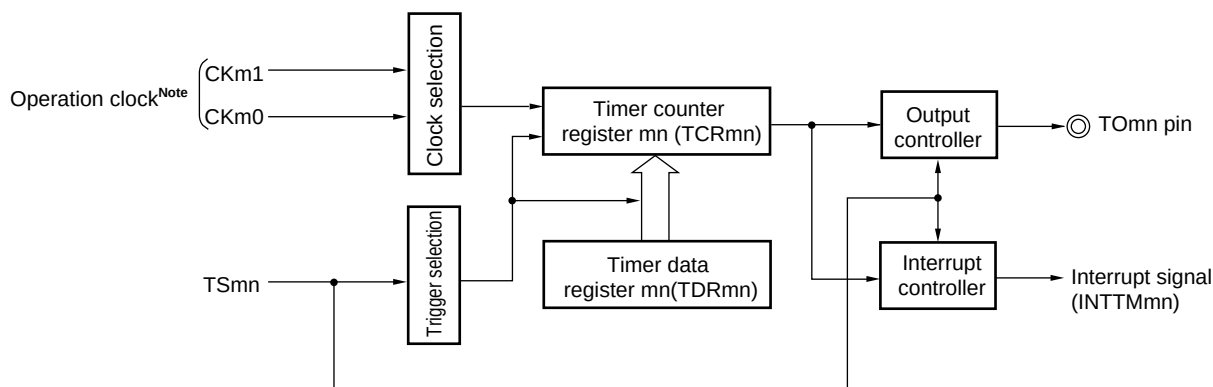
此后，TCRmn 寄存器与计数时钟同步并进行递减计数。

当 TCRmn = 0000H 时，在下一个计数时钟输出 INTTMmn，并交替 TOmn。同一时间，将 TDRmn 寄存器的值再次载入 TCRmn。之后重复同样的操作。

可以随时重写 TDRmn 寄存器。从下一个周期开始 TDRmn 寄存器的新值有效。

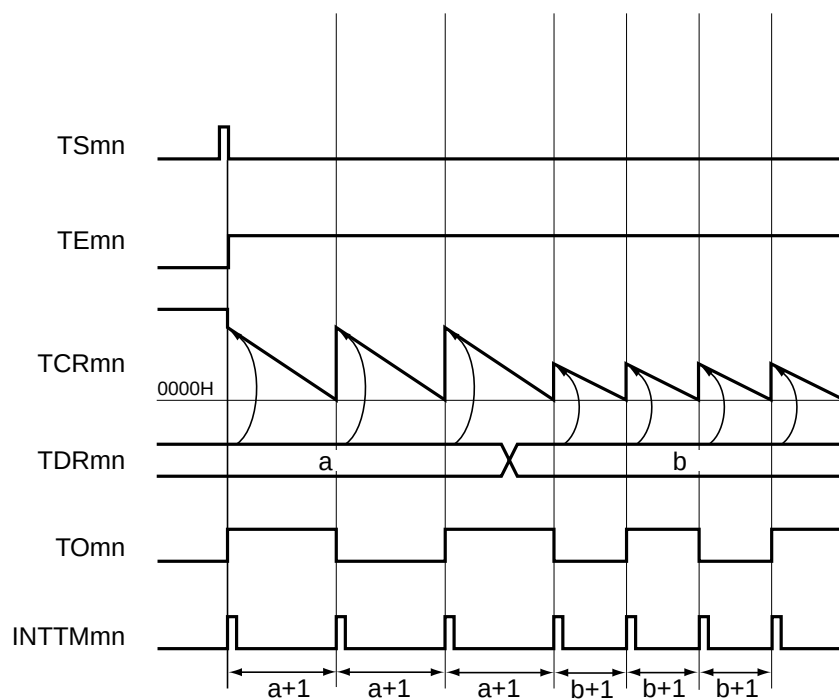
备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-37. 作为间隔定时器/方波输出的操作框图



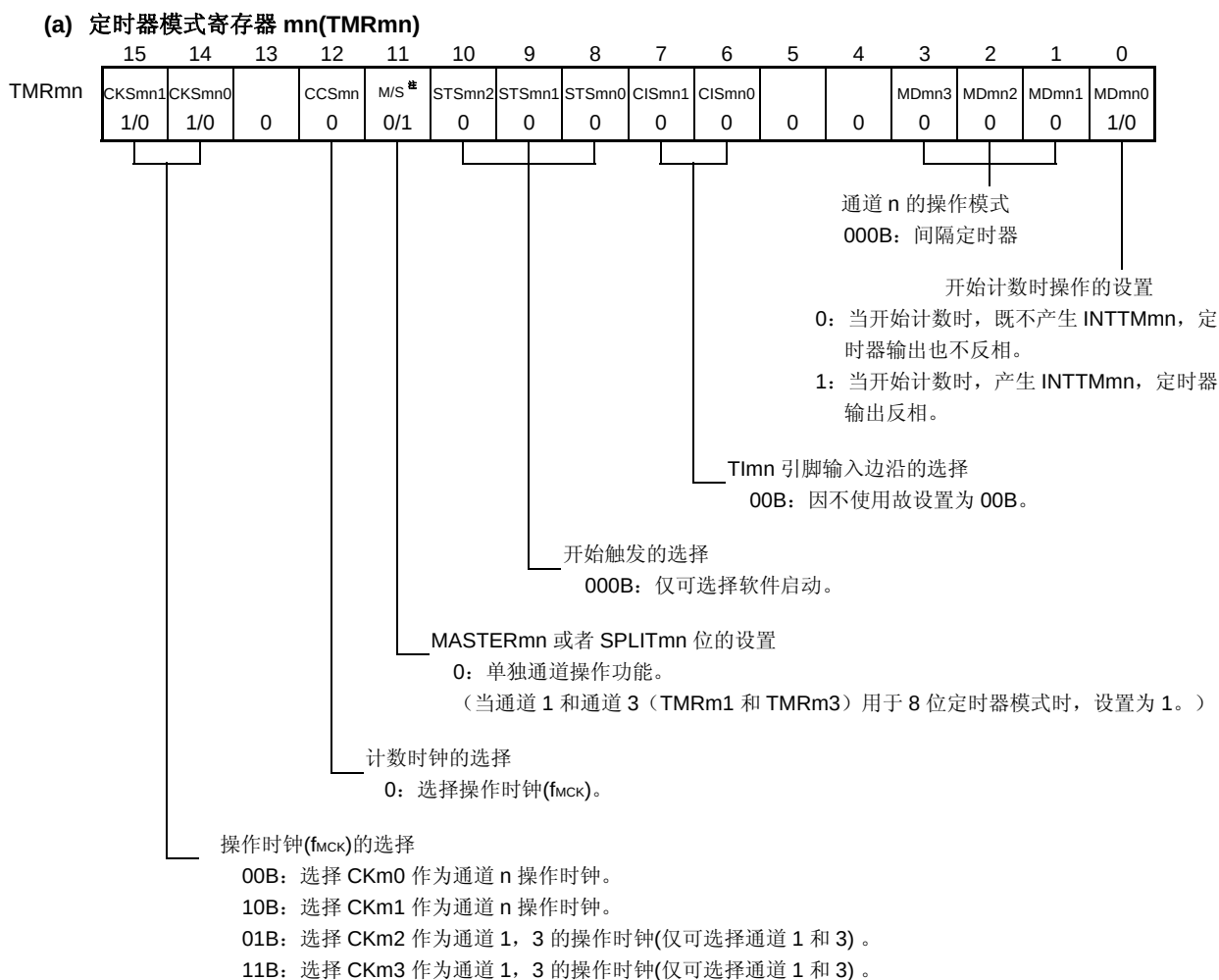
注 对于通道 1 和 3, 可从 CKm0、CKm1、CKm2 和 CKm3 中选择时钟。

图 6-38. 作为间隔定时器/方波输出的操作基本时序示例 (MDmn0 = 1)



- 备注 1. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)
2. TSmn: 定时器通道开始寄存器 m (TSm) 的位 n
 TEmn: 定时器通道允许状态寄存器 m (TEm) 的位 n
 TCRmn: 定时器计数寄存器 mn(TCRmn)
 TDRmn: 定时器数据寄存器 mn(TDRmn)
 TOMn: TOMn 引脚输出信号

图 6-39. 间隔定时器/方波输出时的寄存器设置内容示例(1/2)



(b) 定时器输出寄存器 m (TOm)

TOm	位 n	
	TOmn	0: 由 TOmn 输出 0。 1: 由 TOmn 输出 1。
	1/0	

(c) 定时器输出允许寄存器 m (TOEm)

TOEm	位 n	
	TOEmn	0: 通过计数操作来停止 TOmn 输出操作。 1: 通过计数操作来允许 TOmn 输出操作。
	1/0	

注 TMRm2: MASTERmn 位
TMRm1、TMRm3: SPLITmn 位
TMRm0: 固定为 0

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-39. 间隔定时器/方波输出时的寄存器设置内容示例(2/2)

(d) 定时器输出电平寄存器 m (TOLm)

TOLm

位 n
TOLmn
0

 0: 当 TOMmn = 0(主通道输出模式)时清除为 0。

(e) 定时器输出模式寄存器 m (TOMm)

TOMm

位 n
TOMmn
0

 0: 设置主通道输出模式。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-40. 间隔定时器/方波输出功能时的操作步骤 (1/2)

	软件操作	硬件状态
TAU初期 设定		断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)
	将外围有效寄存器0(PER0)的TAUmEN位设置为1。 →	上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)
	设置定时器时钟选择寄存器m(TPSm)。 决定CKm0和CKm1 (或者使用8位定时器模式时为CKm2和CKm3) 的时钟频率。	
通道初期 设定	设置定时器模式寄存器mn(TMRmn) (决定通道的操作模式)。 将间隔 (周期) 值设置到定时器数据寄存器mn(TDRmn)。	通道处于停止操作状态。 (供应时钟, 并消耗一定的功率。)
	使用TOmn输出时 将定时器输出模式寄存器m(TOMm)的TOMmn位设置为0 (主通道输出模式)。 将TOLmn位设置为0。 设置TOmn位, 并决定TOmn输出的初始电平。 →	TOmn引脚处于Hi-Z输出状态。 当端口模式寄存器处于输出模式且端口寄存器为0时, 输出TOmn的初始设置电平。
	将TOEmn位设置为1, 并允许操作TOmn。 →	TOmn不会因为停止操作通道而变化。
	将端口寄存器和端口模式寄存器设置为0。 →	TOmn引脚输出TOmn设置电平。
开始操作	(仅当使用TOmn输出并恢复操作时, 将TOEmn位设置为1。) 将TSMn(TSHm1、TSHm3)位设置为1。 → TSMn (TSHm1、TSHm3)位是是触发位, 将自动返回0。	TEmn (TEHm1, TEHm3) = 1, 并且开始计数操作。 在输入计数时钟时, 将TDRmn寄存器的值载入定时器计数寄存器mn(TCRmn)。如果TMRmn寄存器的MDmn0位被设置为1, 将产生INTTMmn, 同时, TOmn执行交替操作。
操作期间	不能更改TMRmn寄存器、TOMmn和TOLmn位的设置值。 可以任意更改TDRmn寄存器的设置值。 可以任意读取TCRmn寄存器。 不使用TSRmn寄存器。 可以更改TOM和TOEm寄存器的设置值。	计数器(TCRmn)递减计数。当计数值达到0000H时, TDRmn寄存器的值再次被载入TCRmn寄存器, 继续计数操作。检测到TCRmn = 0000H时, 产生INTTMmn, TOmn执行交替操作。 之后重复以上操作。
停止操作	将TTmn(TTHm1、TTHm3)位设置为1。 → TTmn (TTHm1、TTHm3)位是触发位, 将自动返回0。	TEmn (TEHm1, TEHm3) = 0, 并且停止计数操作。 TCRmn寄存器保持计数值并停止。 TOmn输出不被初始化, 而是保持当前状态。
	TOEmn位被清除至0, 并向TOmn位设置值。 →	TOmn引脚输出TOmn位设置电平。

恢复操作

(备注如下页所示。)

图 6-40. 间隔定时器/方波输出功能时的操作步骤 (2/2)

	软件操作	硬件状态
TAU 停止	保持TOMn引脚输出电平时 将希望保持的值设置到端口寄存器后，将TOMn位清除为0。→	TOMn引脚输出电平由端口功能保持。
	不需要保持TOMn引脚输出电平时 不要求设置。 ----- 将PER0寄存器的TAUmEN位设置为0。→	断电状态 初始化所有电路，同时初始化各通道的SFR。 (TOMn位变为0，并且TOMn引脚变为端口功能。)

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

6.7.2 作为外部事件计数器操作

定时器阵列单元用作外部事件计数器，用于对检测到的 TImn 引脚输入有效边沿（外部事件）的次数进行计数。达到指定计数次数时，事件计数器产生中断。指定的计数次数可以用下述表达式计算。

$$\text{指定计数次数} = \text{TDRmn 的设置值} + 1$$

定时器计数寄存器 mn(TCRmn) 在事件计数器模式下用作递减计数器。

通过将定时器通道开始寄存器 m (TSMn) 的任意通道开始触发位 (TSMn、TSHm1、TSHm3) 设置为 1，将定时器数据寄存器 mn(TDRmn) 的值载入 TCRmn 寄存器。

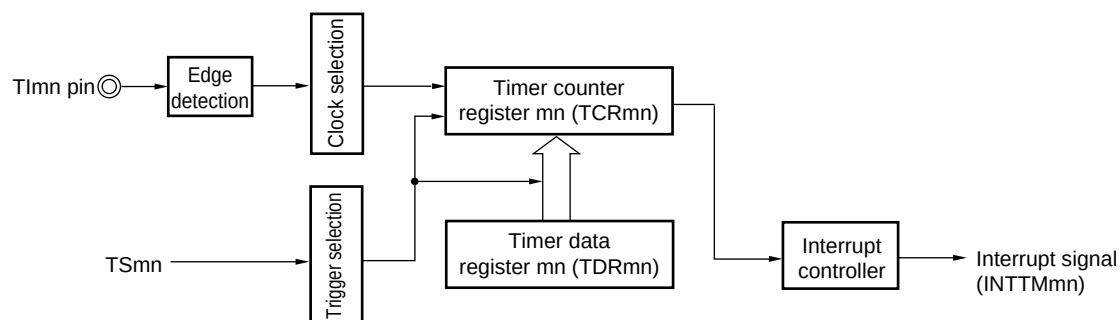
每当检测到 TImn 引脚的有效输入边沿时，TCRmn 寄存器都会递减计数。当 $\text{TCRmn} = 0000\text{H}$ 时，TCRmn 寄存器将再次载入 TDRmn 寄存器的值，并输出 INTTMmn。

之后重复以上操作。

TOmn 引脚输出是取决于外部事件的不规则波形。将定时器输出允许寄存器 m (TOEm) 的 TOEmn 位设置为 0 以停止输出。

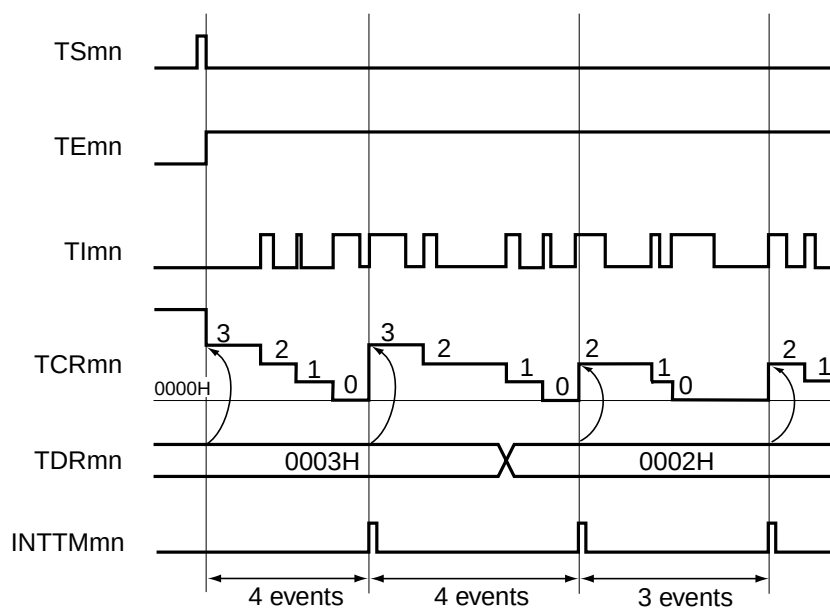
可以随时重写 TDRmn 寄存器。从下一个计数周期开始 TDRmn 寄存器的新值有效。

图 6-41. 作为外部事件计数器的操作框图



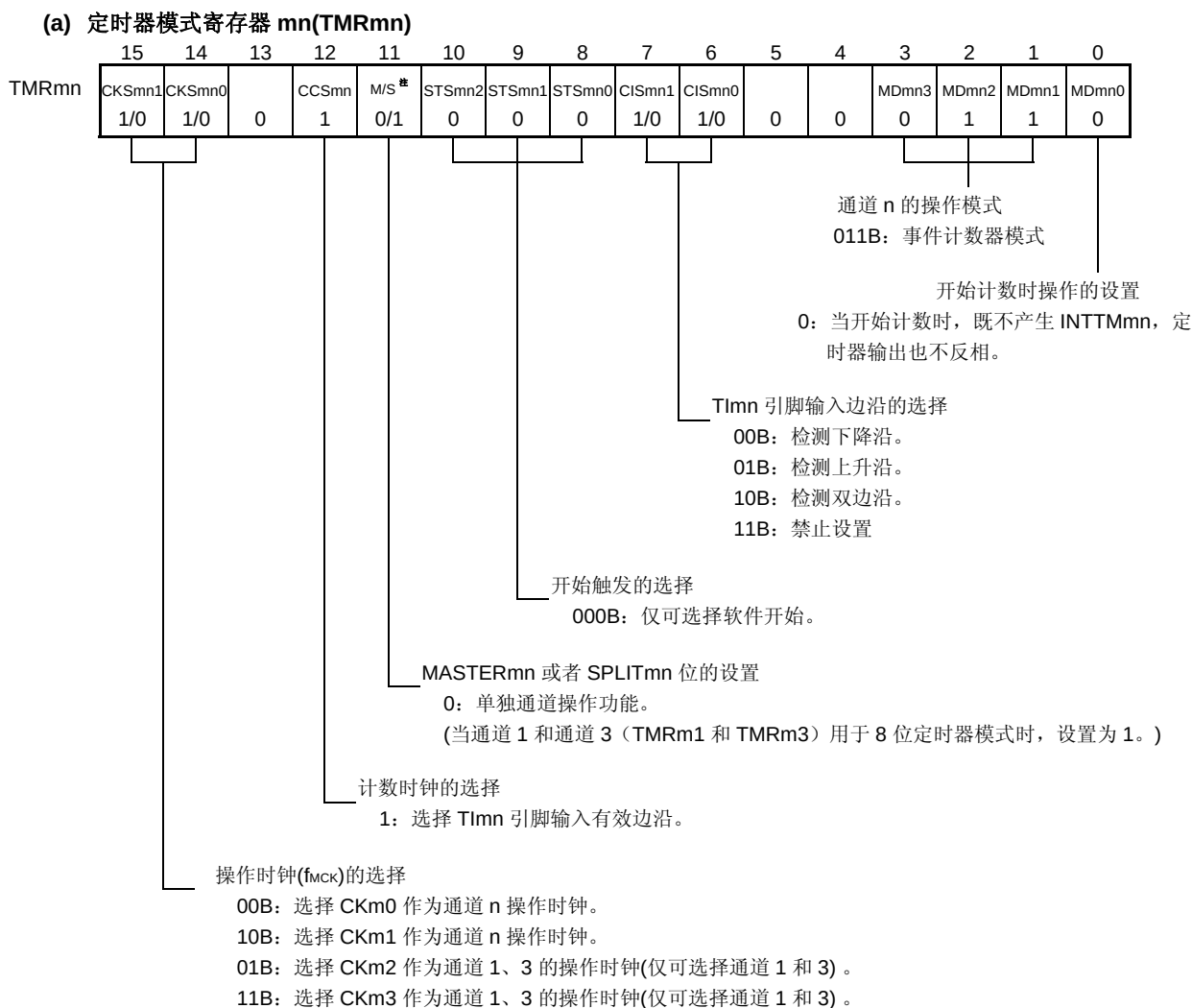
备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-42. 作为外部事件计数器的操作基本时序示例

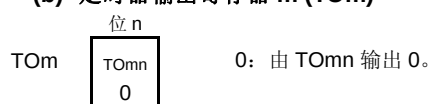


- 备注 1.** m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)
- 2.** TSmn: 定时器通道开始寄存器 m (TSm)的位 n
 TEmn: 定时器通道允许状态寄存器 m (TEm)的位 n
 TImn: TImn 引脚输入信号
 TCRmn: 定时器计数寄存器 mn(TCRmn)
 TDRmn: 定时器数据寄存器 mn(TDRmn)

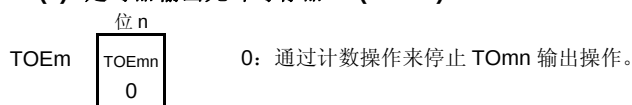
图 6-43. 外部事件计数器模式时的寄存器设置内容示例(1/2)



(b) 定时器输出寄存器 m (TOM)



(c) 定时器输出允许寄存器 m (TOEm)



注 TMRm2: MASTERmn 位
TMRm1、TMRm3: SPLITmn 位
TMRm0: 固定为 0

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-43. 外部事件计数器模式时的寄存器设置内容示例(2/2)

(d) 定时器输出电平寄存器 m (TOLm)

TOLm

位 n
TOLmn
0

 0: 当 TOMmn = 0 (主通道输出模式) 时设置为 0。

(e) 定时器输出模式寄存器 m (TOMm)

TOMm

位 n
TOMmn
0

 0: 设置主通道输出模式。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-44. 使用外部事件计数器功能时的操作步骤

	软件操作	硬件状态
TAU初期 设定		断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)
	将外围有效寄存器0(PER0)的TAUmEN位设置为1。 →	上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)
	设置定时器时钟选择寄存器m(TPSm)。 决定CKm0和CKm1 (或者使用8位定时器模式时为CKm2和CKm3) 的时钟频率。	
通道初期 设定	设置定时器模式寄存器mn(TMRmn) (决定通道的操作模式)。 将计数次数设置到定时器数据寄存器mn(TDRmn)。 将定时器输出允许寄存器m(TOEm)的TOEmn位设置为0。	通道处于停止操作状态。 (供应时钟, 并消耗一定的功率。)
开始操作	将TSMn位设置为1。 → TSMn位是触发位, 将自动返回0。	TEmn = 1, 并且开始计数操作。 TDRmn寄存器的值被载入定时器计数寄存器mn(TCRmn), 进入TImn引脚输入边沿的等待检测状态。
操作期间	可以任意更改TDRmn寄存器的设置值。 可以任意读取TCRmn寄存器。 不使用TSRmn寄存器。 不可更改TMRmn寄存器、TOMmn、TOLmn、TOMn和TOEmn位的设置值。	每当检测到TImn引脚的输入边沿时, 计数器(TCRmn) 都会递减计数。当计数值达到0000H时, TDRmn寄存器的值将被再次载入TCRmn寄存器, 并且继续计数操作。检测到TCRmn = 0000H时输出INTTMmn。 之后重复以上操作。
停止操作	将TTmn位设置为1。 → TTmn位是触发位, 将自动返回0。	TEmn = 0, 并且停止计数操作。 TCRmn寄存器保持计数值并停止。
TAU 停止	将PER0寄存器的TAUmEN位设置为0。 →	断电状态 初始化所有电路, 同时初始化各通道的SFR。

恢复操作

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

6.7.3 作为分频器的操作(仅限单元 0 的通道 0)

定时器阵列单元可用作分频器，将输入至 TI00 引脚的时钟进行分频，并从 TO00 引脚输出结果。

从 TO00 输出的分频时钟频率可利用下列表达式来计算。

- 当选择上升沿/下降沿时：
分频时钟频率 = 输入时钟频率 / {(TDR00 的设置值 + 1) × 2}
- 当选择双边沿时：
分频时钟频率 ≅ 输入时钟频率 / (TDR00 的设置值 + 1)

定时器计数寄存器 00 (TCR00) 在间隔定时器模式时充当递减计数器。

将定时器通道开始寄存器 0 (TS0) 的通道开始触发位 (TS00) 设置为 1 之后，TCR00 寄存器将在检测到 TI00 有效边沿时载入定时器数据寄存器 00 (TDR00) 的值。

如果定时器模式寄存器 00 (TMR00) 的 MD000 位在此时被设置为 0，则不输出 INTTM00，也不交替 TO00。如果定时器模式寄存器 00 (TMR00) 的 MD000 位被设置为 1，则输出 INTTM00，并交替 TO00。

此后，TCR00 寄存器在 TI00 引脚的有效边沿处递减计数。当 TCR00 = 0000H 时，交替 TO00。同时，TCR00 寄存器再次载入 TDR00 寄存器的值并继续计数。

如果选择检测 TI00 引脚的两个边沿，则输入时钟的占空比误差将影响 TO00 输出的分频时钟周期。

TO00 输出时钟的周期包含 1 个操作时钟周期的采样误差。

TO00 输出的时钟周期 = 理想的 TO00 输出时钟周期 ± 操作时钟周期 (误差)

可以随时重写 TDR00 寄存器。从下一个计数周期开始 TDR00 寄存器的新值有效。

图 6-45. 作为分频器的操作框图

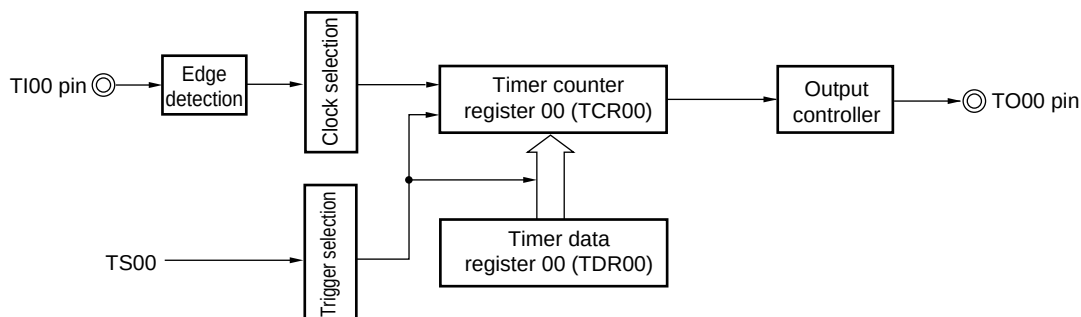
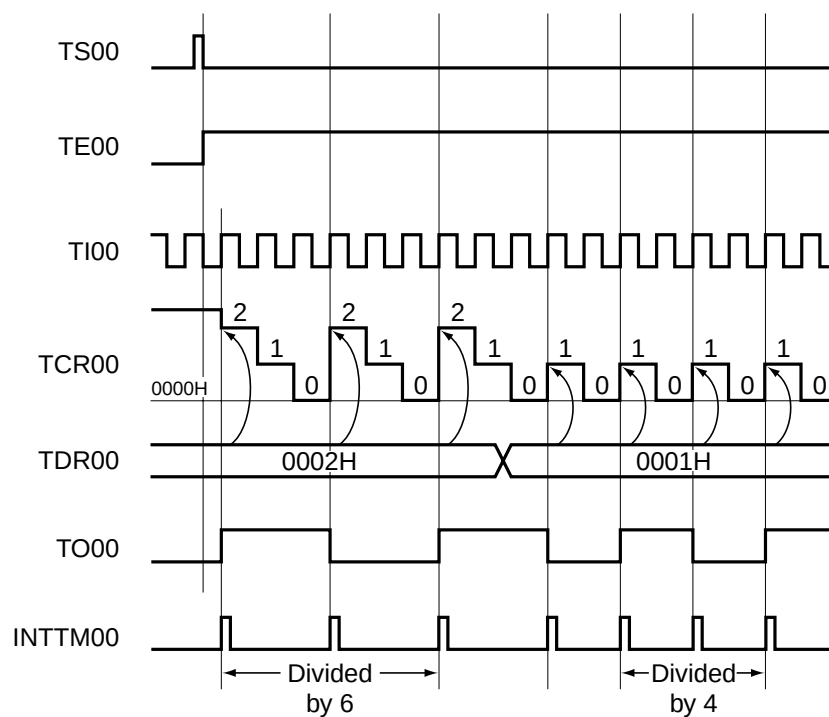
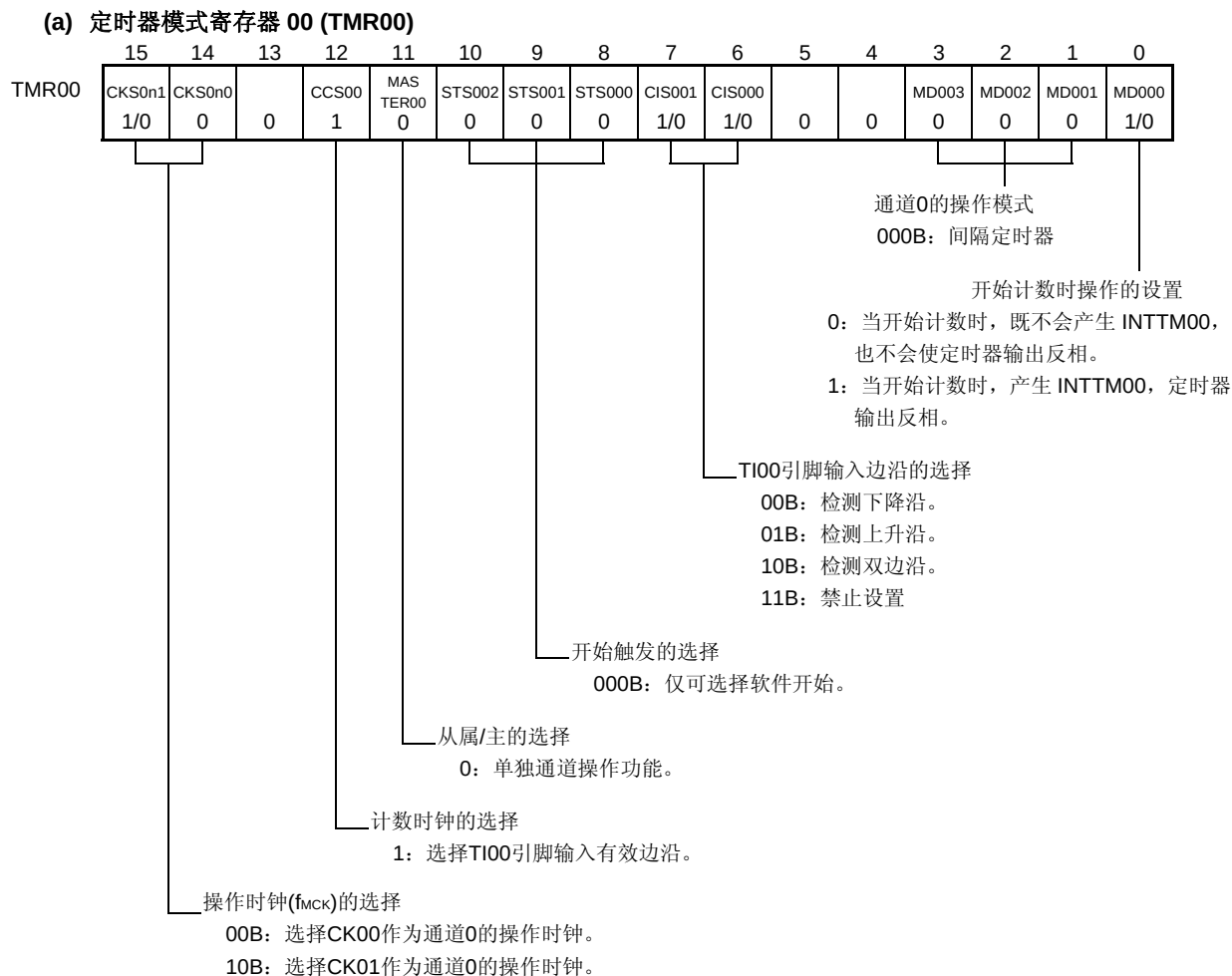


图 6-46. 作为分频器的操作基本时序示例 (MD000 = 1)



- 备注
- TS00: 定时器通道开始寄存器 0 (TS0) 的位 n
 - TE00: 定时器通道允许状态寄存器 0 (TE0) 的位 n
 - TI00: TI00 引脚输入信号
 - TCR00: 定时器计数寄存器 00 (TCR00)
 - TDR00: 定时器数据寄存器 00 (TDR00)
 - TO00: TO00 引脚输出信号

图 6-47. 作为分频器操作时的寄存器设置内容示例



(b) 定时器输出寄存器 0 (TO0)

位 0	
TO0	TO00
	1/0
	0: 由 TO00 输出 0。
	1: 由 TO00 输出 1。

(c) 定时器输出允许寄存器 0 (TOE0)

位 0	
TOE0	TOE00
	1/0
	0: 通过计数操作停止 TO00 输出操作。
	1: 通过计数操作允许 TO00 输出操作。

(d) 定时器输出电平寄存器 0 (TOL0)

位 0	
TOL0	TOL00
	0
	0: 当 TOM00 = 0(主通道输出模式)时设置为 0。

(e) 定时器输出模式寄存器 0 (TOM0)

位 0	
TOM0	TOM00
	0
	0: 设置主通道输出模式。

图 6-48. 使用分频器功能时的操作步骤

	软件操作	硬件状态
TAU初期 设定		断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)
	将外围有效寄存器0(PER0)的TAU0EN位设置为1。 —————→	上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)
	设置定时器时钟选择寄存器0(TPS0)。 决定CK00和CK01的时钟频率。	
通道初期 设定	设置定时器模式寄存器0n (TMR0n)(决定通道的操作模式, 并选择检测边沿)。 将间隔(周期)值设置到定时器数据寄存器00(TDR00)。	通道处于停止操作状态。 (供应时钟, 并消耗一定的功率。)
	将定时器输出模式寄存器0(TOM0)的TOM00位设置为0(主通道输出模式)。 将TOL00位设置为0。 设置TO00位并决定TO00输出的初始电平。 —————→	TO00引脚处于Hi-Z输出状态。 当端口模式寄存器处于输出模式且端口寄存器为0时, 输出TO00的初始设置电平。
	将TOE00位设置为1, 并允许操作TO00。 —————→	TO00不会因为停止操作通道而变化。
	将端口寄存器和端口模式寄存器设置为0。 —————→	TO00引脚输出TO00的设置电平。
开始操作	将TOE00位设置为1(仅限恢复操作时)。 —————→ 将TS00位设置为1。 TS00位是触发位, 将自动返回0。	TE00 = 1, 并且开始计数操作。 输入计数时钟时, TDR00寄存器的值被载入定时器计数寄存器00(TCR00)。如果TMR00寄存器的MD000位被设置为1, 将产生INTTM00, 同时, TO00执行交替操作。
操作期间	可以任意更改TDR00寄存器的设置值。 可以任意读取TCR00寄存器。 不使用TSR00寄存器。 可以更改TO0和TOE0寄存器的设置值。 不能更改TMR00寄存器、TOM00和TOL00位的设置值。	计数器(TCR00)递减计数。当计数值达到0000H时, TDR00寄存器的值将被再次载入TCR00寄存器, 并继续计数操作。检测到TCR00 = 0000H时, 产生INTTM00, TO00执行交替操作。之后重复以上操作。
停止操作	将TT00位设置为1。 —————→ TT00位是触发位, 将自动返回0。	TE00 = 0, 并且停止计数操作。 TCR00寄存器保持计数值并停止。 TO00输出不被初始化, 而是保持当前状态。
	将TOE00清除为0, 并给TO00位设置值。 —————→	TO00引脚输出TO00的设置电平。
TAU 停止	保持TO00引脚输出电平时 将希望保持的值设置到端口寄存器后, 将TO00位清除为0。 —————→ 不需要保持TO00引脚输出电平时 不要求设置。	TO00引脚输出电平由端口功能保持。
	将PER0寄存器的TAU0EN位设置为0。 —————→	断电状态 初始化所有电路, 同时初始化各通道的SFR。 (TO00位清除为0, TO00引脚被设置为端口模式)。

恢复操作

6.7.4 作为输入脉冲间隔测量的操作

可以在 TImn 有效边沿捕捉计数值，并可测量输入 TImn 的脉冲的间隔。

脉冲间隔可以用下述表达式计算。

$$\text{TImn 输入脉冲间隔} = \text{计数时钟的周期} \times ((10000\text{H} \times \text{TSRmn: OVF}) + (\text{TDRmn 的捕捉值} + 1))$$

注意事项 使用定时器模式寄存器 mn(TMRmn) 的 CKSmn 位选择的操作时钟对于 TImn 引脚输入进行采样，因此会发生最大为一个操作时钟周期的误差。

定时器计数寄存器 mn(TCRmn) 在捕捉模式下充当递增计数器。

当定时器通道开始寄存器 m (TSm) 的通道开始触发位(TSmn)被设置为 1 时，TCRmn 寄存器与计数时钟同步且从 0000H 开始递增计数。

检测到 TImn 引脚输入有效边沿时，TCRmn 寄存器的计数值被传送（捕捉）至定时器数据寄存器 mn(TDRmn)，同时，TCRmn 寄存器被清除为 0000H，并输出 INTTMmn。此时如果计数器溢出，则定时器状态寄存器 mn(TSRmn) 的 OVF 位被设置为 1。如果计数器不溢出，则 OVF 位被清除。之后重复以上操作。

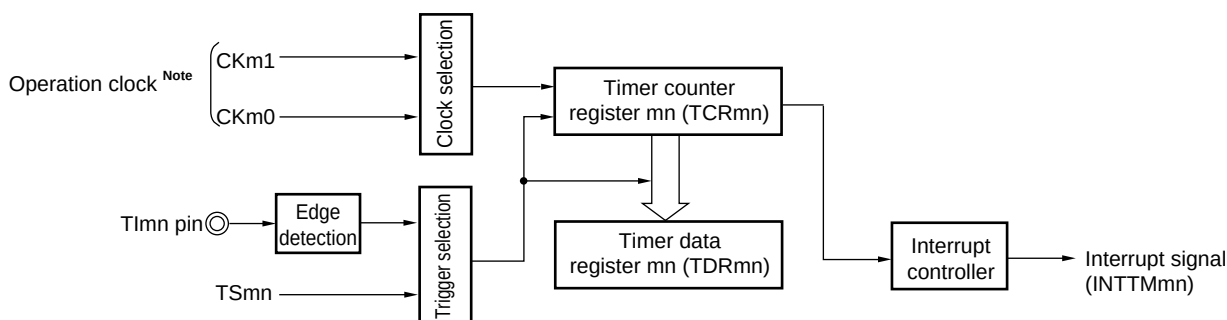
计数值被捕捉至 TDRmn 寄存器时，依据测量期间计数器是否发生溢出，TSRmn 寄存器的 OVF 位将被更新，可以确认捕捉值的溢出状态。

如果计数器进行了两个或更多周期的完整计数，则判断发生了溢出，TSRmn 寄存器的 OVF 位被设置为 1。然而，如果发生两次或更多的溢出，则不能测量 OVF 位的正常间隔值。

将 TMRmn 寄存器的 STSmn2 至 STSmn0 位设置为 001B，将 TImn 的有效边沿用作开始触发和捕捉触发。

当 TEMn = 1 时，可以使用软件操作(TSmn = 1) 来代替 TImn 引脚输入作为捕捉触发。

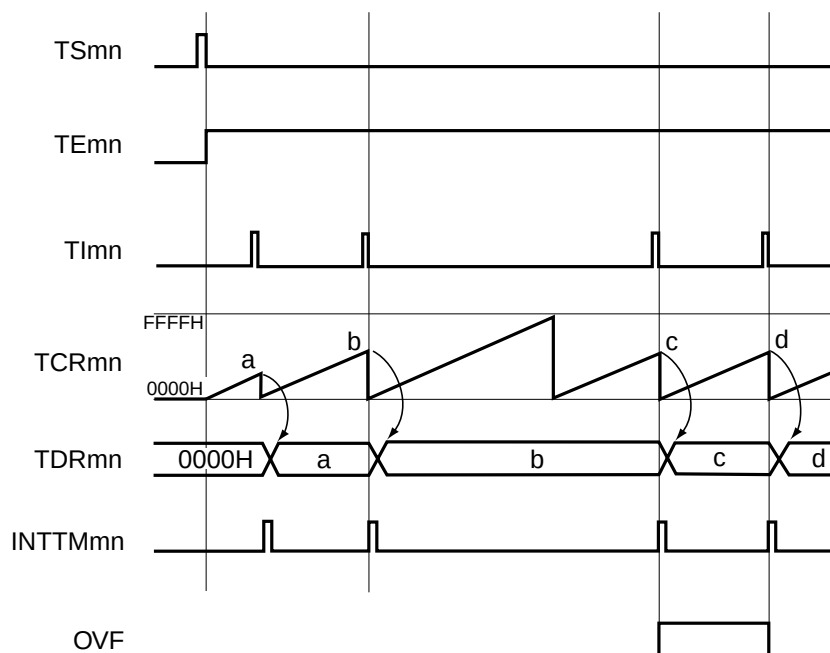
图 6-49. 作为输入脉冲间隔测量的操作框图



注 对于通道 1 和 3，可从 CKm0、CKm1、CKm2 和 CKm3 中选择时钟。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-50. 作为输入脉冲间隔测量的操作基本时序示例 (MDmn0 = 0)

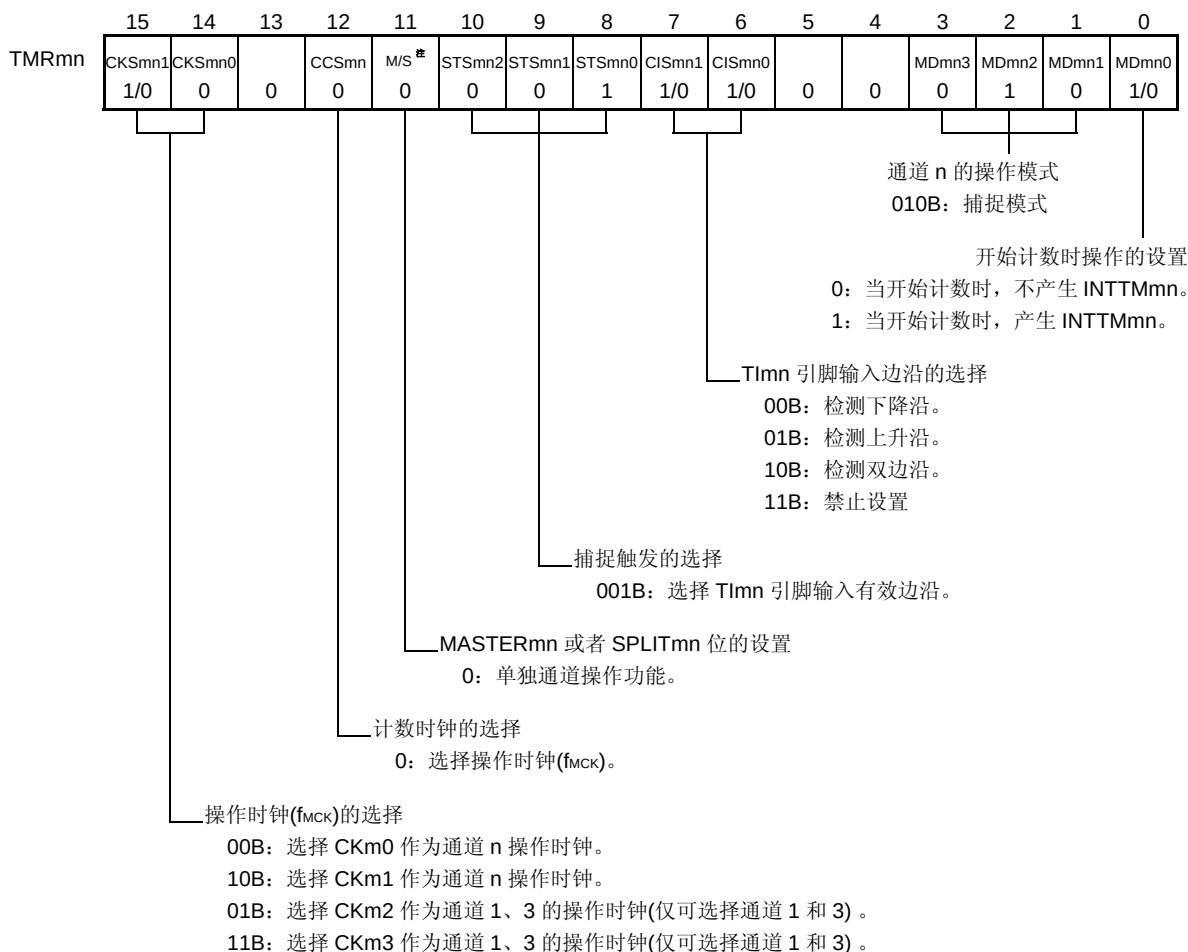


备注 1. m: 单元编号(m = 0, 1)n: 通道编号(n = 0 至 3)

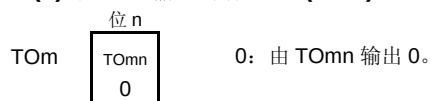
2. TSmn: 定时器通道开始寄存器 m (TSm)的位 n
 TE mn: 定时器通道允许状态寄存器 m (TEm)的位 n
 TImn: TImn 引脚输入信号
 TCRmn: 定时器计数寄存器 mn(TCRmn)
 TDRmn: 定时器数据寄存器 mn(TDRmn)
 OVF: 定时器状态寄存器 mn(TSRmn)的位 0

图 6-51. 输入脉冲间隔测量时的寄存器设置内容示例

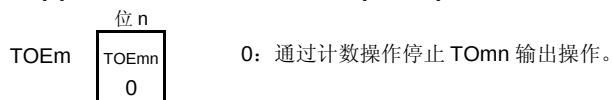
(a) 定时器模式寄存器 mn(TMRmn)



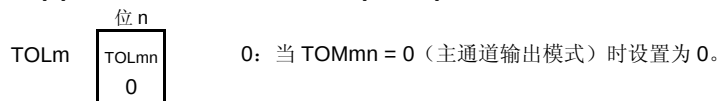
(b) 定时器输出寄存器 m (TOM)



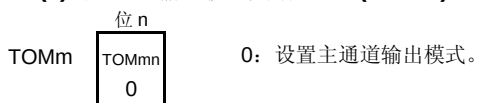
(c) 定时器输出允许寄存器 m (TOEm)



(d) 定时器输出电平寄存器 m (TOLm)



(e) 定时器输出模式寄存器 m (TOMm)



注 TMRm2: MASTERmn 位
TMRm1、TMRm3: SPLITmn 位
TMRm0: 固定为 0

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-52. 使用输入脉冲间隔测量功能时的操作步骤

	软件操作	硬件状态
TAU初期 设定		断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)
	将外围有效寄存器0(PER0)的TAUmEN位设置为1。→	上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)
	设置定时器时钟选择寄存器m(TPSm)。 决定CKm0和CKm1的时钟频率。	
通道初期 设定	设置定时器模式寄存器mn(TMRmn) (决定通道的操作模式)。	通道处于停止操作状态。 (供应时钟, 并消耗一定的功率。)
开始操作	将TSmn位设置为1。→ TSmn位是触发位, 将自动返回0。	TEmn = 1, 并且开始计数操作。 输入计数时钟时, 定时器计数寄存器mn(TCRmn)被清除为0000H。 当TMRmn寄存器的MDmn0位为1时, 产生INTTMmn。
操作期间	可以任意更改TMRmn寄存器的CISmn1和CISmn0位的设置值。 可以任意读取TDRmn寄存器。 可以任意读取TCRmn寄存器。 可以任意读取TSRmn寄存器。 不能更改TOMmn、TOLmn、TOMn和TOEmn位的设置值。	计数器(TCRmn)从0000H开始递增计数。当检测到Timn引脚输入有效边沿时, 计数值被传送(捕捉)至定时器数据寄存器mn(TDRmn)。同时, TCRmn寄存器被清除为0000H, 并产生INTTMmn信号。 此时如果发生溢出, 则定时器状态寄存器mn(TSRmn)的OVF位被设置; 如果不发生溢出, 则OVF位被清除。 之后重复以上操作。
停止操作	将TTmn位设置为1。→ TTmn位是触发位, 将自动返回0。	TEmn = 0, 并且停止计数操作。 TCRmn寄存器保持计数值并停止。 同时保持TSRmn寄存器的OVF位。
TAU 停止	将PER0寄存器的TAUmEN位设置为0。→	断电状态 初始化所有电路, 同时初始化各通道的SFR。

恢复操作

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

6.7.5 输入信号高/低电平宽度测量的操作

注意事项 用作支持 LIN-bus 功能时，将输入切换控制寄存器(ISC)的位 1 (ISC1)设置为 1。在以下描述中，将 TImn 称呼为 RxD0。

通过在 TImn 引脚输入的一个边沿开始计数，在另一个边沿捕捉计数次数，可以测量 TImn 的信号宽度（高电平宽度/低电平宽度）。TImn 的信号宽度可用下述表达式计算。

$$\text{TImn 输入的信号宽度} = \text{计数时钟的周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn 的捕捉值} + 1))$$

注意事项 使用定时器模式寄存器 mn(TMRmn) 的 CKSmn 位选择的操作时钟对于 TImn 引脚输入进行采样，因此会发生一个操作时钟周期的误差。

定时器计数寄存器 mn(TCRmn)在捕捉&单计数模式时用作递增计数器。

当定时器通道开始寄存器 m (TSm) 的通道开始触发位 (TSmn)被设置为 1 时，TEmn 位将被设置为 1，同时 TImn 引脚被设置为开始边沿检测等待状态。

当检测到 TImn 引脚输入开始边沿（测量高电平宽度时为 TImn 引脚输入的上升沿）时，计数器与计数时钟同步并从 0000H 开始递增计数。之后检测到有效捕捉边沿（测量高电平宽度时为 TImn 引脚输入的下降沿）时，计数值被传送至定时器数据寄存器 mn(TDRmn)，同时输出 INTTImn。此时如果计数器溢出，则定时器状态寄存器 mn(TSRmn) 的 OVF 位被设置为 1。如果计数器不溢出，则 OVF 位被清除。当值达到“传送至 TDRmn 寄存器的值 + 1”时，停止 TCRmn 寄存器，同时设置为 TImn 引脚开始边沿检测等待状态。之后重复以上操作。

计数值被捕捉至 TDRmn 寄存器时，依据测量周期中计数器是否发生溢出，TSRmn 寄存器的 OVF 位将被更新，可以确认捕捉值的溢出状态。

如果计数器进行了两个或更多周期的完整计数，则判断发生了溢出，TSRmn 寄存器的 OVF 位被设置为 1。然而，如果发生两次或更多的溢出，则不能测量 OVF 位的正常间隔值。

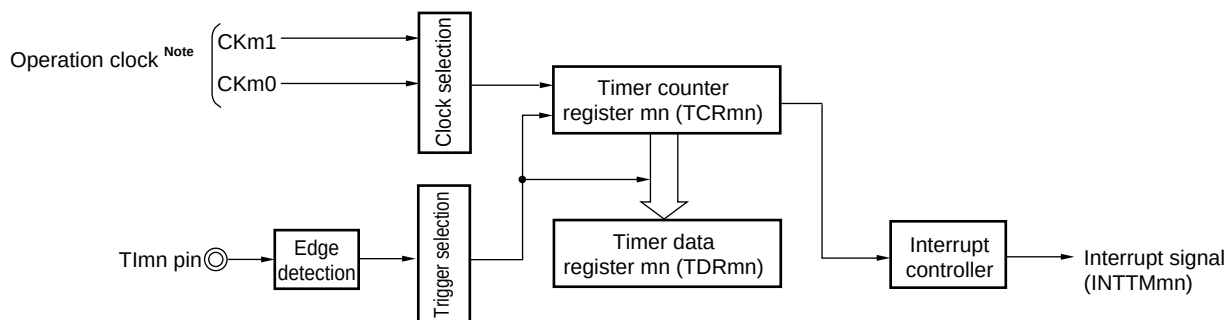
可以通过 TMRmn 寄存器的 CISmn1 和 CISmn0 位来选择测量 TImn 引脚的高电平宽度或低电平宽度。

由于该功能用于测量 TImn 引脚输入的信号宽度，因此，在 TE mn 位为 1 时，不能将 TSmn 位设置为 1。

TMRmn 寄存器的 CISmn1、CISmn0 = 10B: 测量低电平宽度。

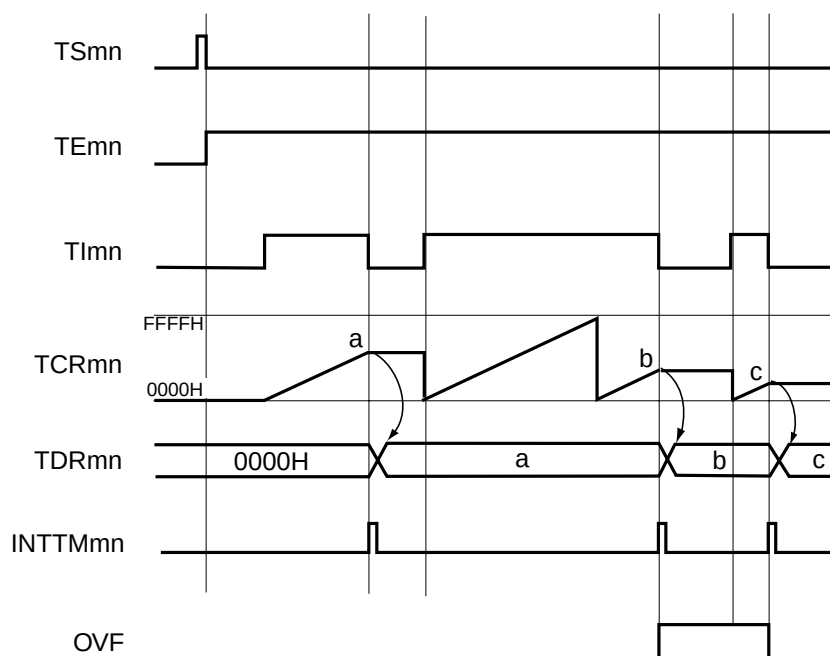
TMRmn 寄存器的 CISmn1、CISmn0 = 11B: 测量高电平宽度。

图 6-53. 作为输入信号的高/低电平宽度测量的操作框图



注 对于通道 1 和 3，可从 CKm0、CKm1、CKm2 和 CKm3 中选择时钟。

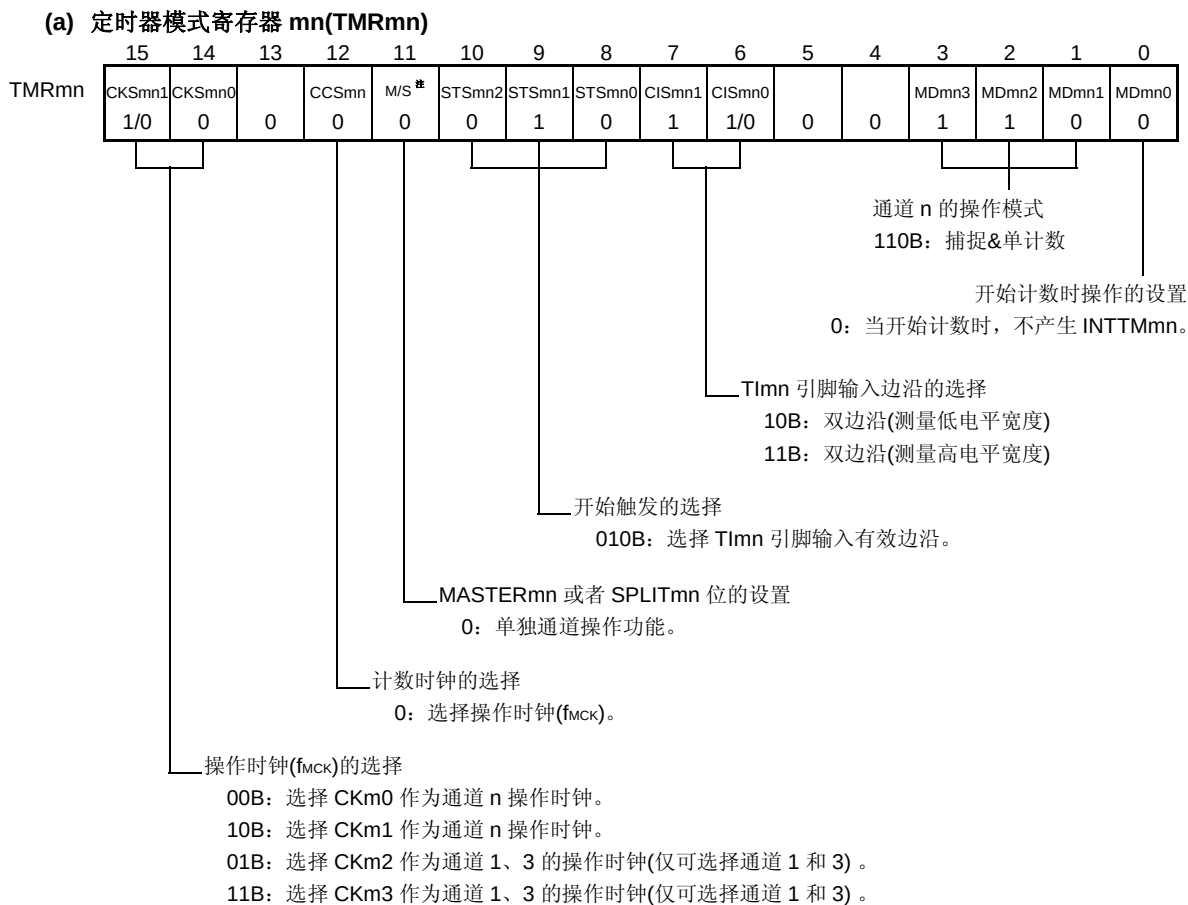
图 6-54. 作为输入信号的高/低电平宽度测量的操作基本时序示例



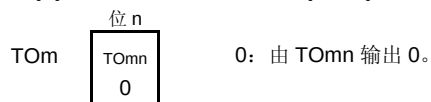
备注 1. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

- 2. TSmn: 定时器通道开始寄存器 m (TSm) 的位 n
- TE mn: 定时器通道允许状态寄存器 m (TEm) 的位 n
- TImn: TImn 引脚输入信号
- TCRmn: 定时器计数寄存器 mn(TCRmn)
- TDRmn: 定时器数据寄存器 mn(TDRmn)
- OVF: 定时器状态寄存器 mn(TSRmn) 的位 0

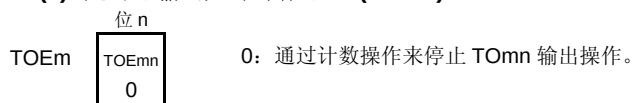
图 6-55. 输入信号的高/低电平宽度测量时的寄存器设置内容示例



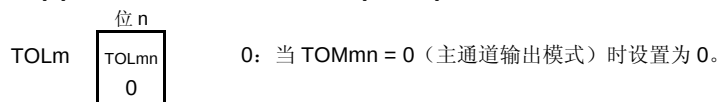
(b) 定时器输出寄存器 m (TOM)



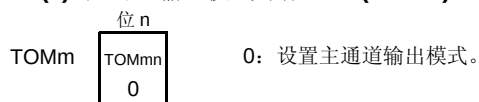
(c) 定时器输出允许寄存器 m (TOEm)



(d) 定时器输出电平寄存器 m (TOLm)



(e) 定时器输出模式寄存器 m (TOMm)



注 TMRm2: MASTERmn 位

TMRm1、TMRm3: SPLITmn 位

TMRm0: 固定为 0

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-56. 使用输入信号高/低电平宽度测量功能时的操作步骤

	软件操作	硬件状态
TAU初期 设定		断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)
	将外围有效寄存器0(PER0)的TAUmEN位设置为1。 —————▶	上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)
	设置定时器时钟选择寄存器m(TPSm)。 决定CKm0和CKm1的时钟频率。	
通道初期 设定	设置定时器模式寄存器mn(TMRmn) (决定通道的操作模式)。 将TOEmn位设置为0, 并且停止操作TOMn。	通道处于停止操作状态。 (供应时钟, 并消耗一定的功率。)
开始操作	将TSmn位设置为1。 —————▶ TSmn位是触发位, 将自动返回0。	TEmn = 1, 设置为TImn引脚开始边沿检测等待状态。
	检测TImn引脚输入计数开始有效边沿。 —————▶	将定时器计数寄存器mn(TCRmn)清除为0000H并开始递增计数。
操作期间	可以任意更改TDRmn寄存器的设置值。 可以任意读取TCRmn寄存器。 不使用TSRmn寄存器。 不可更改TMRmn寄存器、TOMmn、TOLmn、TOMn和TOEmn位的设置值。	当检测到TImn引脚开始边沿时, 计数器(TCRmn)从0000H开始递增计数。如果检测到TImn引脚的捕捉边沿, 则计数值将被传送到定时器数据寄存器mn(TDRmn), 并产生INTTMmn。 此时如果发生溢出, 则定时器状态寄存器mn(TSRmn)的OVF位被设置; 如果不发生溢出, 则OVF位被清除。停止TCRmn寄存器计数操作, 直至检测到下一个TImn引脚开始边沿为止。
停止操作	将TTmn位设置为1。 —————▶ TTmn位是触发位, 将自动返回0。	TEmn = 0, 并且停止计数操作。 TCRmn寄存器保持计数值并停止。 同时保持TSRmn寄存器的OVF位。
TAU 停止	将PER0寄存器的TAUmEN位设置为0。 —————▶	断电状态 初始化所有电路, 同时初始化各通道的SFR。

恢复操作

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

6.7.6 作为延迟计数器的操作

当检测到 Tl_{mn} 引脚输入的有效边沿（外部事件）时，可以开始递减计数，并在任意指定间隔后产生 $INTTM_{mn}$ （定时器中断）。

也可通过软件设置 $TS_{mn} = 1$ ，以任意间隔产生 $INTTM_{mn}$ （定时器中断），并在 $TE_{mn} = 1$ 期间开始递减计数。
中断产生周期可以用下述表达式计算。

$$INTTM_{mn} \text{ (定时器中断) 的生成周期} = \text{计数时钟的周期} \times (\text{TDR}_{mn} \text{ 的设置值} + 1)$$

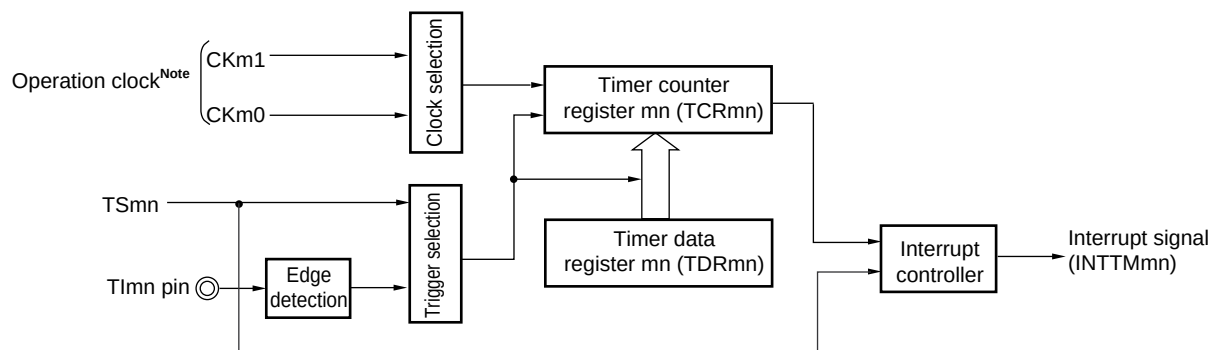
定时器计数寄存器 $mn(TCR_{mn})$ 在单计数模式时用作递减计数器。

当定时器通道开始寄存器 m (TS_{mn}) 的通道开始触发位 (TS_{mn} 、 TSH_{m1} 、 TSH_{m3}) 被设置为 1 时， TE_{mn} 、 TEH_{m1} 、 TEH_{m3} 位将被设置为 1，同时设置为 Tl_{mn} 引脚输入有效边沿检测等待状态。

检测到 Tl_{mn} 引脚输入有效边沿时定时器计数寄存器 $mn(TCR_{mn})$ 开始工作，并载入定时器数据寄存器 $mn(TDR_{mn})$ 的值。 TCR_{mn} 寄存器与计数时钟同步，从载入的 TDR_{mn} 寄存器的值开始递减计数。当 $TCR_{mn} = 0000H$ 时，输出 $INTTM_{mn}$ 并停止计数，直至检测到下一个 Tl_{mn} 引脚输入有效边沿为止。

可以随时重写 TDR_{mn} 寄存器。从下一个周期开始 TDR_{mn} 寄存器的新值有效。

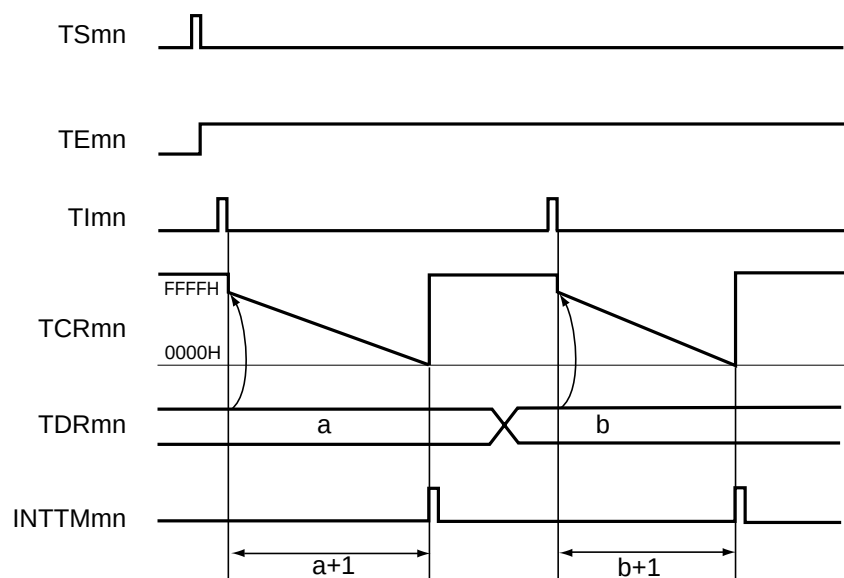
图 6-57. 作为延迟计数器的操作框图



注 使用通道 1 和 3 时，可从 CK_{m0} 、 CK_{m1} 、 CK_{m2} 和 CK_{m3} 中选择时钟。

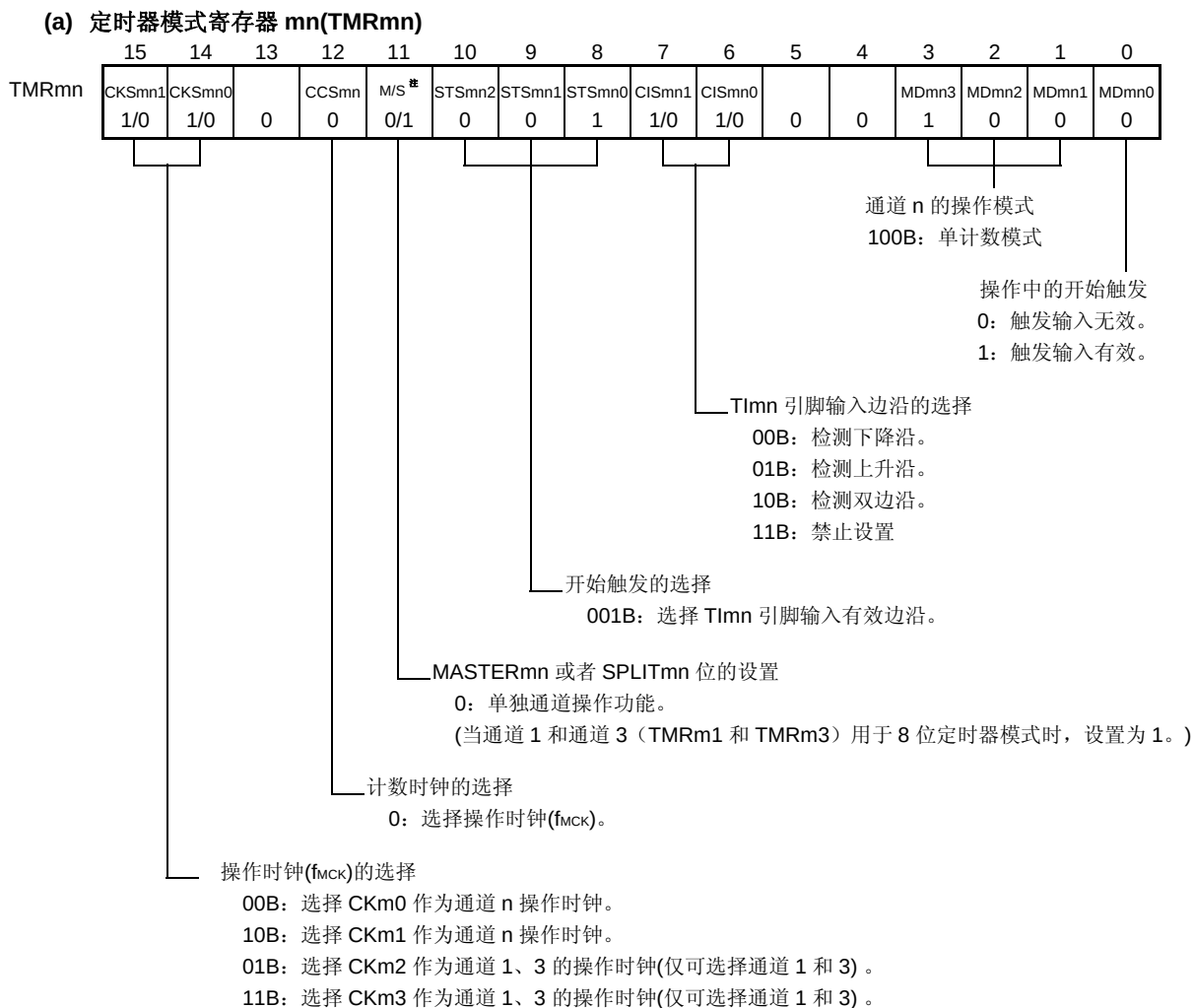
备注 m : 单元编号($m = 0, 1$), n : 通道编号($n = 0$ 至 3)

图 6-58. 作为延迟计数器的操作基本时序示例

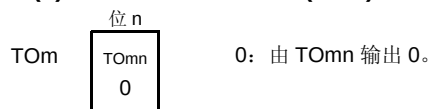


- 备注 1. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)
2. TSmn: 定时器通道开始寄存器 m (TSm)的位 n
 TEmn: 定时器通道允许状态寄存器 m (TEm)的位 n
 TImn: TImn 引脚输入信号
 TCRmn: 定时器计数寄存器 mn(TCRmn)
 TDRmn: 定时器数据寄存器 mn(TDRmn)

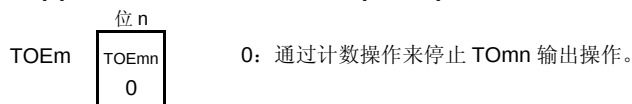
图 6-59. 使用延迟计数器功能时的寄存器设置内容示例(1/2)



(b) 定时器输出寄存器 m (TOM)



(c) 定时器输出允许寄存器 m (TOEm)



注 TMRm2: MASTERmn 位
TMRm1、TMRm3: SPLITmn 位
TMRm0: 固定为 0

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-59. 使用延迟计数器功能时的寄存器设置内容示例(2/2)

(d) 定时器输出电平寄存器 m (TOLm)

TOLm

位 n
TOLmn
0

 0: 当 TOMmn = 0 (主通道输出模式) 时设置为 0。

(e) 定时器输出模式寄存器 m (TOMm)

TOMm

位 n
TOMmn
0

 0: 设置主通道输出模式。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 6-60. 使用延迟计数器功能时的操作步骤

	软件操作	硬件状态
TAU初期 设定		断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)
	将外围有效寄存器0(PER0)的TAUmEN位设置为1。 →	上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)
	设置定时器时钟选择寄存器m(TPSm)。 决定CKm0和CKm1 (或者使用8位定时器模式时为 CKm2和CKm3) 的时钟频率。	
通道初期 设定	设置定时器模式寄存器mn(TMRmn) (决定通道的操作模 式)。 将INTTMmn输出延迟设置到定时器数据寄存器 mn(TDRmn)。 将TOEmn位设置为0, 并且停止操作TOMn。	通道处于停止操作状态。 (供应时钟, 并消耗一定的功率。)
开始操作	将TSMn位设置为1。 → TSMn位是触发位, 将自动返回0。	TEmn = 1, 设置为TImn引脚输入有效边沿检测等待状态。
	检测TImn引脚输入有效边沿。 →	将TDRmn寄存器的值载入定时器计数寄存器 mn(TCRmn)。
操作期间	可以任意更改TDRmn寄存器的设置值。 可以任意读取TCRmn寄存器。 不使用TSRmn寄存器。	计数器(TCRmn)递减计数。当TCRmn递减计数至0000H 时, 输出INTTMmn并停止计数 (使 TCRmn 保持0000H) 直到下一个TImn引脚输入为止。
停止操作	将TTmn位设置为1。 → TTmn位是触发位, 将自动返回0。	TEmn = 0, 并且停止计数操作。 TCRmn寄存器保持计数值并停止。
TAU 停止	将PER0寄存器的TAUmEN位设置为0。 →	断电状态 初始化所有电路, 同时初始化各通道的SFR。

恢复操作

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

6.8 定时器阵列单元的多个通道联动操作功能

6.8.1 作为单触发脉冲输出功能操作

通过组合使用两个通道，可以从输入 TImn 引脚的信号产生一个任意延迟脉冲宽度的单触发脉冲。
延迟时间和脉冲宽度可用下述表达式计算。

$$\begin{aligned}\text{延迟时间} &= \{\text{TDRmn (主) 的设置值} + 2\} \times \text{计数时钟周期} \\ \text{脉冲宽度} &= \{\text{TDRmp (从属) 的设置值}\} \times \text{计数时钟周期}\end{aligned}$$

主通道工作于单计数模式，并对延迟计数。主通道的定时器计数寄存器 mn(TCRmn) 在检测到开始触发时开始工作，并载入定时器数据寄存器 mn(TDRmn) 的值。

TCRmn 寄存器与计数时钟同步，从载入的 TDRmn 寄存器的值开始递减计数。当 TCRmn = 0000H 时，输出 INTTMmn 并停止计数直至检测到下一个开始触发为止。

从属通道工作于单计数模式，并对脉冲宽度计数。将主通道的 INTTMmn 作为开始触发，从属通道的 TCRmp 寄存器开始工作，并载入 TDRmp 寄存器的值。TCRmp 寄存器与计数时钟同步，从载入的 TDRmp 寄存器值开始递减计数。当计数值 = 0000H 时，将输出 INTTMmn 并停止计数，直至检测到下一个开始触发（主通道的 INTTMmn）为止。从主通道产生 INTTMmn 并经过一个计数时钟后 TOMP 的输出电平成为有效电平，当 TCRmp = 0000H 时成为无效电平。

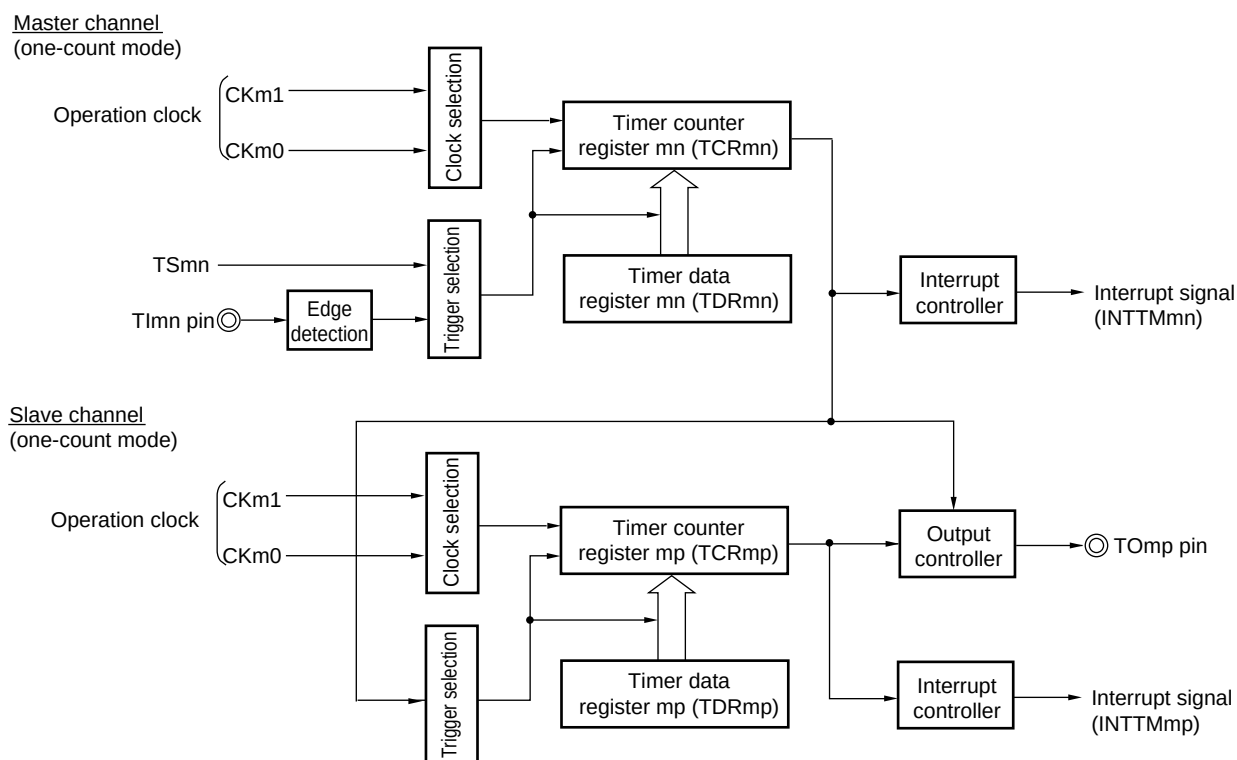
也可以不使用 TImn 引脚输入，用软件操作(TSmn = 1)作为开始触发来输出单触发脉冲。

注意事项 主通道定时器数据寄存器 mn(TDRmn) 与从属通道 TDRmp 寄存器的载入时序不同。如果在操作过程中重写 TDRmn 和 TDRmp 寄存器，则会输出非法波形。在产生 INTTMmn 后重写 TDRmn 寄存器，在产生 INTTMmp 后重写 TDRmp 寄存器。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)

p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)

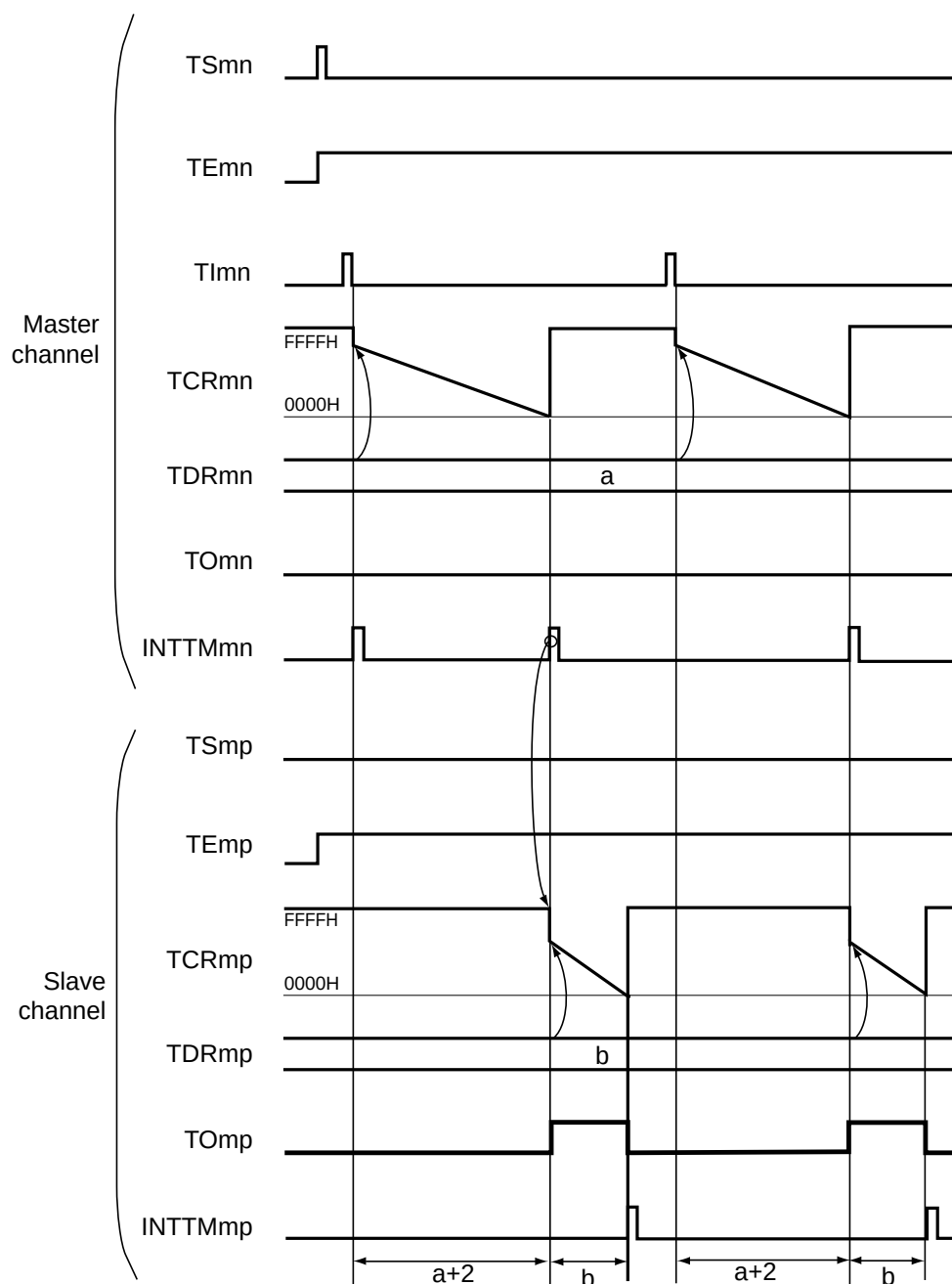
图 6-61. 作为单触发脉冲输出功能的操作框图



备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)

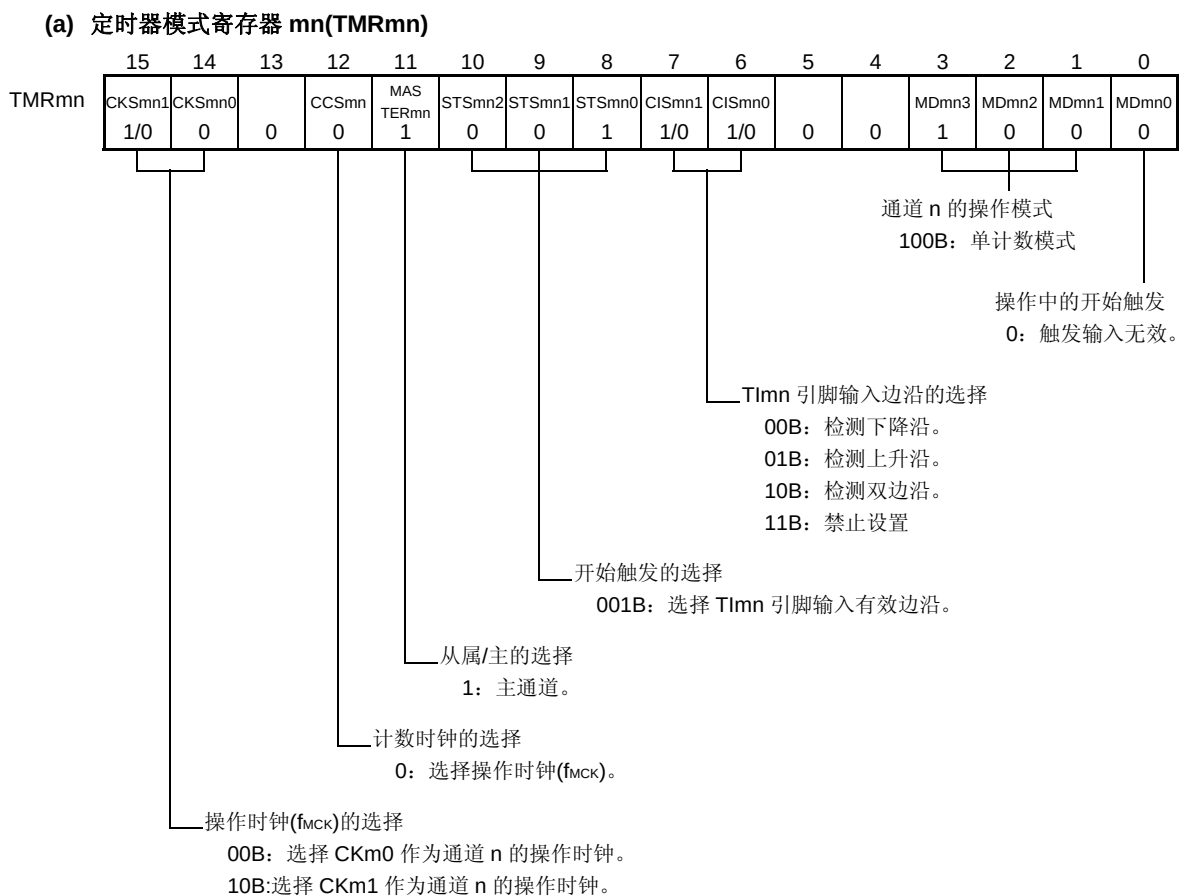
p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)

图 6-62. 作为单触发脉冲输出功能的操作基本时序示例

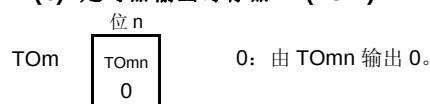


- 备注 1.** m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)
p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)
- 2.** TSmn、TSmp: 定时器通道开始寄存器 m (TSm) 的位 n、p
TE mn、TE mp: 定时器通道允许状态寄存器 m (TEm) 的位 n、p
TImn、TImp: TImn 和 TImp 引脚输入信号
TCRmn、TCRmp: 定时器计数寄存器 mn、mp (TCRmn、TCRmp)
TDRmn、TDRmp: 定时器数据寄存器 mn、mp (TDRmn、TDRmp)
TOMn、TOMP: TOMn 和 TOMP 引脚输出信号

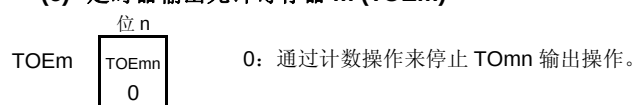
图 6-63. 使用单触发脉冲输出功能(主通道)时的寄存器设置内容示例



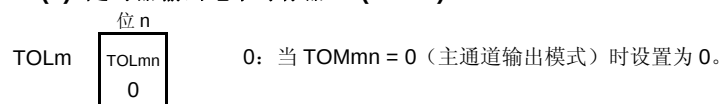
(b) 定时器输出寄存器 m (TOM)



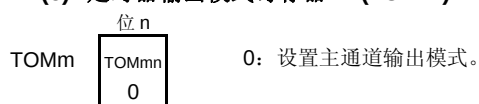
(c) 定时器输出允许寄存器 m (TOEm)



(d) 定时器输出电平寄存器 m (TOLm)

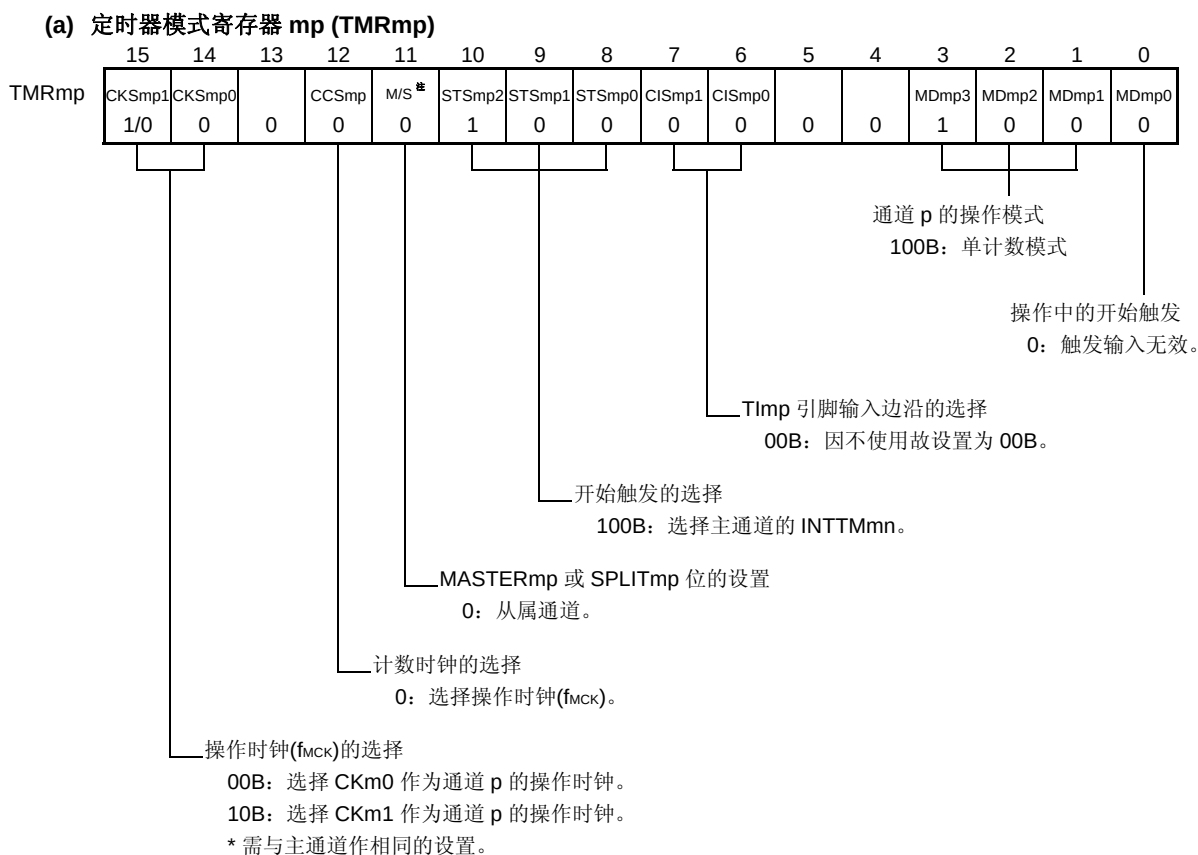


(e) 定时器输出模式寄存器 m (TOMm)



备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)

图 6-64. 使用单触发脉冲输出功能(从属通道)时的寄存器设置内容示例



(b) 定时器输出寄存器 m (TOM)

位 p	
TOMp	0: 由 TOMp 输出 0。 1: 由 TOMp 输出 1。
1/0	

(c) 定时器输出允许寄存器 m (TOEm)

位 p	
TOEmp	0: 通过计数操作停止 TOMp 输出操作。 1: 通过计数操作允许 TOMp 输出操作。
1/0	

(d) 定时器输出电平寄存器 m (TOLm)

位 p	
TOLmp	0: 正逻辑输出 (高电平有效) 1: 负逻辑输出 (低电平有效)
1/0	

(e) 定时器输出模式寄存器 m (TOMm)

位 p	
TOMmp	1: 设置从属通道输出模式。
1	

注 TMRm2: MASTERmp 位

TMRm1、TMRm3: SPLITmp 位

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)

p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)

图 6-65. 单触发脉冲输出功能的操作步骤(1/2)

	软件操作	硬件状态
TAU初期 设定		断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)
	将外围有效寄存器0(PER0)的TAUmEN位设置为1。 —————▶	上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)
	设置定时器时钟选择寄存器m(TPSm)。 决定CKm0和CKm1的时钟频率。	
通道初期 设定	设置即将使用的两个通道的定时器模式寄存器mn、mp (TMRmn、TMRmp) (决定通道的操作模式)。 向主通道定时器数据寄存器mn(TDRmn)设置输出延迟, 并向从属通道TDRmp寄存器设置脉冲宽度。	通道处于停止操作状态。 (供应时钟, 并消耗一定的功率。)
	设置从属通道。 设置定时器输出模式寄存器m(TOMm)的TOMmp位设置 为1(从属通道输出模式)。 设置TOLmp位。 设置TOMP位并决定TOMP输出的初始电平。 —————▶	TOMP引脚处于Hi-Z输出状态。
	设置TOEmp位为1, 并允许操作TOEmp。 —————▶	当端口模式寄存器处于输出模式且端口寄存器为0时, 输出 TOMP 初始设置电平。
	将端口寄存器和端口模式寄存器设置为0。 —————▶	TOMP不会因为停止操作通道而变化。
		由TOMP引脚输出TOMP设置电平。

(备注如下页所示。)

图 6-65. 单触发脉冲输出功能的操作步骤(2/2)

	软件操作	硬件状态
恢复操作。	开始操作	将TOEmp位（从属）设置为1(仅限恢复操作时)。同时将定时器通道开始寄存器m (TSm)的TSmn（主）和TSmp（从属）位设置为1。——→ TEMn和TEmp位被设置为1，主通道进入TImn输入边沿检测等待状态。计数器停止操作。 检测主通道的TImn引脚输入有效边沿。——→ 主通道开始计数。
	操作期间	可以任意更改TMRmn寄存器的CISmn1和CISmn0位的设置值。 不能更改TMRmp、TDRmn、TDRmp寄存器、TOMmn、TOMmp、TOLmn和TOLmp位的设置值。 可以任意读取TCRmn和TCRmp寄存器。 不使用TSRmn和TSRmp寄存器。 可以更改TOM和TOEm寄存器的设置值。 主通道在检测到TImn引脚有效输入边沿时，将TDRmn寄存器的值载入定时器计数寄存器mn(TCRmn)，计数器开始递减计数。当计数值达到TCRmn = 0000H时，将产生INTTMmn输出，停止计数器直到下一个有效边沿输入TImn引脚为止。 从属通道（由主通道的INTTMmn 触发）将TDRmp寄存器的值载入TCRmp寄存器，计数器开始递减计数。TOMP的输出电平在从主通道产生INTTMmn并经过一个计数时钟之后成为有效电平。当TCRmp = 0000H时成为无效电平，停止计数操作。 之后重复以上操作。
	停止操作	同时将TTmn（主）和TTmp（从属）位设置为1。——→ TEMn, TEmn = 0，并且停止计数操作。TCRmn和TCRmp寄存器保持计数值并停止。TOMP输出不被初始化，而是保持当前状态。 将从属通道的TOEmp位清除为0，并给TOMP位设置值。——→ 由TOMP引脚输出TOMP设置电平。
	TAU 停止	保持TOMP引脚输出电平时 将被保持的值设置到端口寄存器之后，清除TOMP位为0。——→ TOMP引脚输出电平由端口功能保持。 不需要保持TOMP引脚输出电平时 不要求设置。 将PER0寄存器的TAUmEN位设置为0。——→ 断电状态 初始化所有电路，同时初始化各通道的SFR。 (TOMP位清除为0，TOMP引脚被设置为端口模式。)

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)

p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)

6.8.2 作为 PWM 功能的操作

可以利用两个通道作为一组，来产生任意周期和占空比的脉冲。

输出脉冲的周期和占空比可用下述表达式计算。

脉冲周期 = {TDRmn (主) 的设置值 + 1} × 计数时钟周期
 占空比[%] = {TDRmp (从属) 的设置值} / {TDRmn (主) 的设置值 + 1} × 100
 0%输出: TDRmp (从属) 的设置值 = 0000H
 100%输出: TDRmp (从属) 的设置值 ≥ {TDRmn (主) 的设置值 + 1}

备注 如果 TDRmp (从属) 的设置值 > (TDRmn (主) 的设置值 + 1)，则占空比将超过 100%，而合为 100% 输出。

主通道工作于间隔定时器模式。如果定时器通道开始寄存器 m (TSm) 的通道开始触发位 (TSmn) 被设置为 1，则输出中断 (INTTMmn)，定时器数据寄存器 mn(TDRmn) 的设置值被载入定时器计数寄存器 mn(TCRmn)，计数器与计数时钟同步并递减计数。当计数器达到 0000H 时，输出 INTTMmn，再次将 TDRmn 寄存器的值载入 TCRmn 寄存器，计数器递减计数。重复该操作直到定时器通道停止寄存器 m (TTm) 的通道停止触发位 (TTmn) 被设置为 1 为止。

如果用两个通道来输出一个 PWM 波形，直到主通道递减计数至 0000H 为止的周期为 PWM 输出(TOmp) 周期。

从属通道工作于单计数模式。通过将主通道的 INTTMmn 用作开始触发，TCRmp 寄存器载入 TDRmp 寄存器的值，计数器递减计数至 0000H。当计数器达到 0000H 时，输出 INTTMmp 并等待直到产生下一个开始触发（主通道的 INTTMmn）为止。

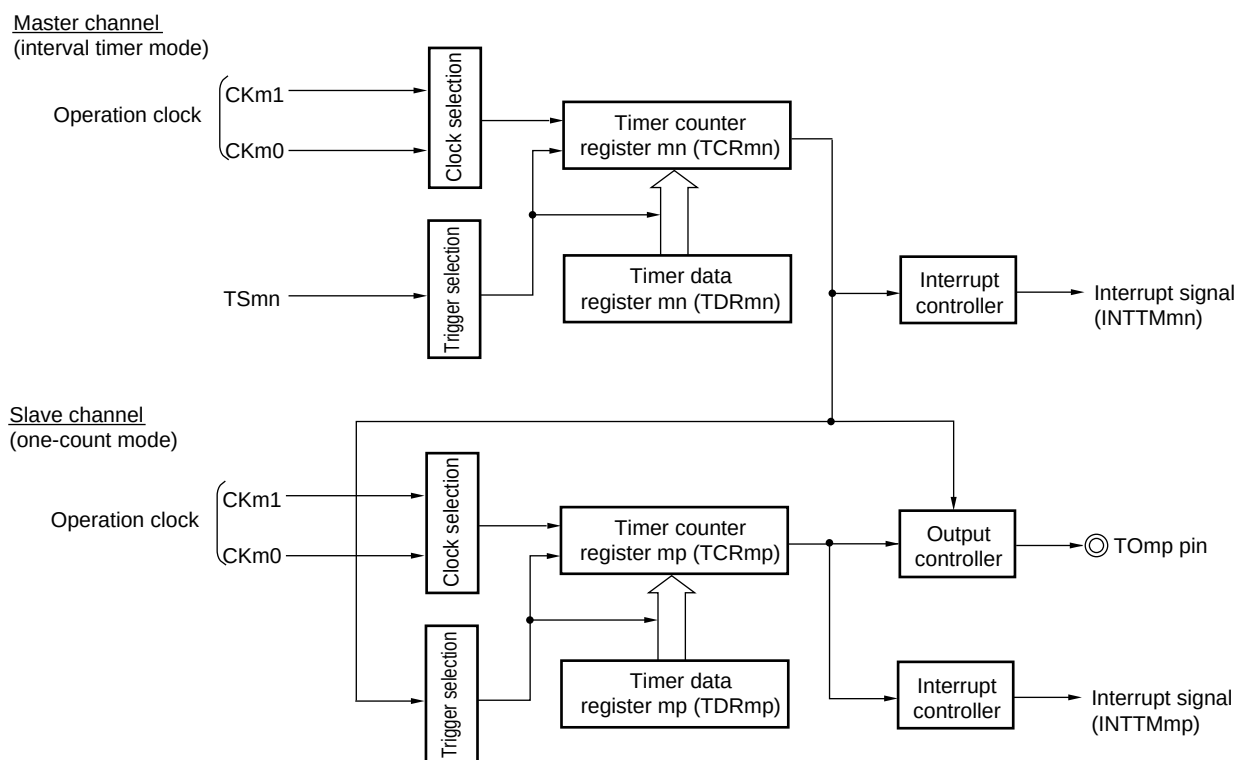
如果用两个通道来输出一个 PWM 波形，直到从属通道递减计数至 0000H 为止的期间为 PWM 输出(TOmp) 占空。

PWM 输出(TOmp) 在主通道产生 INTTMmn 并经过一个时钟之后成为有效电平，当从属通道的 TCRmp 寄存器变成 0000H 时成为无效电平。

注意事项 要同时重写主通道定时器数据寄存器 mn(TDRmn) 和从属通道的 TDRmp 寄存器，则需执行两次写存取。将 TDRmn 和 TDRmp 寄存器的值载入至 TCRmn 和 TCRmp 寄存器的时序为主通道 INTTMmn 发生的时候。因此，当在主通道 INTTMmn 发生前和发生后分开执行重写时，TOmp 引脚将不能输出预期波形。将主的 TDRmn 寄存器和从属的 TDRmp 寄存器的双方都重写时，务必要在主通道产生 INTTMmn 之后立即重写这两个寄存器。

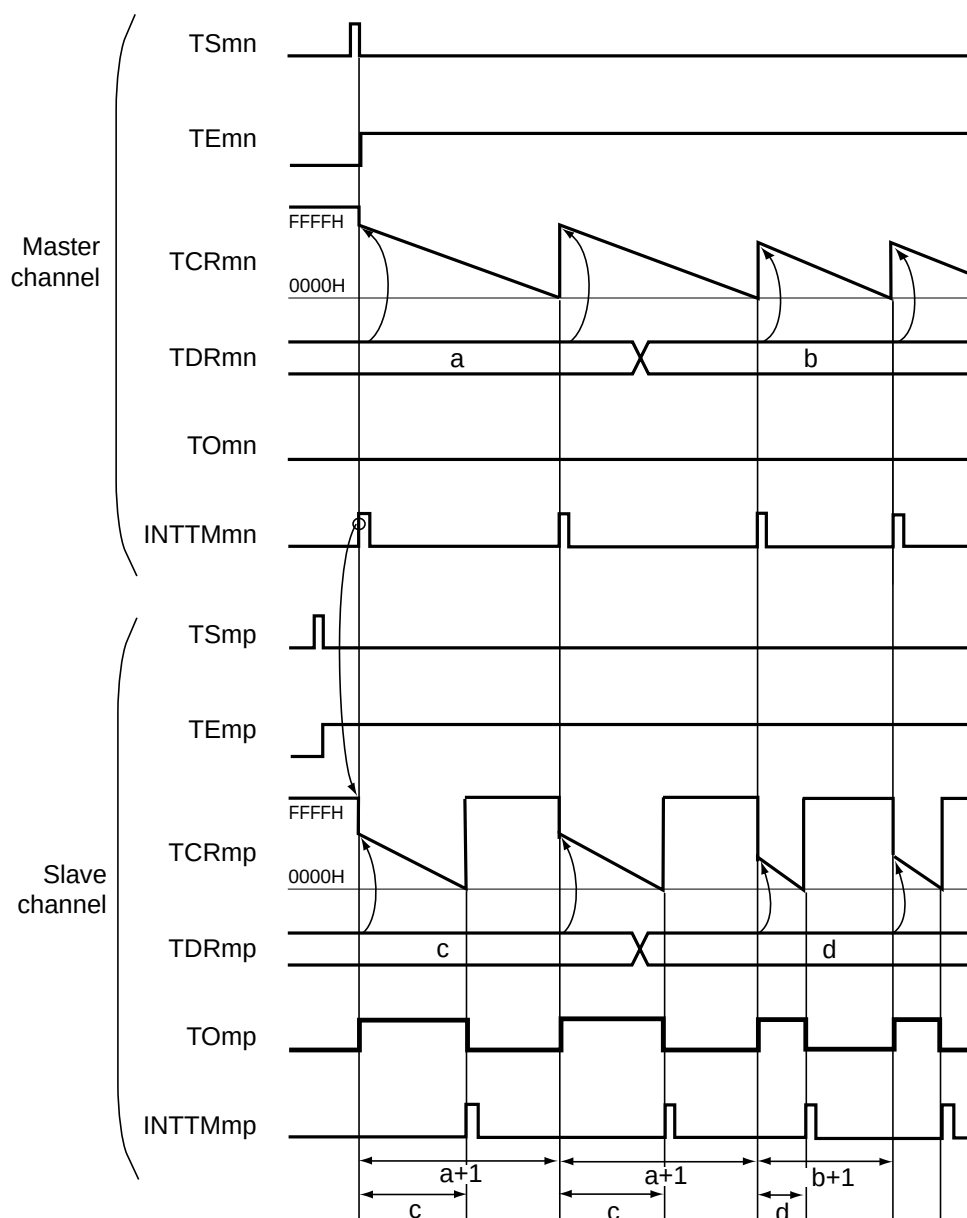
备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)
 p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)

图 6-66. 作为 PWM 功能的操作框图



备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)
 p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)

图 6-67. 作为 PWM 功能的操作基本时序示例

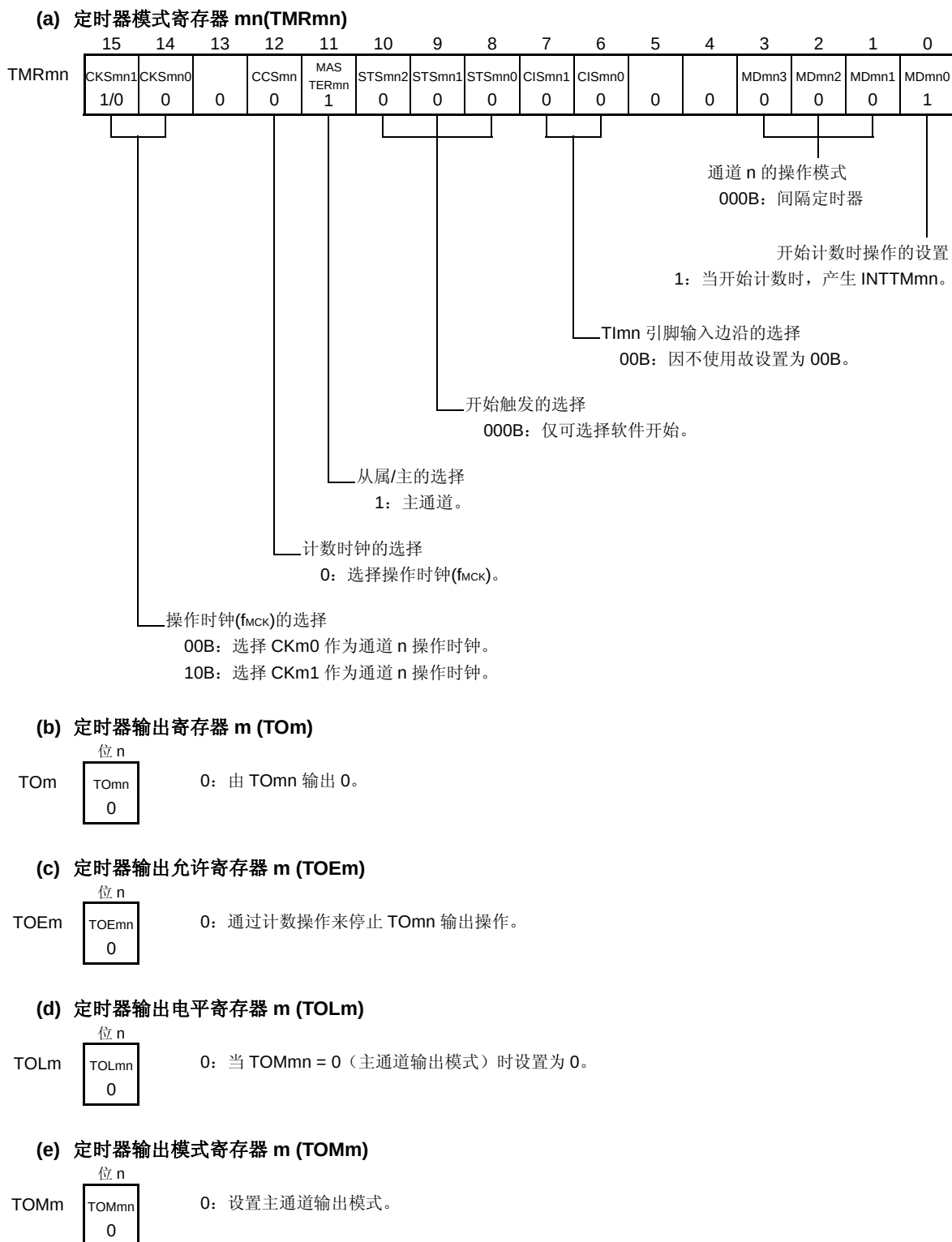


备注 1. m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)

p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)

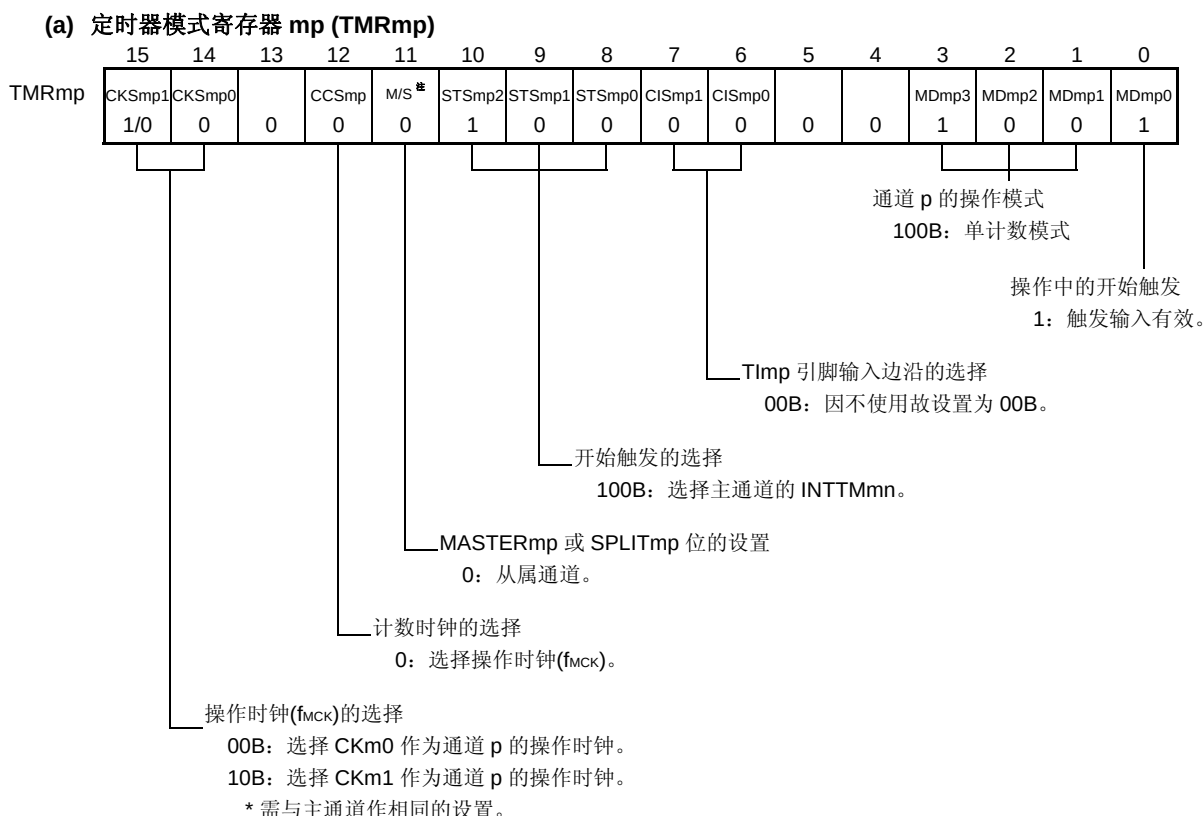
2. TSmn、TSmp: 定时器通道开始寄存器 m (TSm) 的位 n、p
- TEmn、TEmp: 定时器通道允许状态寄存器 m (TEm) 的位 n、p
- TCRmn、TCRmp: 定时器计数寄存器 mn、mp (TCRmn、TCRmp)
- TDRmn、TDRmp: 定时器数据寄存器 mn、mp (TDRmn、TDRmp)
- TOMn、TOMP: TOMn 和 TOMP 引脚输出信号

图 6-68. 使用 PWM 功能（主通道）时的寄存器设置内容示例



备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)

图 6-69. 使用 PWM 功能（从属通道）时的寄存器设置内容示例



(b) 定时器输出寄存器 m (TOM)

位 p	
TOMp	0: 由 TOMp 输出 0。 1: 由 TOMp 输出 1。
1/0	

(c) 定时器输出允许寄存器 m (TOEm)

位 p	
TOEmp	0: 通过计数操作停止 TOMp 输出操作。 1: 通过计数操作允许 TOMp 输出操作。
1/0	

(d) 定时器输出电平寄存器 m (TOLm)

位 p	
TOLmp	0: 正逻辑输出（高电平有效） 1: 负逻辑输出（低电平有效）
1/0	

(e) 定时器输出模式寄存器 m (TOMm)

位 p	
TOMmp	1: 设置从属通道输出模式。
1	

注 TMRm2: MASTERmp 位

TMRm1、TMRm3: SPLITmp 位

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)

p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)

图 6-70. 使用 PWM 功能时的操作步骤 (1/2)

	软件操作	硬件状态
TAU初期 设定		断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)
	将外围有效寄存器0(PER0)的TAUmEN位设置为1。————→	上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)
	设置定时器时钟选择寄存器m(TPSm)。 决定CKm0和CKm1的时钟频率。	
通道初期 设定	设置即将使用的两个通道的定时器模式寄存器mn、mp (TMRmn、TMRmp) (决定通道的操作模式)。 向主通道的定时器数据寄存器mn (TDRmn)设置间隔(周 期)值, 并向从属通道的TDRmp寄存器设置占空比。	通道处于停止操作状态。 (供应时钟, 并消耗一定的功率。)
	设置从属通道。 设置定时器输出模式寄存器m(TOMm)的TOMmp位设置 为1(从属通道输出模式)。 设置TOLmp位。 设置TOMp位并决定TOMp输出的初始电平。————→	TOMp引脚处于Hi-Z输出状态。
	设置TOEmp位为1, 并允许操作TOEmp。————→ 将端口寄存器和端口模式寄存器设置为0。————→	当端口模式寄存器处于输出模式且端口寄存器为0时, 输出 TOMp 初始设置电平。 TOMp不会因为停止操作通道而变化。 由TOMp引脚输出TOMp设置电平。

(备注如下页所示。)

图 6-70. 使用PWM功能时的操作步骤 (2/2)

	软件操作	硬件状态
开始操作	将TOEmp位（从属）设置为1(仅限恢复操作时)。 同时将定时器通道开始寄存器m (TSm)的TSmn（主）和TSmp（从属）位设置为1。 TSmn和TSmp位是触发位，将自动返回0。	TEmn = 1, TEm = 1 主通道开始计数时，产生INTTMmn。由该中断触发，从属通道也开始计数。
操作期间	不能更改TMRmn和TMRmp寄存器、TOMmn、TOMmp、TOLmn和TOLmp位的设置值。 产生主通道INTTMmn之后，可以更改TDRmn和TDRmp寄存器的设置值。 可以任意读取TCRmn和TCRmp寄存器。 不使用TSRmn和TSRmp寄存器。	主通道的计数器将TDRmn寄存器值载入定时器计数寄存器mn(TCRmn)，并递减计数。当计数值达到TCRmn = 0000H时，产生INTTMmn输出。同时，TDRmn寄存器的值将被载入TCRmn寄存器，计数器再次开始递减计数。 在从属通道，TDRmp寄存器的值载入TCRmp寄存器（由主通道的INTTMmn 触发），计数器开始递减计数。TOmp的输出电平在主通道输出INTTMmn并经过一个计数时钟之后成为有效电平。当TCRmp = 0000H时成为无效电平，停止计数操作。 之后重复以上操作。
停止操作	同时将TTmn（主）和TTmp（从属）位设置为1。 TTmn和TTmp位是触发位，将自动返回0。	TEmn, TEm = 0，并且停止计数操作。 TCRmn和TCRmp寄存器保持计数值并停止。 TOmp输出不被初始化，而是保持当前状态。
	将从属通道的TOEmp位清除为0，并给TOmp位设置值。	由TOmp引脚输出TOmp设置电平。
TAU 停止	保持TOmp引脚输出电平时 将被保持的值设置到端口寄存器之后，清除TOmp位为0。 不需要保持TOmp引脚输出电平时 不要求设置。	TOmp引脚输出电平由端口功能保持。
	将PER0寄存器的TAUmEN位设置为0。	断电状态 初始化所有电路，同时初始化各通道的SFR。 (TOmp位清除为0，TOmp引脚被设置为端口模式。)

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0, 2)

p: 从属通道编号(n = 0: p = 1, 2, 3; n = 2: p = 3)

6.8.3 作为多重 PWM 输出功能的操作

通过扩展 PWM 功能并利用多个从属通道，可以输出具有不同占空比的多个 PWM 波形。

例如，使用两个从属通道时，输出脉冲的周期和占空比可用下述表达式计算。

$$\begin{aligned} \text{脉冲周期} &= \{\text{TDRmn (主) 的设置值} + 1\} \times \text{计数时钟周期} \\ \text{占空比 1 [\%]} &= \{\text{TDRmp (从属 1) 的设置值}\} / \{\text{TDRmn (主) 的设置值} + 1\} \times 100 \\ \text{占空比 2 [\%]} &= \{\text{TDRmq (从属 2) 的设置值}\} / \{\text{TDRmn (主) 的设置值} + 1\} \times 100 \end{aligned}$$

备注 如果 TDRmp (从属 1) 的设置值 > {TDRmn (主) 的设置值 + 1}，或者 {TDRmq (从属 2) 的设置值} > {TDRmn (主) 的设置值 + 1}，则占空比将超过 100%，而合为 100% 输出。

主通道的定时器计数寄存器 mn(TCRmn) 工作于间隔定时器模式，对周期进行计数。

从属通道 1 的 TCRmp 寄存器工作于单计数模式，对占空比进行计数，并从 TOMP 引脚输出 PWM 波形。将主通道的 INTTMmn 用作开始触发，TCRmp 寄存器载入定时器数据寄存器 mp (TDRmp) 的值，并开始递减计数。当 TCRmp = 0000H 时，TCRmp 将输出 INTTMmp 并停止计数，直到输入下一个开始触发（主通道的 INTTMmn）为止。从主通道产生 INTTMmn 并经过一个计数时钟后 TOMP 的输出电平成为有效电平，当 TCRmp = 0000H 时成为无效电平。

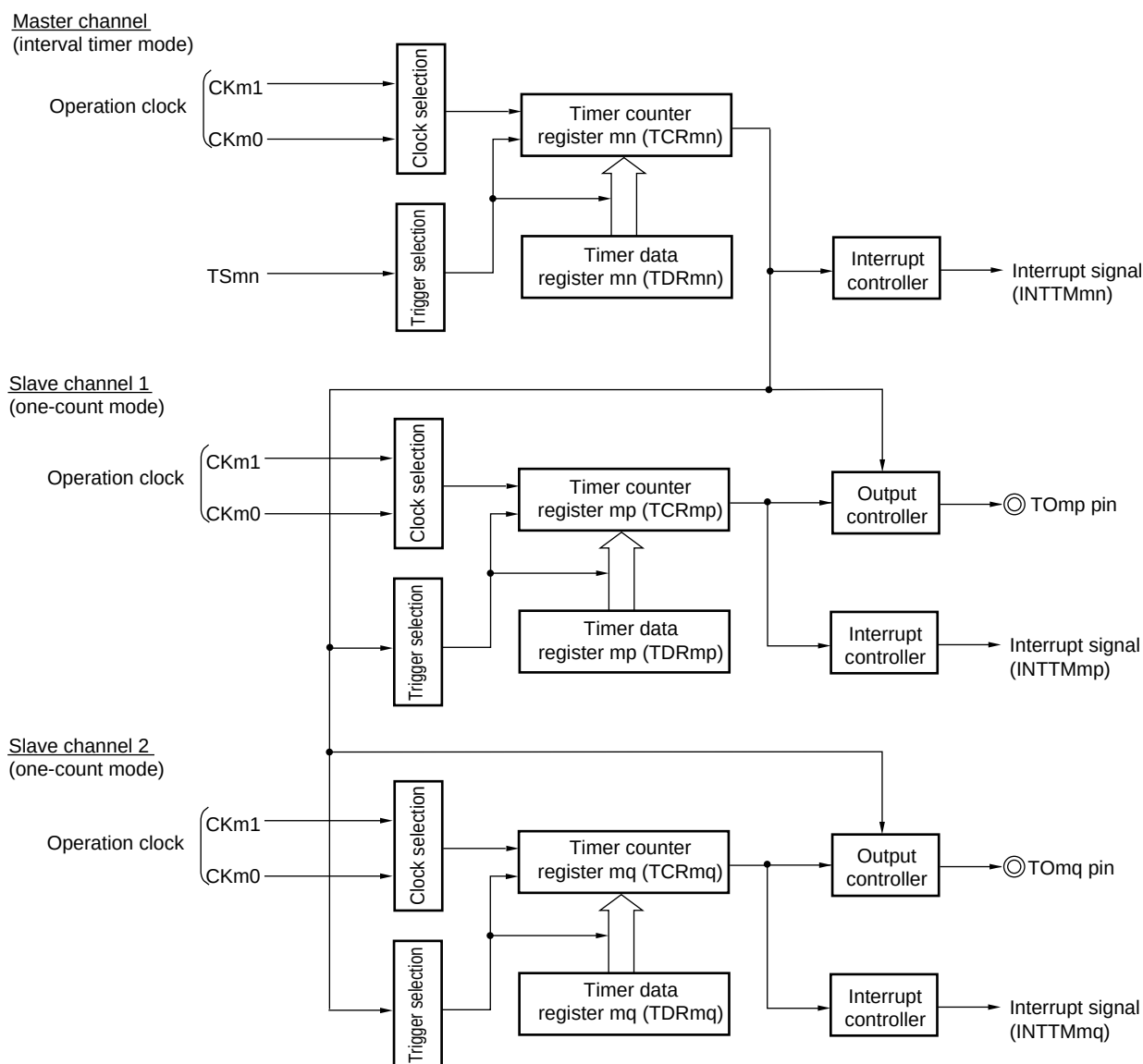
采用与从属通道 1 的 TCRmp 寄存器一样的方式，从属通道 2 的 TCRmq 寄存器工作于单计数模式，对占空比进行计数，并从 TOMq 引脚输出 PWM 波形。将主通道的 INTTMmn 用作开始触发，TCRmq 寄存器载入 TDRmq 寄存器的值，并开始递减计数。当 TCRmq = 0000H 时，TCRmq 寄存器输出 INTTMmq 并停止计数，直到输入下一个开始触发（主通道的 INTTMmn）为止。从主通道产生 INTTMmn 并经过一个计数时钟后 TOMq 的输出电平成为有效电平，当 TCRmq = 0000H 时成为无效电平。

当通道 0 被用作上述主通道时，最多可以同时输出三种 PWM 信号。

注意事项 要同时重写主通道定时器数据寄存器 mn(TDRmn) 和从属通道 1 的 TDRmp 寄存器，至少需要执行两次写存取。由于 TDRmn 和 TDRmp 寄存器的值是在主通道产生 INTTMmn 之后被载入 TCRmn 和 TCRmp 寄存器的，因此，如果在从主通道产生 INTTMmn 之前和之后分开执行重写，则 TOMP 引脚不能输出预期波形。重写主的 TDRmn 寄存器和从属的 TDRmp 寄存器的双方时，务必要在主通道产生 INTTMmn 之后立即重写这两个寄存器（同样适用于从属通道 2 的 TDRmq 寄存器）。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0)
p: 从属通道编号 1, q: 从属通道编号 2
n < p < q ≤ 3 (p 和 q 为大于 n 的连续的整数)

图 6-71. 作为多重 PWM 输出功能的操作框图 (输出两种 PWM)

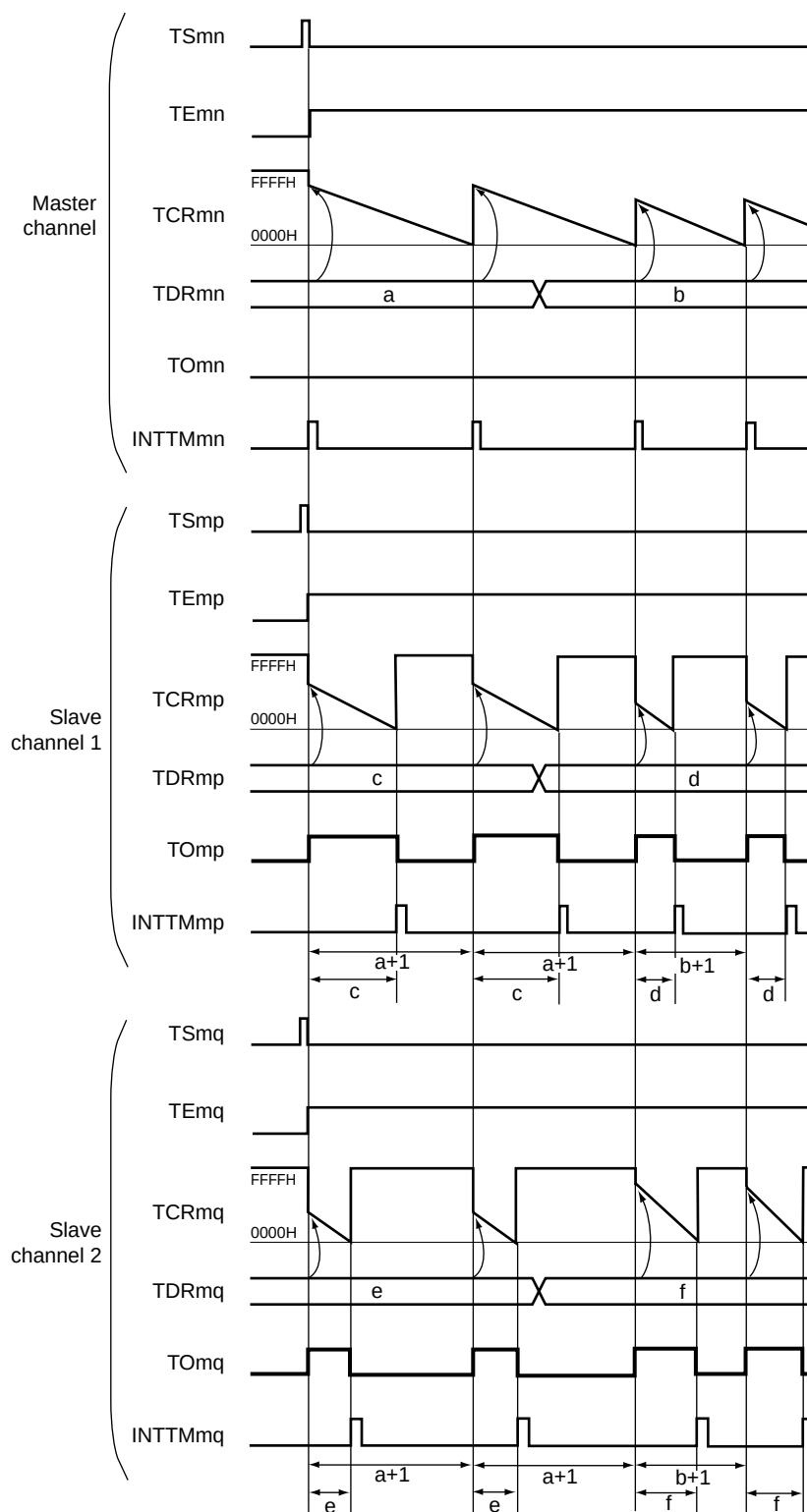


备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0)

p: 从属通道编号 1, q: 从属通道编号 2

$n < p < q \leq 3$ (p 和 q 为大于 n 的连续的整数)

图 6-72. 作为多重 PWM 输出功能的操作基本时序示例
(输出两种 PWM) (1/2)

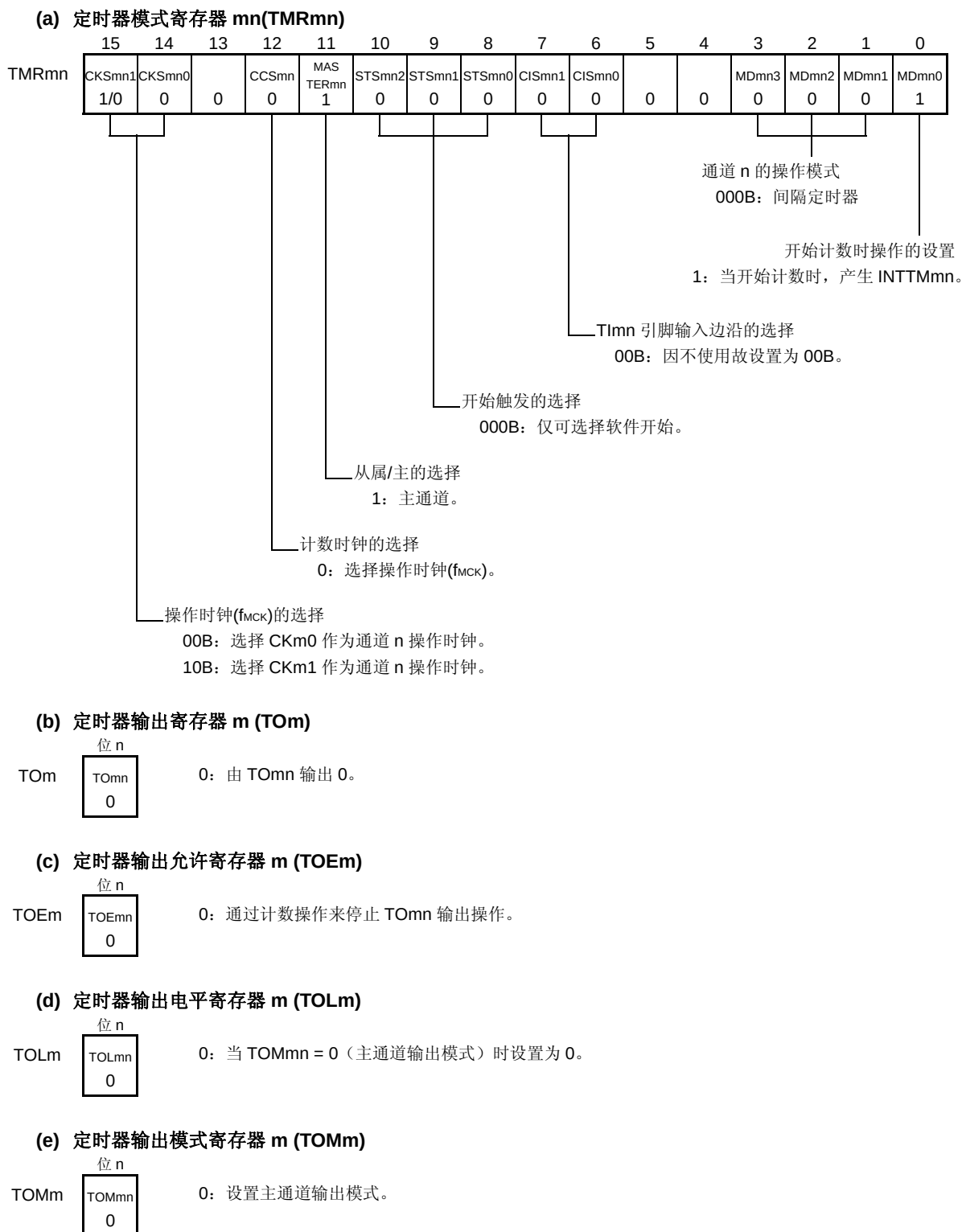


(备注如下页所示。)

图 6-72. 作为多重PWM输出功能的操作基本时序示例
(输出两种 PWM) (2/2)

- 备注 1.** m: 单元编号($m = 0, 1$), n: 通道编号($n = 0$)
 p: 从属通道编号 1, q: 从属通道编号 2
 $n < p < q \leq 3$ (p 和 q 为大于 n 的连续的整数)
- 2.** TSmn、TSmp、TSmq: 定时器通道开始寄存器 m (TSM)的位 n、p、q
 TEMn、TEmp、TEmq: 定时器通道允许状态寄存器 m (TEM)的位 n、p、q
 TCRmn、TCRmp、TCRmq: 定时器计数寄存器 mn、mp、mq (TCRmn、TCRmp、TCRmq)
 TDRmn、TDRmp、TDRmq: 定时器数据寄存器 mn、mp、mq (TDRmn、TDRmp、TDRmq)
 TOMn、TOMP、TOMq: TOMn、TOMP 和 TOMq 引脚输出信号

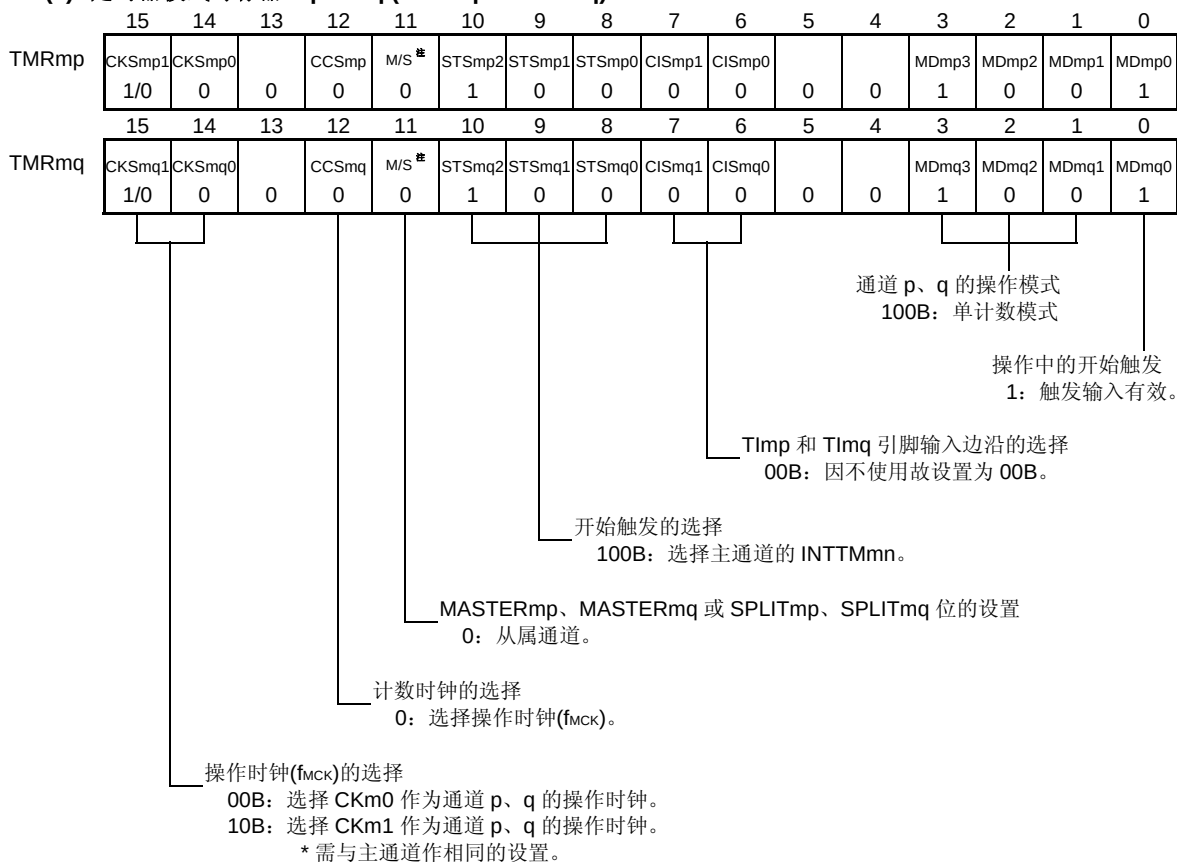
图 6-73. 使用多重 PWM 输出功能(主通道)时的寄存器设置内容示例



备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0)

图 6-74. 使用多重 PWM 输出功能(从属通道)时的寄存器设置内容示例(输出两种 PWM)

(a) 定时器模式寄存器 mp、mq (TMRmp、TMRmq)



(b) 定时器输出寄存器 m (TOM)

	位 q	位 p	
TOM	TOMq	TOMP	0: 由 TOMP 或者 TOMq 输出 0。
	1/0	1/0	1: 由 TOMP 或者 TOMq 输出 1。

(c) 定时器输出允许寄存器 m (TOEm)

	位 q	位 p	
TOEm	TOEmq	TOEmp	0: 通过计数操作停止 TOMP 或 TOMq 输出操作。
	1/0	1/0	1: 通过计数操作允许 TOMP 或 TOMq 输出操作。

(d) 定时器输出电平寄存器 m (TOLm)

	位 q	位 p	
TOLm	TOLmq	TOLmp	0: 正逻辑输出 (高电平有效)
	1/0	1/0	1: 负逻辑输出 (低电平有效)

(e) 定时器输出模式寄存器 m (TOMm)

	位 q	位 p	
TOMm	TOMmq	TOMmp	1: 设置从属通道输出模式。
	1	1	

注 TMRm2: MASTERmp、MASTERmq 位

TMRm1、TMRm3: SPLITmp、SPLITmq 位

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0)

p: 从属通道编号 1, q: 从属通道编号 2

n < p < q ≤ 3 (p 和 q 为大于 n 的连续的整数)

图 6-75. 使用多重 PWM 输出功能时的操作步骤 (1/2)

	软件操作	硬件状态
TAU初期 设定		断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)
	将外围有效寄存器0(PERO)的TAUmEN位设置为1。 →	上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)
	设置定时器时钟选择寄存器m(TPSm)。 决定CKm0和CKm1的时钟频率。	
通道初期 设定	设置即将使用的各个通道的定时器模式寄存器mn、mp、mq (TMRmn、TMRmp、TMRmq) (决定通道的操作模式)。 向主通道定时器数据寄存器mn(TDRmn)设置间隔(周期)值, 并向从属通道的TDRmp和TDRmq寄存器设置占空比。	通道处于停止操作状态。 (供应时钟, 并消耗一定的功率。)
	设置从属通道。 将定时器输出模式寄存器m(TOMm)的TOMmp和TOMmq位设置为1(从属通道输出模式)。 将TOLmp和TOLmq位设置为0。 设置TOMP和TOMq位, 并确定TOMP和TOMq输出的初始电平。 →	TOMP和TOMq引脚进入Hi-Z输出状态。
	将TOEmp和TOEmq位设置为1, 并允许操作TOMP和TOMq。 →	当端口模式寄存器处于输出模式且端口寄存器为0时, 输出TOMP和TOMq初始设置电平。
	将端口寄存器和端口模式寄存器设置为0。 →	TOMP和TOMq不因为通道处于操作停止状态而发生变化。 由TOMP和TOMq引脚输出TOMP和TOMq设置电平。

(备注如下页所示。)

图 6-75. 使用多重PWM输出功能时的操作步骤 (2/2)

	软件操作	硬件状态
恢复操作	开始操作 (仅限恢复操作时将TOEmp和TOEmq (从属) 位设置为1。) 同时将定时器通道开始寄存器m (TSM)的TSMn位 (主) 和TSmp及TSmq (从属) 位设置为1。——→ TSMn、TSmp和TSmq 位是触发位, 将自动返回0。	TEmn = 1, TEmq, TEMq = 1 主通道开始计数时, 产生INTTMmn。由该中断触发, 从属通道也开始计数。
	操作期间 不能更改TMRmn、TMRmp、TMRmq寄存器、TOMmn、TOMmp、TOMmq、TOLmn、TOLmp和TOLmq位的设置值。 产生主通道INTTMmn之后, 可以更改TDRmn、TDRmp和TDRmq寄存器的设置值。 可以任意读取TCRmn、TCRmp和TCRmq寄存器。 不使用TSRmn、TSRmp和TSRmq寄存器。	主通道的计数器将TDRmn寄存器值载入定时器计数寄存器mn(TCRmn), 并递减计数。当计数值达到TCRmn = 0000H时, 产生INTTMmn输出。同时, TDRmn寄存器的值将被载入TCRmn寄存器, 计数器再次开始递减计数。 在从属通道1, TDRmp寄存器的值被传送至TCRmp寄存器 (由主通道的INTTMmn 触发), 计数器开始递减计数。 TOMP的输出电平在主通道输出INTTMmn并经过一个计数时钟之后成为有效电平。当TCRmp = 0000H时成为无效电平, 停止计数操作。 在从属通道2, TDRmq寄存器的值被传送至TCRmq寄存器 (由主通道的INTTMmn 触发), 计数器开始递减计数。 TOMq的输出电平在主通道输出INTTMmn且经过一个计数时钟之后成为有效电平。当TCRmq = 0000H时成为无效电平, 停止计数操作。 之后重复以上操作。
	停止操作 同时将TTmn位 (主)、TTmp和TTmq (从属) 位设置为1。——→ TTmn、TTmp和TTmq位是触发位, 将自动返回0。	TEmn, TEmq, TEMq = 0, 并且停止计数操作。 TCRmn、TCRmp和TCRmq寄存器保持计数值并停止。 TOMP和TOMq输出不被初始化, 而是保持当前状态。
	清除从属通道的TOEmp和TOEmq位为0, 并设置TOMP和TOMq位的值。——→	由TOMP和TOMq引脚输出TOMP和TOMq设置电平。
	TAU 停止 保持TOMP和TOMq引脚输出电平时 将希望保持的值设置到端口寄存器之后, 将TOMP和TOMq位清除为0。——→ 不需要保持TOMP和TOMq引脚输出电平时 不要求设置 将PER0寄存器的TAUmEN位设置为0。——→	TOMP和TOMq引脚输出电平由端口功能保持。 断电状态 初始化所有电路, 同时初始化各通道的SFR。 (TOMP和TOMq位被清除为0, TOMP和TOMq引脚被设置为端口模式。)

备注
m: 单元编号(m = 0, 1), n: 通道编号(n = 0)
p: 从属通道编号, q: 从属通道编号
n < p < q ≤ 3 (p 和 q 为大于 n 的连续的整数)

6.9 使用定时器阵列单元时的注意事项

6.9.1 使用定时器输出时的注意事项

一些产品中存在同时分配有定时器输出以及其它复用功能的引脚。这种情况下，必须将其它复用功能的输出设置为初始状态。

(1) 使用 30 至 44 针产品中分配给 P31 的 TO03 输出时

复用 PCLBUZ0 输出成为 1，不但要将端口模式寄存器(PM31 位)和端口寄存器(P31 位)设置为 0，而且要以与初始状态相同的设置使用时钟输出选择寄存器 0 (CKS0)的位 7。

第七章 定时器 RJ

定时器 RJ 是一款 16 位定时器，用于脉冲输出、外部脉冲宽度或周期测量以及对外部事件进行计数。

7.1 概述

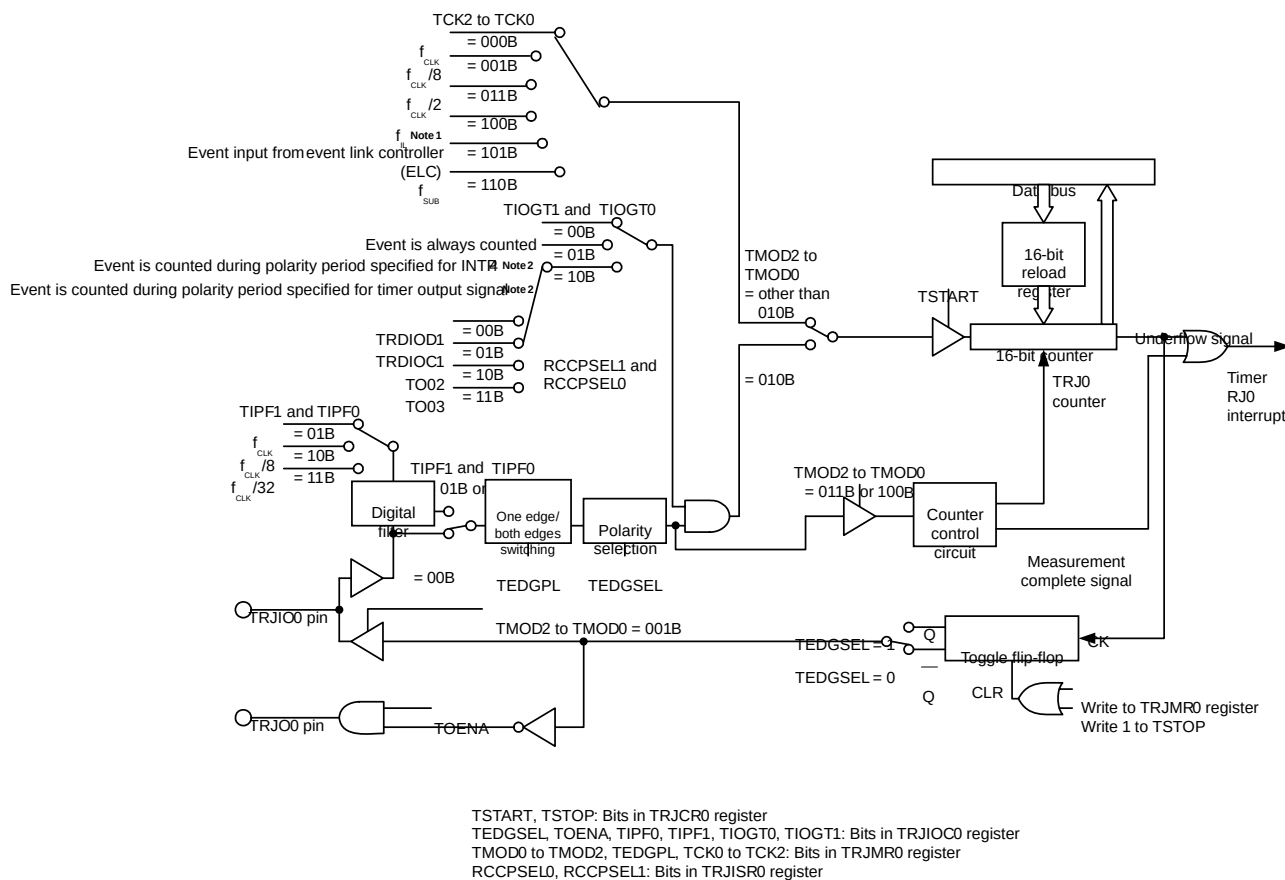
该 16 位定时器由一个重加载寄存器和一个递减计数器构成。重加载寄存器和递减计数器分配至同一地址，可通过存取 TRJ0 寄存器进行存取。

定时器 RJ 的规格如表 7-1 所示。定时器 RJ 的框图如图 7-1 所示。

表 7-1. 定时器 RJ 的规格

项目		说明
操作模式	定时器模式	对计数源计数。
	脉冲输出模式	每当定时器发生下溢时，对计数源计数并使输出反相。
	事件计数器模式	对外部事件计数。 支持 STOP 模式下的操作。
	脉冲宽度测量模式	测量外部脉冲宽度。
	脉冲周期测量模式	测量外部输入的脉冲周期
计数源（操作时钟）		可选 f_{CLK} 、 $f_{CLK}/2$ 、 $f_{CLK}/8$ 、 f_{IL} 、 f_{SUB} 或来自事件链接控制器(ELC)的事件输入
中断		- 当计数器发生下溢时。 - 当外部输入(TRJIO0)有效宽度的测量在脉冲宽度测量模式下完成时。 - 当外部输入(TRJIO0)的设定边沿在脉冲周期测量模式下输入时。
可选择功能		与事件链接控制器 (ELC)的协作 可选择从 ELC 的事件输入作为计数源。

图 7-1. 定时器 RJ 的框图



- 注 1. 当将 f_{IL} 选为计数源时，将操作速度模式控制寄存器(OSMC)的 WUTMMCK0 位设置为 1。然而，当将 f_{SUB} 选为 12 位间隔定时器的计数源时，不能将 f_{IL} 选为定时器 RJ 的计数源。
2. 可以通过 TRJISR0 寄存器的 RCCPSEL2 位选择极性。

7.2 输入/输出引脚

定时器 RJ 引脚配置如表 7-2 所示。

表 7-2. 定时器 RJ 的引脚配置

引脚名称	输入/输出	功能
INTP4	输入	定时器 RJ 的外部输入
TRJIO0 ^注	输入/输出	定时器 RJ 的外部事件输入和脉冲输出
TRJO0 ^注	输出	定时器 RJ 的脉冲输出

注 可以通过 PIOR1 寄存器的 PIOR12 和 PIOR13 位选择 TRJO0 引脚的分配。可以通过 PIOR1 寄存器的 PIOR10 和 PIOR11 位选择 TRJIO0 引脚的分配。详情参阅 第四章 端口功能。

7.3 寄存器

定时器 RJ 的寄存器配置如表 7-3 所示。

表 7-3. 定时器 RJ 的寄存器配置

寄存器名称	符号	复位后的值	地址	存取大小
外围 I/O 重定向寄存器 1	PIOR1	00H	F0079H	8
外围允许寄存器 1	PER1	00H	F007AH	8
操作速度模式控制寄存器	OSMC	00H	F00F3H	8
定时器 RJ 计数寄存器 0 ^注	TRJ0	FFFFH	F0500H	16
定时器 RJ 控制寄存器 0	TRJCR0	00H	F0240H	8
定时器 RJ 输入/输出控制寄存器 0	TRJIOC0	00H	F0241H	8
定时器 RJ 模式寄存器 0	TRJMR0	00H	F0242H	8
定时器 RJ 事件引脚选择寄存器 0	TRJISR0	00H	F0243H	8
端口寄存器 0	P0	00H	FFF00H	8
端口寄存器 3	P3	00H	FFF03H	8
端口寄存器 4	P4	00H	FFF04H	8
端口寄存器 5	P5	00H	FFF05H	8
端口模式寄存器 0	PM0	FFH	FFF20H	8
端口模式寄存器 3	PM3	FFH	FFF23H	8
端口模式寄存器 4	PM4	FFH	FFF24H	8
端口模式寄存器 5	PM5	FFH	FFF25H	8

注 当存取 TRJ0 寄存器时，CPU 就不会开始下一条指令的处理，而是进入 CPU 处理的等待状态。因此，当发生这种等待状态时，执行指令所需的时钟数就会增长等待时钟数。存取 TRJ0 寄存器的读写等待时钟数都是一个时钟。

7.3.1 外围允许寄存器 1 (PER1)

PER1 寄存器用于允许或禁止向外围硬件供应时钟。同时停止向未使用的硬件供应时钟，以减少功耗和噪声。

要使用定时器 RJ，务必将位 0 (TRJ0EN) 清“1”。

PER1 寄存器可利用 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号，将本寄存器清除为 00H。

图 7-2. 外围允许寄存器 1 (PER1) 的格式

地址： F007AH 复位后： 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	2	1	<0>
PER1	DACEN [※]	TRGEN	CMPEN [※]	TRD0EN	DTCEN	0	0	TRJ0EN

TRJ0EN	控制定时器 RJ0 的输入时钟供应
0	停止输入时钟供应。 - 不能写入定时器 RJ0 所使用的 SFR。 - 定时器 RJ0 处于复位状态。
1	允许输入时钟供应。 可以读取/写入定时器 RJ0 所使用的 SFR。

注 仅限代码闪存为 96 KB 或更大的产品。

- 注意事项
- 要设置定时器 RJ，务必首先将 TRJ0EN 设置为“1”。如果 TRJ0EN = 0，则对定时器 RJ 的控制寄存器进行的写操作将被忽略，所有读取值均为初始值（端口模式寄存器 0、3、4、5（PM0、PM3、PM4、PM5）和端口寄存器 0、3、4、5（P0、P3、P4、P5）除外）。
 - 务必将下述的位设置为 0。
 代码闪存为 64 KB 或更小的产品：位 1、2、5 和 7
 代码闪存为 96 KB 或更大的产品：位 1 和 2

7.3.2 操作速度模式控制寄存器 (OSMC)

WUTMMCK0 位可用于选择定时器 RJ 的操作时钟。

另外，通过停止不必要的时钟功能，RTCLPC 位可以用于降低功耗。有关 RTCLPC 位的设置详情，参阅 **第五章 时钟产生电路**。

OSMC 寄存器可利用 8 位存储器操作指令进行设置。

通过产生复位信号，将本寄存器清除为 00H。

图 7-3. 操作速度模式控制寄存器(OSMC)的格式

地址： F00F3H 复位后： 00H R/W

符号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	选择实时时钟、12 位间隔定时器和定时器 RJ 的操作时钟 (f_{RTC})
0	副系统时钟 (f_{SUB}) - 低速片上振荡器时钟只能用作实时时钟和 12 位间隔定时器的操作时钟。 - 低速片上振荡器时钟不能选择用作定时器 RJ 的计数源。
1	低速片上振荡器时钟 (f_{IL}) - 低速片上振荡器时钟只能用作实时时钟和 12 位间隔定时器的操作时钟。 - 可选择低速片上振荡器或副系统时钟其中之一用作定时器 RJ 的计数源。

7.3.3 定时器 RJ 计数器寄存器 0 (TRJ0)，定时器 RJ 重加载寄存器

TRJ0 是 16 位寄存器。写入值被写入重加载寄存器，读取值则从计数器中读取。

重加载寄存器和计数器的状态根据 TRJCR0 寄存器中的 TSTART 位变化。有关详情，参阅 7.4.1 重加载寄存器和计数器的重写操作。

图 7-4. 定时器 RJ 计数器寄存器 0 (TRJ0)，定时器 RJ 重加载寄存器的格式

地址：F0500H 复位后：FFFFH

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJ0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	功能	设置范围	R/W
位 15 至 0	16 位计数器和重加载寄存器 ^{注 1, 2, 3}	0000H 至 FFFFH	R/W

- 注 1.** 当向 TRJCR0 寄存器的 TSTOP 位写入 1 时，16 位计数器将强行停止，并设置为 FFFFH。
- 2.** 必须按 16 位单位存取 TRJ0 寄存器。不要按 8 位单位存取该寄存器。
- 3.** 当 TRJMR0 寄存器的 TCK2 至 TCK0 位不是 001B ($f_{CLK}/8$)或 011B ($f_{CLK}/2$)时，如果 TRJ0 寄存器被设置为 0000H，则向数据传输控制器(DTC)和事件链接控制器(ELC)发出的请求信号仅在计数开始后立即产生一次。然而，TRJO0 和 TRJIO0 输出被跳转。
- 当在事件计数器模式下将 TRJ0 寄存器设置为 0000H 时，无论 TCK2 位至 TCK0 位的值是什么，向 DTC 和 ELC 发出的请求信号仅在计数开始后立即产生一次。另外，即使在指定的计数周期以外，TRJO0 输出将被跳转。
- 当 TRJ0 寄存器被设置为 0000H 或者更大值时，每当 TRJ 发生下溢都将产生一个请求信号。

注意事项 当存取 TRJ0 寄存器时，CPU 就不会开始下一条指令的处理，而是进入 CPU 处理的等待状态。因此，当发生这种等待状态时，执行指令所需的时钟数量就会比等待时钟数量长。存取 TRJ0 寄存器的读写等待时钟数都是一个时钟。

7.3.4 定时器 RJ 控制寄存器 0 (TRJCR0)

图 7-5. 定时器 RJ 控制寄存器 0 (TRJCR0)的格式

地址: F0240H 复位后: 00H

符号	7	6	5	4	3	2	1	0
TRJCR0	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART

位 7 至 6	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

TUNDF	定时器 RJ 下溢标志 ^{注1}	R/W
0	无下溢	R/W
1	有下溢	
[置 0 条件] • 当通过程序向该位写入“0”时。 [置 1 条件] • 当计数器发生下溢时。		

TEDGF	有效边沿判断标志 ^{注1}	R/W
0	没有接收有效边沿	R/W
1	有接收有效边沿	
[置 0 条件] • 当通过程序向该位写入“0”时。 [置 1 条件] • 当外部输入(TRJIO)有效宽度的测量在脉冲宽度测量模式下完成时。 • 当外部输入(TRJIO)的设定边沿在脉冲周期测量模式下输入时。		

位 3	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

TSTOP	强制停止定时器 RJ 计数 ^{注2}	R/W
此位写入为 1 时，强制停止计数。读取值为 0。		W

TCSTF	定时器 RJ 计数状态标志 ^{注3}	R/W
0	停止计数	R
1	正在计数	
[置 0 条件] • 当将 0 写入 TSTART 位时(与计数源同步后, TCSTF 位设置为 0)。 当将 1 写入 TSTOP 位时。 [置 1 条件] • 当将 1 写入 TSTART 位时(与计数源同步后, TCSTF 位设置为 1)。		

TSTART	定时器 RJ 计数状态标志 ^{注 3}	R/W
0	停止计数	R/W
1	开始计数	
将 1 写入 TSTART 位，可开始计数操作，写入 0 则可停止计数操作。当将 TSTART 位设置为 1（计数开始）时，与计数源同步地 TCSTF 位被设置为 1（计数处理中）。另外，在将 0 写入 TSTART 位之后，与计数源同步地 TCSTF 位被设置为 0（计数停止）。详情请参阅 7.5.1 计数操作开始和停止控制。		

- 注 1. TRJCR0 寄存器可利用 8 位存储器操作指令进行设置。
2. 当 1 (强制停止计数) 写入 TSTOP 位时，TSTART 和 TCSTF 位将被同时初始化。脉冲输出电平也会被初始化。
3. 有关 TSTART 和 TCSTF 位的使用上的注意事项，参阅 7.5.1 计数操作开始和停止控制。

7.3.5 定时器 RJ 输入/输出控制寄存器 0 (TRJIOC0)

图 7-6. 定时器 RJ 输入/输出控制寄存器 0 (TRJIOC0)的格式

地址: F0241H 复位后: 00H

符号	7	6	5	4	3	2	1	0
TRJIOC0	TIOGT1	TIOGT0	TIPF1	TIPF0	—	TOENA	—	TEDGSEL

TIOGT1	TIOGT0	TRJIO 计数控制 ^{注1,2}	R/W
0	0	总是计数事件	R/W
0	1	在为 INTP4 指定的极性周期期间对事件进行计数	
1	0	在为定时器输出信号指定的极性周期期间对事件进行计数	
1	1	不要设置	

注1. 当使用 INTP4 或定时器输出信号时, 计数事件的极性可以通过 TRJISR0 寄存器的 RCCPSEL2 位进行选择。

2. TIOGT0 和 TIOGT1 位仅限事件计数器模式时有效。

TIPF1	TIPF0	选择 TRJIO 输入滤波器	R/W
0	0	无滤波器	R/W
0	1	滤波器在 f_{CLK} 采样	
1	0	滤波器在 $f_{CLK}/8$ 采样	
1	1	滤波器在 $f_{CLK}/32$ 采样	
这些位用于指定 TRJIO 输入滤波器的采样频率。如果对 TRJIO0 引脚的输入进行采样, 且值连续匹配三次, 则该值将作为输入值。			

位 3	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

TOEN A	允许 TRJO 输出	R/ W
0	禁止 TRJO 输出 (端口)	R/ W
1	允许 TRJO 输出	

位 1	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

TEDGSEL	输入/输出极性切换	R/W
功能因操作模式而异 (参阅表 7-4 和表 7-5)。TEDGSEL 位用于切换 TRJO 输出极性及 TRJIO 输入/输出边沿和极性。在脉冲输出模式下, 只控制跳转触发器的反相/同相。当写入 TRJMR0 寄存器时, 或者将 1 写入 TRJCR0 寄存器的 TSTOP 位时, 跳转触发器被初始化。		R/W

表 7-4. TRJIO 输入/输出边沿和极性切换

操作模式	功能
定时器模式	不使用 (I/O 端口)
脉冲输出模式	0: 从高开始输出 (初始化电平:高) 1: 从低开始输出 (初始化电平:低)
事件计数器模式	0: 在上升沿计数 1: 在下降沿计数
脉冲宽度测量模式	0: 测量低电平宽度 1: 测量高电平宽度
脉冲周期测量模式	0: 从一个上升沿测量至下一个上升沿 1: 从一个下降沿测量至下一个下降沿

表 7-5. TRJO 输出极性切换

操作模式	功能
所有模式	0: 从低开始输出 (初始化电平: 低) 1: 从高开始输出 (初始化电平: 高)

7.3.6 定时器 RJ 控制寄存器 0 (TRJMR0)

图 7-7. 定时器 RJ 控制寄存器 0 (TRJMR0)的格式

地址: F0242H 复位后: 00H

符号	7	6	5	4	3	2	1	0
TRJMR0	—	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0

位 7	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

TCK2	TCK1	TCK0	定时器 RJ 计数源选择 ^{注1,2}	R/W
0	0	0	f _{CLK}	R/W
0	0	1	f _{CLK} /8	
0	1	1	f _{CLK} /2	
1	0	0	f _{IL} ^{注4}	
1	0	1	从事件链接控制器 (ELC)输入事件	
1	1	0	f _{SUB}	
其它			禁止设置	

TEDGPL	TRJIO 边沿极性选择 ^{注5}	R/W
0	单边沿	R/W
1	双边沿	

TMOD2	TMOD1	TMOD0	选择定时器 RJ 操作模式 ^{注3}	R/W
0	0	0	定时器模式	R/W
0	0	1	脉冲输出模式	
0	1	0	事件计数器模式	
0	1	1	脉冲宽度测量模式	
1	0	0	脉冲周期测量模式	
其它			禁止设置	

- 注 1. 当选择事件计数器模式时，无论 TCK0 至 TCK2 位的设置如何，外部输入(TRJIO)被选为计数源，。
2. 在计数操作期间不要切换计数源。当 TRJCR0 寄存器中的 TSTART 和 TCSTF 位都为 0 时（计数停止），应切换计数源。
3. TRJCR0 寄存器中的 TSTART 和 TCSTF 位都被设置为 0（计数停止）的情况下，仅当计数停止时，才可更改操作模式。在计数操作期间不可更改操作模式。
4. 将 f_{IL} 选为计数源时，将操作速度模式控制寄存器(OSMC)中的 WUTMMCK0 位设置为 1。然而，当 f_{SUB} 被选为实时时钟或 12 位间隔定时器的计数源时，不能把 f_{IL} 选为定时器 RJ 的计数源。
5. TEDGPL 位仅在事件计数器模式下有效。
6. 对 TRJMR0 寄存器进行写存取操作将使定时器 RJ 的 TRJO0 和 TRJIO0 引脚的输出初始化。
有关初始化时输出电平的详情，请参阅图 7-6 定时器 RJ 输入/输出控制寄存器 0 (TRJIOC0)的格式下方的描述。

7.3.7 定时器 RJ 事件引脚选择寄存器 0 (TRJISR0)

图 7-8. 定时器 RJ 事件引脚选择寄存器 0 (TRJISR0)的格式

地址: F0243H 复位后: 00H

符号	7	6	5	4	3	2	1	0
TRJISR0	—	—	—	—	—	RCCPSEL2 注	RCCPSEL1 注	RCCPSEL0 注

位 7 至 3	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

RCCPS EL2	定时器输出信号和 INTP4 极性选择	R/W
0	在低电平周期期间对事件计数	R/W
1	在高电平周期期间对事件计数	

RCCPS EL1	RCCPS EL0	选择定时器输出信号	R/W
0	0	TRDIOD1	R/W
0	1	TRDIOC1	
1	0	TO02	
1	1	TO03	

注 RCCPSEL0 至 RCCPSEL2 位仅在事件计数器模式下有效。

7.3.8 端口模式寄存器 0、3、4、5 (PM0、PM3、PM4、PM5)

这些寄存器按照 1 位单位设置端口 0、3、4、5 的输入/输出。

在将与定时器输出引脚共用的端口 (如 P01/TRJIO0 和 P30/TRJIO0 等) 用作定时器输出时, 将对应于各端口的端口模式寄存器 (PMxx) 位和端口寄存器 (Pxx) 位设为 0。

示例: 当将 P01/TRJIO0 用作定时器输出时

将端口模式寄存器 0 的 PM01 位设为 0。

将端口寄存器 0 的 P01 位设为 0。

在将与定时器输入引脚共用的端口 (如 P01/TRJIO0 等) 用作定时器输入时, 将对应于各端口的端口模式寄存器 (PMxx) 位设为 1。此时, 端口寄存器 (Pxx) 位可以是 0 或 1。

示例: 当将 P01/TRJIO0 用作定时器输入时

将端口模式寄存器 0 的 PM01 位设为 1。

将端口寄存器 0 的 P01 位设为 0。

PM0、PM3、PM4、PM5 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号, 将这些寄存器设置为 FFH。

图 7-9. 端口模式寄存器 0、3、4、5 的格式 (PM0、PM3、PM4、PM5) (100 针产品)

地址: FFF20H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

地址: FFF23H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

地址: FFF24H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

地址: FFF25H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PMmn	Pmn 引脚 I/O 模式选择 (m = 0, 3, 4, 5; n = 0 至 7)
0	输出模式 (输出缓冲器 on)
1	输入模式 (输出缓冲器 off)

备注 100 针产品的端口模式寄存器 0、3、4、5 的格式如上图所示。关于其他产品的端口模式寄存器的格式详情, 请参阅表 4-22. 或表 4-23. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位。

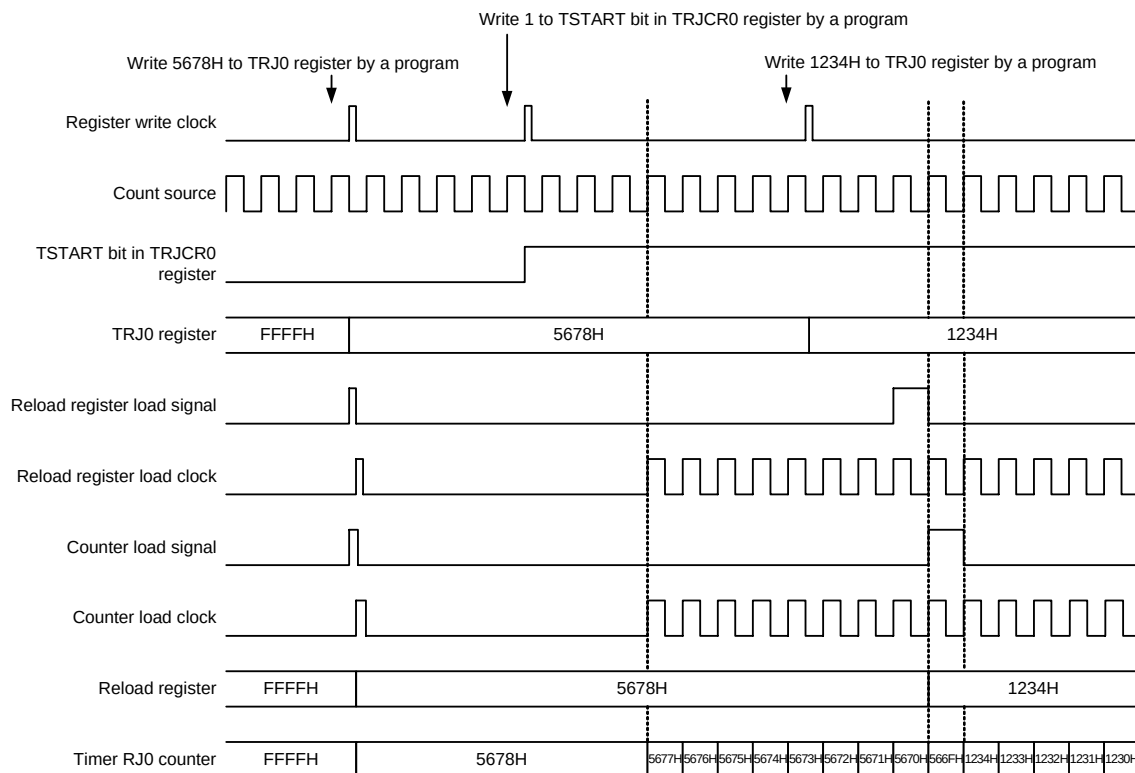
7.4 操作

7.4.1 重加载寄存器和计数器的重写操作

无论在何种操作模式下，向重加载寄存器和计数器进行重写操作的时序都不一样，具体取决于 TRJCR0 寄存器中的 TSTART 位的值。当 TSTART 位为 0（计数停止）时，计数值将被直接写入重加载寄存器和计数器。当 TSTART 位为 1（计数开始）时，该值与计数源同步地被写入重加载寄存器，然后与下一个计数源同步地写入计数器。

使用 TSTART 位的值进行重写操作的时序如图 7-10 所示。

图 7-10. 使用 TSTART 位的值进行重写操作的时序



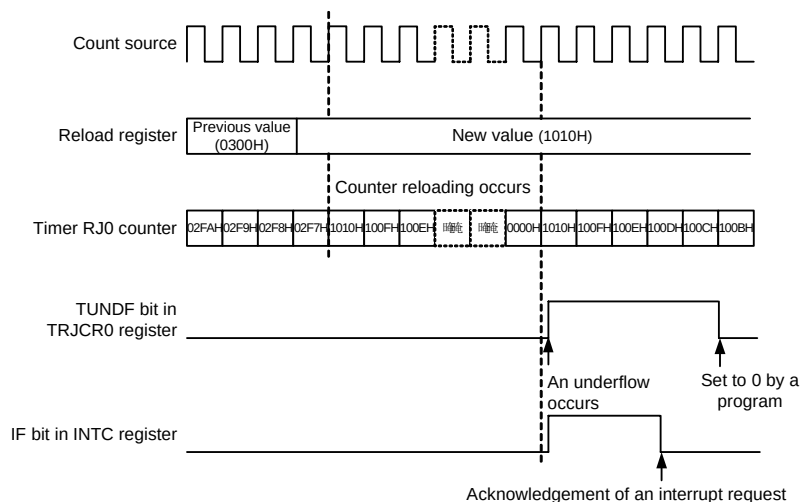
7.4.2 定时器模式

在该模式下，计数器按照通过 TRJMR0 寄存器中的 TCK0 至 TCK2 位选择的计数源递减。

在定时器模式下，每输入一次计数源时，计数值递减 1。在计数值达到 0000H 且输入下一个计数源时，将发生下溢，并产生一个中断请求。

定时器模式下的操作示例如图 7-11 所示。

图 7-11. 定时器模式下的操作示例



7.4.3 脉冲输出模式

在该模式下，计数器按照通过 TRJMR0 寄存器中的 TCK0 至 TCK2 位选择的计数源递减，每当发生下溢时，TRJIO 和 TRJO 引脚的输出电平将反相。

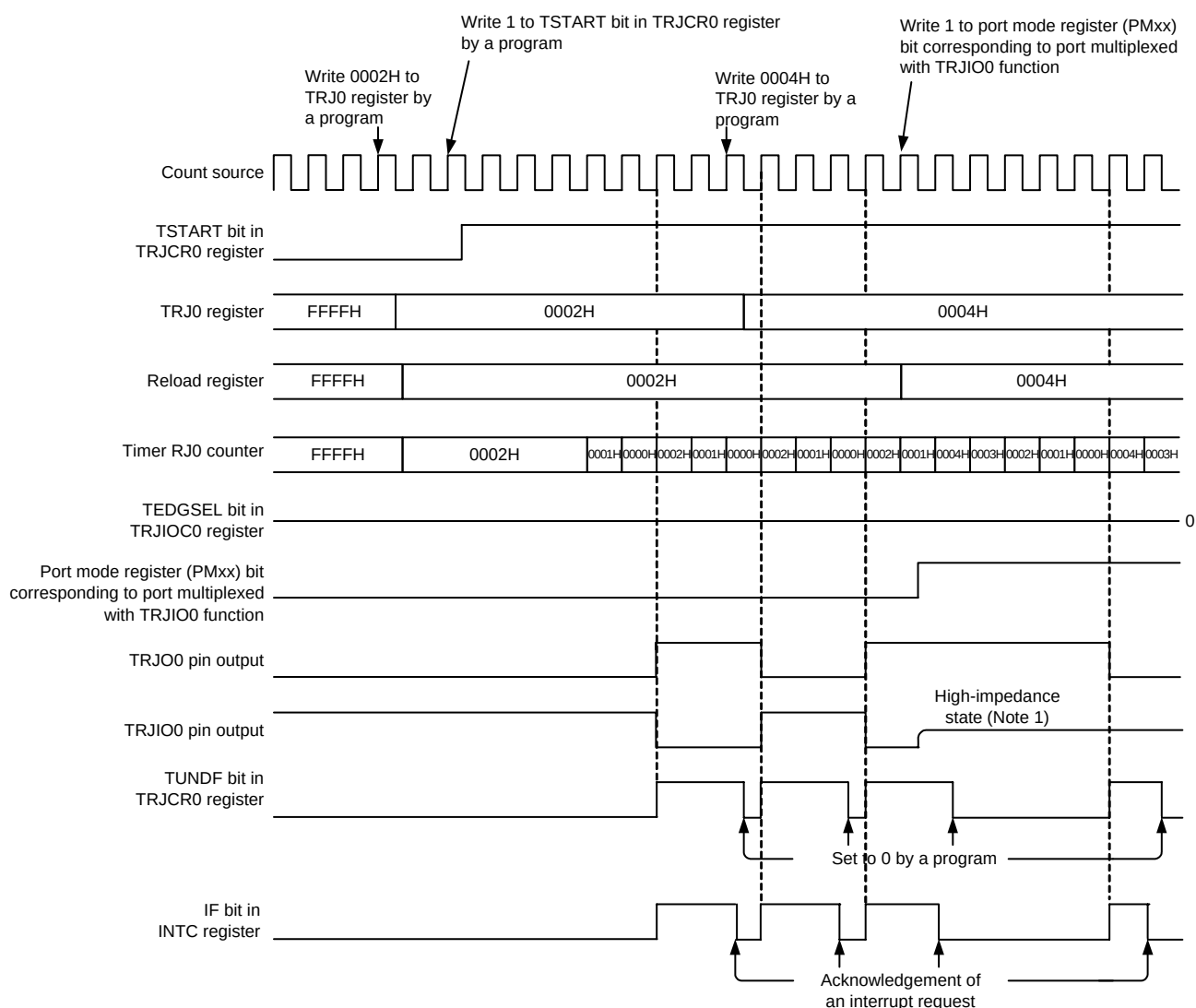
在脉冲输出模式下，每输入一次计数源时，计数值递减 1。在计数值达到 0000H 且输入下一个计数源时，将发生下溢，并产生一个中断请求。

另外，可以从 TRJIO0 和 TRJO0 引脚输出脉冲。每当发生下溢时，输出电平将反相。可以通过 TRJIOC0 寄存器中的 TOENA 位停止 TRJO0 引脚的脉冲输出。

另外，可以通过 TRJIOC0 寄存器的 TEDGSEL 位选择输出电平。

脉冲输出模式下的操作示例如图 7-12 所示。

图 7-12. 脉冲输出模式下的操作示例



Note 1: The TRJIO0 pin becomes high impedance by output enable control on the port selected as the TRJIO function.

7.4.4 事件计数器模式

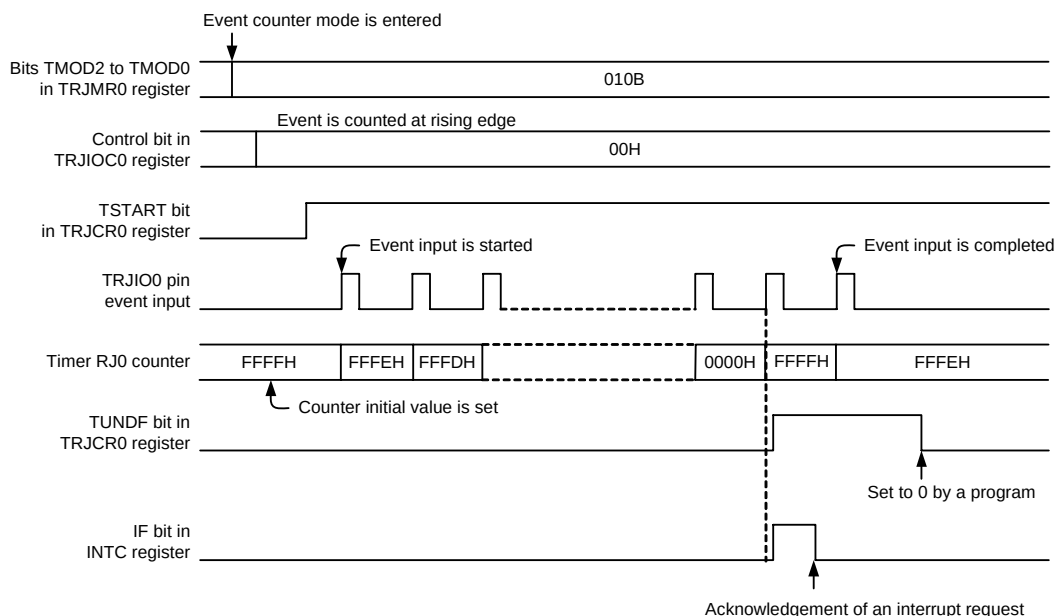
在该模式下，计数器按照输入 TRJIO0 引脚的外部事件信号（计数源）递减。可以通过 TRJIOC0 寄存器和 TRJISR0 寄存器中的 TIOGT0 和 TIOGT1 位设置多种计数事件周期。另外，可以通过 TRJIOC0 寄存器中的 TIPF0 和 TIPF1 位指定 TRJIO0 输入的滤波器功能。

同时，即使在事件计数器模式下，也可以跳转 TRJO0 引脚的输出。

当使用事件计数器模式时，请参阅 7.5.5 引脚 TRJO0 和 TRJIO0 的设置步骤。

事件计数器模式下的操作示例如图 7-13 所示。

图 7-13. 事件计数器模式下的操作示例



为事件计数器模式（TRJIO0 寄存器中的 TIOGT1 和 TIOGT0 位设置为 01B 或 10B）下，指定期间的计数操作示例如图 7-14 所示。

图 7-14. 事件计数器模式下的操作示例 2

Timing example when the setting of operating mode is as follows:

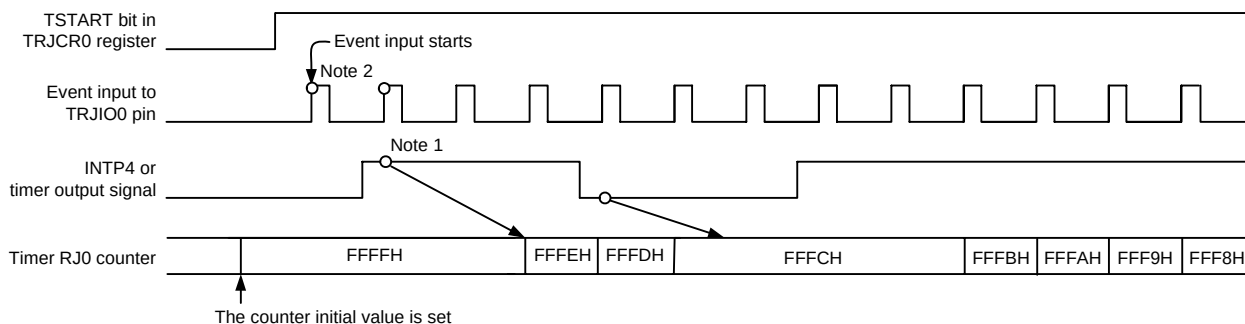
TRJMR0 register: TMOD2, 1, 0 = 010B (event counter mode)

TRJIOC0 register: TIOGT1, 0 = 01B (event is counted during specified period for external interrupt pin)

TIPF1, 0 = 00B (no filter)

TEDGSEL = 0 (count at rising edge)

TRJISR0 register: RCCPSEL2 = 1 (high-level period is counted)



The following notes apply only when bits TIOGT1 and TIOGT0 in the TRJIOC0 register are 01B or 10B for the setting of operating mode in event count mode.

- Notes**
1. To control synchronization, there is a delay of two cycles of the count source until count operation is affected.
 2. Count operation may be performed for two cycles of the count source immediately after the count is started, depending on the previous state before the count is stopped.
To disable the count for two cycles immediately after the count is started, write 1 to the TSTOP bit in the TRJCR0 register to initialize the internal circuit, and then make operation settings before starting count operation.

7.4.5 脉冲宽度测量模式

在该模式下，将测量输入 TRJIO0 引脚的外部信号的脉冲宽度。

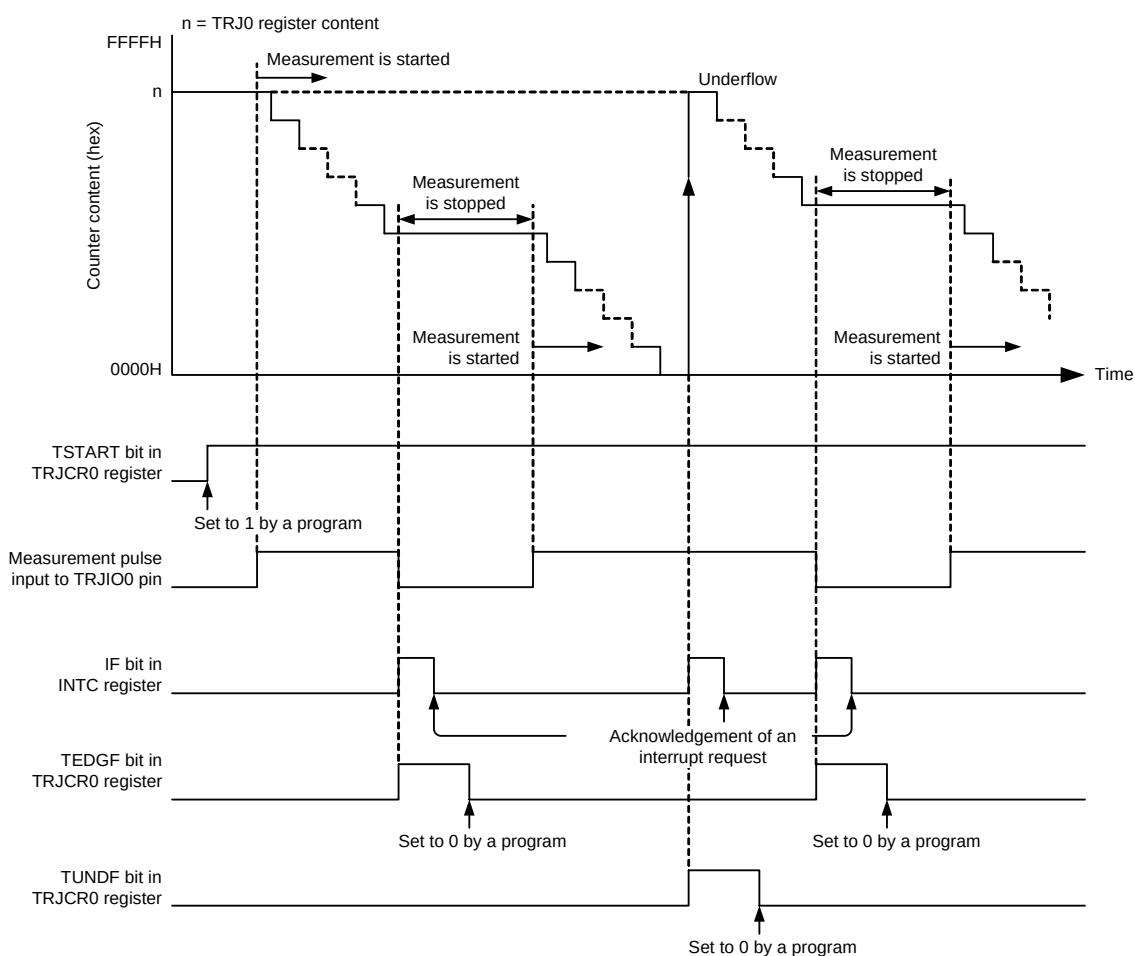
当由 TRJIOC0 寄存器中的 TEDGSEL 位指定的电平输入 TRJIO0 引脚时，将按照所选计数源开始递减。当 TRJIO0 引脚上的指定电平结束时，计数器停止，TRJCR0 寄存器中的 TEDGF 位被设置为 1（接收有效边沿），并且产生一个中断请求。通过在计数器停止时读取计数值来执行脉冲宽度数据的测量。另外，测量过程中当计数器下溢时，TRJCR0 寄存器中的 TUNDF 位被设置为 1（下溢），并且产生一个中断请求。

脉冲宽度测量模式下的操作示例如图 7-15 所示。

在存取 TRJCR0 寄存器中的 TEDGF 和 TUNDF 位时，请参阅 7.5.2 标志的存取（TRJCR0 寄存器中的 TEDGF 和 TUNDF 位）。

图 7-15. 脉冲输出模式下的操作示例

This example applies when the high-level width of the measurement pulse is measured (TEDGSEL bit in TRJIOC0 register = 1)



7.4.6 脉冲周期测量模式

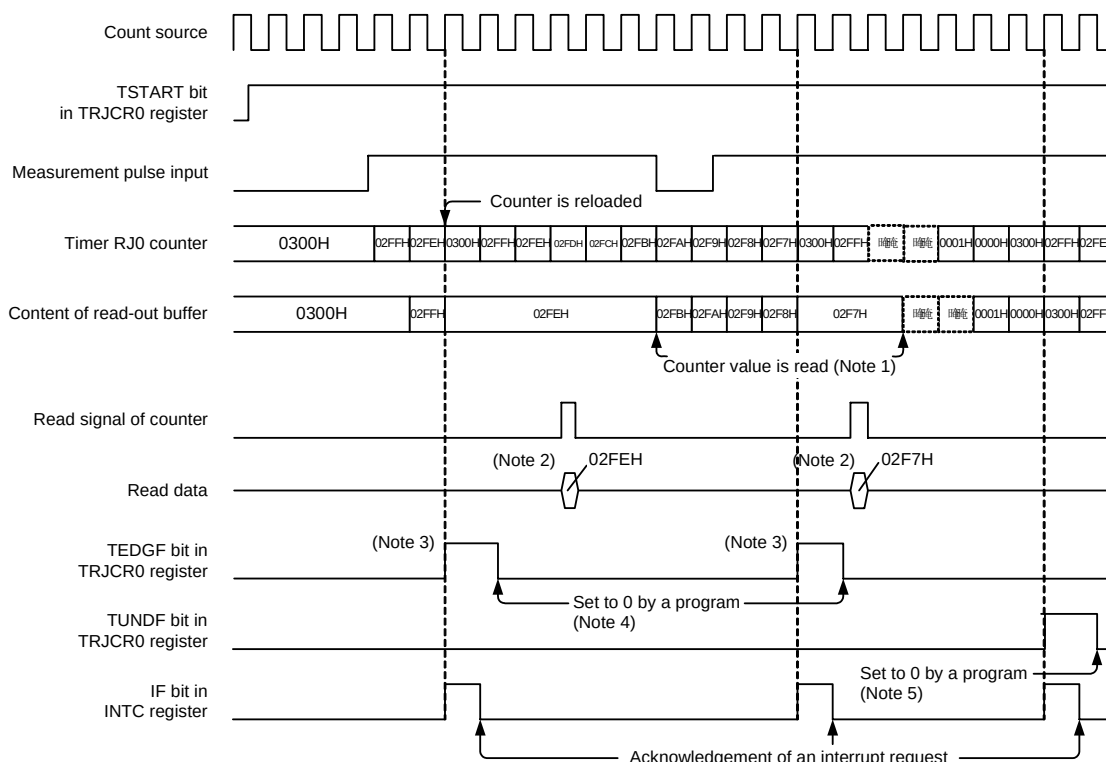
在该模式下，将测量输入 TRJIO0 引脚的外部信号的脉冲周期。

计数器按照通过 TRJMR0 寄存器中的 TCK0 至 TCK2 位选择的计数源递减。当由 TRJIOC0 寄存器中的 TEDGSEL 位指定周期的脉冲输入 TRJIO0 引脚时，计数值将在计数源的上升边沿被传送到读取缓冲器。重加载寄存器中的值将在下一个上升边沿载入计数器。同时，TRJCR0 寄存器的 TEDGF 位被设置为 1（接收有效边沿），并且产生一个中断请求。此时，读取缓冲器（TRJ0 寄存器）将被读取，其与重加载值之差为输入脉冲的周期数据。该周期数据将被保留至读取缓冲器被读取为止。当计数器下溢时，TRJCR0 寄存器的 TUNDF 位被置为 1（下溢），并且产生一个中断请求。

脉冲周期测量模式下的操作示例如图 7-16 所示。

只能输入周期大于计数源周期两倍的脉冲。另外，低电平和高电平宽度都必须大于计数源的周期。如果输入的脉冲周期小于这些条件，则输入可能被忽略。

图 7-16. 脉冲周期测量模式下的操作示例



This example applies when the initial value of the TRJ0 register is set to 0300H, the TEDGSEL bit in the TRJIOC0 register is set to 0, and the period from one rising edge to the next edge of the measurement pulse is measured.

Notes:

1. Reading from the TRJ0 register must be performed during the period from when the TEDGF bit is set to 1 (active edge received) until the next active edge is input. The content of the read-out buffer is retained until the TRJ0 register is read. If it is not read before the active edge is input, the measurement result of the previous period is retained.
2. When the TRJ0 register is read in pulse period measurement mode, the content of the read-out buffer is read.
3. When the active edge of the measurement pulse is input and then the set edge of an external pulse is input, the TEDGF bit in the TRJCR0 register is set to 1 (active edge received).
4. To set to 0 by a program, write 0 to the TEDGF bit in the TRJCR0 register using an 8-bit memory manipulation instruction.
5. To set to 0 by a program, write 0 to the TUNDF bit in the TRJCR0 register using an 8-bit memory manipulation instruction.

7.4.7 与事件链接控制器 (ELC) 的协作

配合 ELC，可将来自 ELC 的事件输入设置为计数源。TRJMR0 寄存器中的 TCK0 至 TCK2 位在来自 ELC 的事件输入的上升沿进行计数。然而，ELC 输入在事件计数器模式下无效。

ELC 设置步骤如下所示。

- 开始操作的步骤
 - (1) 为事件链接控制器(ELC)设置事件输出目的地选择寄存器(ELSELRn)。
 - (2) 为事件发生源设置操作模式。
 - (3) 为定时器 RJ 设置模式。
 - (4) 启动定时器 RJ 的计数操作。
 - (5) 启动事件发生源的操作。
- 停止操作的步骤
 - (1) 停止事件发生源的操作。
 - (2) 停止定时器 RJ 的计数操作。
 - (3) 将事件链接控制器 (ELC) 的事件输出目的地选择寄存器 (ELSELRn) 设置为 0。

7.4.8 各模式的输出设置

表 7-6 和表 7-7 列出了 TRJO0 和 TRJIO0 引脚在各种模式下的状态。

表 7-6. TRJO0 引脚设置

操作模式	TRJIOC0 寄存器		TRJO0 引脚输出
	TOENA 位	TEDGSEL 位	
所有模式	1	1	反转输出
		0	标准输出
	0	0 或 1	输出禁止

表 7-7. TRJIO0 引脚设置

操作模式	TRJIOC0 寄存器		TRJIO0 引脚 I/O
	PMXX 位 ^注	TEDGSEL 位	
定时器模式	0 或 1	0 或 1	输入 (不使用)
脉冲输出模式	1	0 或 1	禁止输出 (Hi-z 输出)
		1	标准输出
	0	0	反转输出
事件计数器模式	1	0 或 1	输入
脉冲宽度测量模式			
脉冲周期测量模式			

注 与复用于 TRJIO0 功能的端口相对应的端口模式寄存器(PMxx)位。

7.5 定时器 RJ 使用上的注意事项

7.5.1 计数操作开始和停止控制

- 将事件计数模式或计数源设置为与 ELC 不同时

计数停止过程中，在把 1（计数开始）写入 TRJCR0 寄存器中的 TSTART 位之后，TRJCR0 寄存器中的 TCSTF 位将在计数源的三个周期内保持为 0（计数停止）。不要存取与定时器 RJ[※] 相关的除 TCSTF 位以外的寄存器，直到该位被设置为 1（计数进行中）为止。

计数操作期间，在将 0（计数停止）写入 TSTART 位之后，TCSTF 位将在计数源的三个周期内保持为 1。TCSTF 位设置为 0 时，停止计数。不要存取与定时器 RJ[※] 相关的除 TCSTF 位以外的寄存器，直到该位被设置为 0 为止。

在将 TATART 位从 0 改为 1 之前，要清除中断寄存器。详情请参阅 第 21 章 中断功能。

注 与定时器 RJ 相关的寄存器：TRJ0、TRJCR0、TRJIOC0、TRJMR0 和 TRJISR0。

- 将事件计数模式或计数源设置为 ELC 时

计数停止过程中，在把 1（计数开始）写入 TRJCR0 寄存器中的 TSTART 位之后，TRJCR0 寄存器中的 TCSTF 位将在 CPU 时钟的两个周期内保持为 0（计数停止）。不要存取与定时器 RJ[※] 相关的除 TCSTF 位以外的寄存器，直到该位被设置为 1（计数进行中）为止。

计数操作期间，在将 0（计数停止）写入 TSTART 位之后，TCSTF 位将在 CPU 时钟的两个周期内保持为 1。TCSTF 位设置为 0 时，停止计数。不要存取与定时器 RJ[※] 相关的除 TCSTF 位以外的寄存器，直到该位被设置为 0 为止。

在将 TATART 位从 0 改为 1 之前，要清除中断寄存器。详情请参阅 第 21 章 中断功能。

注 与定时器 RJ 相关的寄存器：TRJ0、TRJCR0、TRJIOC0、TRJMR0 和 TRJISR0。

7.5.2 标志的存取（TRJCR0 寄存器中的 TEDGF 和 TUNDF 位）

通过程序写入 0 来将 TRJCR0 寄存器中的 TEDGF 和 TUNDF 位设置为 0，但向这些位写入 1 是无效的。如果用读取-修改-写入指令来设置 TRJCR0 寄存器，在指令执行过程中，即使 TEDGF 位被设置为 1（接收有效边沿）且 TUNDF 位被设置为 1（下溢），依据时序，TEDGF 和 TUNDF 位有可能被错误地设置为 0。使用 8 位存储器操作指令来存取 TRJCR0 寄存器。

7.5.3 计数器寄存器的存取

当 TRJCR0 寄存器中的 TSTART 和 TCSTF 位都为 1（计数开始）时，在连续写入 TRJ0 寄存器时，写操作之间至少要间隔三个计数源周期。

7.5.4 更改模式时

仅当停止计数且 TSTART 和 TCSTF 位都被设置为 0（计数停止）时，才可更改与定时器 RJ 相关的寄存器的操作模式（TRJIOC0、TRJMR0 和 TRJISR0）。在计数操作期间不要更改这些寄存器。

当与定时器 RJ 相关的寄存器的操作模式被更改时，TSTART 和 TCSTF 位的值将为不确定状态。在开始计数前，将 0（没有接收有效边沿）写入 TEDGF 位，同时将 0（无下溢）写入 TUNDF 位。

7.5.5 引脚 TRJO0 和 TRJIO0 的设置步骤

复位后，复用于 TRJO0 和 TRJIO0 引脚的 I/O 端口将充当输入端口。

从 TRJO0 和 TRJIO0 引脚输出时，使用以下的设置步骤：

更改步骤

- (1) 设置模式。
- (2) 设置初始值/输出允许。
- (3) 设置对应 TRJO0 和 TRJIO0 引脚的端口寄存器位为 0。
- (4) 设置对应 TRJO0 和 TRJIO0 引脚的端口模式寄存器为数触模式。
(从 TRJO0 和 TRJIO0 引脚开始输出)
- (5) 开始计数 (TRJCR0 寄存器的 TSTART = 1)。

从 TRJO0 引脚输出时，使用以下的设置步骤：

- (1) 设置模式。
- (2) 设置初始值/选择的边沿。
- (3) 设置对应 TRJIO0 引脚的端口模式寄存器位为输入模式。
(从 TRJIO0 引脚开始输入)
- (4) 开始计数 (TRJMR0 寄存器的 TSTART = 1)。
- (5) 等待直到 TRJCR0 寄存器的 TCSTF 位设置为 1 (计数正在进行)。
(仅在事件计数器模式下)
- (6) 从 TRJIO0 引脚输入一个外部事件
- (7) 在第一次测量结束时进行的处理无效 (第二次及以后的测量值有效)。(仅限脉冲宽度测量模式和脉冲周期测量模式)

7.5.6 当定时器 RJ 未使用时

当定时器 RJ 未使用时，设置 TRJMR0 寄存器的 TMOD2 至 TMOD0 位为 000B (定时器模式)，设置 TRJIOC0 寄存器的 TOENA 位为 0 (TRJO 输出禁止)。

7.5.7 当定时器 RJ 工作时钟停止时

通过 PER1 寄存器的 TRJ0EN 位控制定时器 RJ 时钟的提供或停止。注意当定时器 RJ 时钟停止时，以下的 SFRs 不能存取。存取任何一个寄存器前，请确认提供了定时器 RJ 时钟。

寄存器 TRJO、TRJCR0、TRJMR0、TRJIOC0 和 TRJISR0。

7.5.8 设置 STOP 模式的步骤 (事件计数器模式)

要在 STOP 模式中执行事件计数器模式操作，首先提供定时器 RJ 时钟，然后使用以下的步骤进入 STOP 模式。

设置模式

- (1) 设置操作模式。
- (2) 开始计数 (TSTART = 1, TCSTF = 1)。
- (3) 停止提供定时器 RJ 时钟。

要在 STOP 模式中停止事件计数器模式操作，使用以下的步骤停止操作。

- (1) 提供定时器 RJ 时钟。
- (2) 停止计数 (TSTART = 0, TCSTF = 0)

7.5.9 STOP 模式下的功能限制 (仅限事件计数器模式)

STOP 模式期间，在执行事件计数器模式操作时，数字滤波器功能不可用。

7.5.10 通过 TSTOP 位强行停止计数时

通过 TRJCR0 寄存器的 TSTOP 位强行停止计数器后，计数源的一个周期内不要存取以下的 SFRs。

寄存器 TRJ0、TRJCR0 和 TRJMR0。

7.5.11 数字滤波器

在使用数字滤波器时，在设置 TIFP1 和 TIFP0 位之后的五个数字滤波器时钟周期内，不要开始定时器操作。

另外，在使用数字滤波器期间，如果 TRJIOC 寄存器中的 TEDGSEL 位被更改，则在五个数字滤波器时钟周期内不要开始定时器操作。

7.5.12 将 f_{IL} 选为计数源时

将 f_{IL} 选为计数源时，将操作速度模式控制寄存器(OSMC)中的 WUTMMCK0 位设置为 1。然而，当 f_{SUB} 被选为实时时钟或 12 位间隔定时器的计数源时，不能把 f_{IL} 选为定时器 RJ 的计数源。

第八章 定时器 RD

定时器 RD 内置两个 16 位定时器(定时器 RD0 和定时器 RD1)。

8.1 概要

定时器 RD0 和定时器 RD1 有四个输入/输出引脚。

定时器 RD 的工作时钟是 f_{CLK} 或 f_{HOCO} 。

定时器 RD 的框图如图 8-1 所示，定时器 RD 的引脚配置如表 8-1 所示。

定时器 RD 有四个模式：

- 定时器模式
- 输入捕捉功能 以外部信号为触发，将计数器值传送至寄存器
- 输出比较功能 检测寄存器的值和计数器匹配（检测时可改变引脚输出）
- PWM 功能 连续输出任何宽度的脉冲

以下三种模式使用 PWM 功能：

- 复位同步 PWM 模式 输出三相波形 (6)，无锯齿波调制和死区时间
- 互补 PWM 模式 输出三相波形 (6)，有三角波调制和死区时间
- PWM3 模式 输出 PWM 波形 (2)，有固定周期

定时器模式输入捕捉功能、输出比较功能和 PWM 功能具有和定时器 RD0、定时器 RD1 同样的功能，这些功能可就每个引脚分别选择。而且，在定时器 RD0 和定时器 RD1 中这些功能可组合使用。

复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式中，通过组合定时器 RD0 和定时器 RD1 的计数器和寄存器输出方波。引脚功能根据模式来决定。

图 8-1. 定时器 RD 的框图

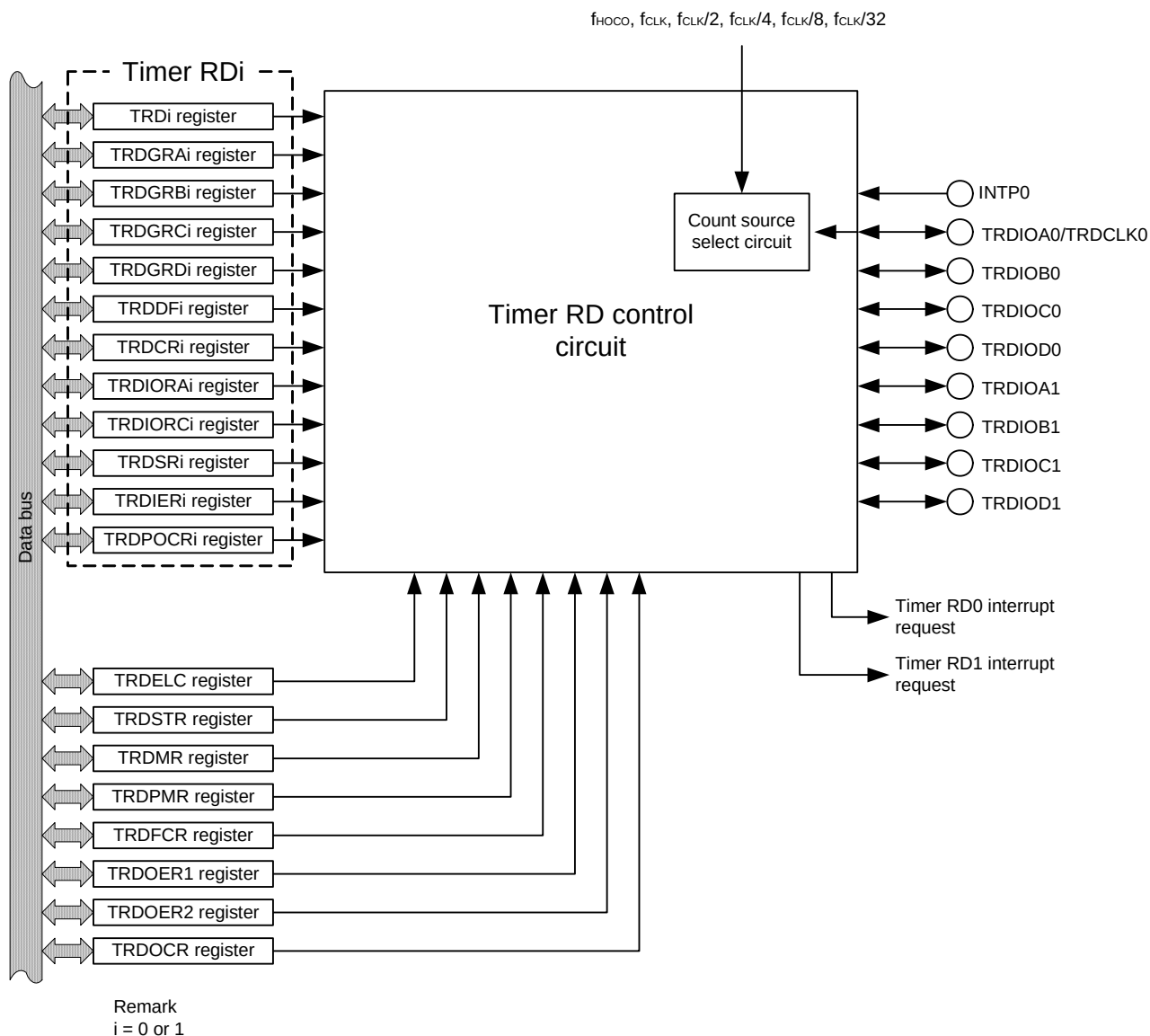


表 8-1. 定时器 RD 的引脚配置

引脚名称	配置引脚	输入/输出	功能
TRDIOA0/TRDCLK0	P17	输入/输出	功能根据模式而异。 有关详情，参阅各模式的说明。
TRDIOB0	P15	输入/输出	
TRDIOC0	P16	输入/输出	
TRDIOD0	P14	输入/输出	
TRDIOA1	P13	输入/输出	
TRDIOB1	P12	输入/输出	
TRDIOC1	P11	输入/输出	
TRDIOD1	P10	输入/输出	

8.2 寄存器

定时器 RD 的寄存器配置如表 8-2 所示。

表 8-2. 定时器 RD 的寄存器配置

寄存器名称	符号	复位后	地址	存取大小
外围允许寄存器 1	PER1	00H	F007AH	8
定时器 RD ELC 寄存器	TRDEL	00H ^注	F0260H	8
定时器 RD 开始寄存器	TRDSTR	0CH ^注	F0263H	8
定时器 RD 模式寄存器	TRDMR	00H ^注	F0264H	8
定时器 RD PWM 功能选择寄存器	TRDPMR	00H ^注	F0265H	8
定时器 RD 功能控制寄存器	TRDFCR	80H ^注	F0266H	8
定时器 RD 输出主允许寄存器 1	TRDOER1	FFH ^注	F0267H	8
定时器 RD 输出主允许寄存器 2	TRDOER2	00H ^注	F0268H	8
定时器 RD 输出控制寄存器	TRDOCR	00H ^注	F0269H	8
定时器 RD 数字滤波器功能选择寄存器 0	TRDDF0	00H ^注	F026AH	8
定时器 RD 数字滤波器功能选择寄存器 1	TRDDF1	00H ^注	F026BH	8
定时器 RD 控制寄存器 0	TRDCR0	00H ^注	F0270H	8
定时器 RD 输入/输出控制寄存器 A0	TRDIORA0	00H ^注	F0271H	8
定时器 RD 输入/输出控制寄存器 C0	TRDIORC0	88H ^注	F0272H	8
定时器 RD 状态寄存器 0	TRDSR0	00H ^注	F0273H	8
定时器 RD 中断允许寄存器 0	TRDIER0	00H ^注	F0274H	8
定时器 RD PWM 功能输出电平控制寄存器 0	TRDPOCR0	00H ^注	F0275H	8
定时器 RD 计数器 0	TRD0	0000H ^注	F0276H	16
定时器 RD 通用寄存器 A0	TRDGRA0	FFFFH ^注	F0278H	16
定时器 RD 通用寄存器 B0	TRDGRB0	FFFFH ^注	F027AH	16
定时器 RD 通用寄存器 C0	TRDGRC0	FFFFH ^注	FFF58H	16
定时器 RD 通用寄存器 D0	TRDGRD0	FFFFH ^注	FFF5AH	16
定时器 RD 控制寄存器 1	TRDCR1	00H ^注	F0280H	8
定时器 RD 输入/输出控制寄存器 A1	TRDIORA1	00H ^注	F0281H	8
定时器 RD 输入/输出控制寄存器 C1	TRDIORC1	88H ^注	F0282H	8
定时器 RD 状态寄存器 1	TRDSR1	00H ^注	F0283H	8
定时器 RD 中断允许寄存器 1	TRDIER1	00H ^注	F0284H	8
定时器 RD PWM 功能输出电平控制寄存器 1	TRDPOCR1	00H ^注	F0285H	8
定时器 RD 计数器 1	TRD1	0000H ^注	F0286H	16
定时器 RD 通用寄存器 A1	TRDGRA1	FFFFH ^注	F0288H	16
定时器 RD 通用寄存器 B1	TRDGRB1	FFFFH ^注	F028AH	16
定时器 RD 通用寄存器 C1	TRDGRC1	FFFFH ^注	FFF5CH	16
定时器 RD 通用寄存器 D1	TRDGRD1	FFFFH ^注	FFF5EH	16
端口寄存器 1	P1	00H	FFF01H	8
端口模式寄存器 1	PM1	FFH	FFF21H	8

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 定时器 RD 的 SFR 变为不定。如果需要读取初始值, 在开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

8.2.1 外围允许寄存器 1 (PER1)

PER1 寄存器用于启用或禁止提供时钟给外围硬件。同时中止向未使用的硬件供给时钟，以减少功耗和噪声。

要使用定时器 RD，务必将第 4 位(TRD0EN) 清“1”。

PER1 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号，将本寄存器清除为 00H。

图 8-2. 外围允许寄存器 1 的格式 (PER1)

地址: F007AH 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	2	1	<0>
PER1	DACEN [#]	TRGEN	CMPEN [#]	TRD0EN	DTCEN	0	0	TRJ0EN

TRD0EN	定时器 RD 输入时钟供应的控制
0	停止输入时钟供应。 - 不能写入由定时器 RD 使用的 SFR。 - 定时器 RD 处于复位状态。
1	允许输入时钟供应。 能读写由定时器 RD 使用的 SFR。

注 仅限代码闪存为 96 KB 或更大的产品。

- 注意事项**
- 要设置定时器 RD，务必首先将 TRD0EN 位置“1”。如果 TRD0EN = 0，则对定时器 RJ 的控制寄存器进行的写操作将被忽略，所有读取值均为初始值（端口模式寄存器 1 (PM1) 和端口寄存器 1 (P1) 除外）。
 - 确保下列位清为 0。
 - 代码闪存为 64 KB 或更少的产品：位 1、2、5 和 7
 - 代码闪存为 96 KB 或更多的产品：位 1 和 2
 - 在将 f_{HOCO} 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 f_{CLK} 设置为 f_{IH}。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

8.2.2 定时器 RD ELC 寄存器(TRDELCL)

图 8-3. 定时器 RD ELC 寄存器(TRDELCL)

地址: F0260H 复位后: 00H^注

符号	7	6	5	4	3	2	1	0
TRDELCL	—	—	ELCOBE1	ELCICE1	—	—	ELCOBE0	ELCICE0

位 7 至 6	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

ELCOBE1	允许 ELC 事件输入 1 (用于定时器 RD 脉冲输出强行截止)	R/W
0	禁止强行截止	R/W
1	允许强行截止	

ELCICE1	选择 ELC 事件输入 1 (用于定时器 RD 输入捕捉 D1)	R/W
0	选择输入捕捉 D1	R/W
1	选择来自事件连接控制器(ELC)的事件输入 1	

位 3 至 2	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

ELCOBE0	允许 ELC 事件输入 0 (用于定时器 RD 脉冲输出强行截止)	R/W
0	禁止强行截止	R/W
1	允许强行截止	

ELCICE0	选择 ELC 事件输入 0 (用于定时器 RD 输入捕捉 D0)	R/W
0	选择输入捕捉 D0	R/W
1	选择来自事件连接控制器(ELC)的事件输入 0	

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。
如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

8.2.3 定时器 RD 开始寄存器(TRDSTR)

TRDSTR 寄存器可利用一条 8 位存储器操作指令进行设置。请参阅定时器 RD 的注意事项的 8.5.1 (1) TRDSTR 寄存器。

图 8-4. 定时器 RD 开始寄存器的格式 (TRDSTR)

地址: F0263H 复位后: 0CH^{注1}

符号	7	6	5	4	3	2	1	0
TRDSTR	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0

位 7 至 4	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

CSEL1	TRD1 计数操作选择 ^{注2}	R/W
0	与 TRDGRA1 寄存器比较匹配时停止计数	R/W
1	与 TRDGRA1 寄存器比较匹配时继续计数 ^{注3}	

CSEL0	TRD0 计数操作选择	R/W
0	与 TRDGRA0 寄存器比较匹配时停止计数	R/W
1	与 TRDGRA0 寄存器比较匹配时继续计数 ^{注3}	

TSTART1	TRD1 计数开始标志 ^{注4,5}	R/W
0	停止计数	R/W
1	开始计数	

TSTART0	TRD0 计数开始标志 ^{注6,7}	R/W
0	停止计数	R/W
1	开始计数	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 不要在 PWM3 模式下使用。
3. 在输入捕捉功能中设置为 1。
4. 当 CSEL1 位置 1 时, 向 TSTART1 位写入 0。
5. 当 CSEL1 位为 0, 产生一个比较匹配信号 (TRDIOA1), 此标志设置为 0 (停止计数)。
6. 当 CSEL0 位置 1 时, 向 TSTART0 位写入 0。
7. 当 CSEL0 位为 0, 产生一个比较匹配信号 (TRDIOA0), 此标志设置为 0 (停止计数)。

8.2.4 定时器 RD 模式寄存器(TRDMR)

图 8-5. 定时器 RD 模式寄存器的格式 (TRDMR)

地址: F0264H 复位后: 00H^{注1}

符号	<7>	<6>	<5>	<4>	3	2	1	<0>
TRDMR	TRDBFD1	TRDBFC1	TRDBFD0	TRDBFC0	0	0	0	TRDSYNC

TRDBFD1	TRDGRD1 寄存器功能选择 ^{注2}	R/W
0	通用寄存器	R/W
1	TRDGRB1 寄存器的缓冲寄存器	

TRDBFC1	TRDGRC1 寄存器功能选择 ^{注2}	R/W
0	通用寄存器	R/W
1	TRDGRA1 寄存器的缓冲寄存器	

TRDBFD0	TRDGRD0 寄存器功能选择 ^{注2}	R/W
0	通用寄存器	R/W
1	TRDGRB0 寄存器的缓冲寄存器	

TRDBFC0	TRDGRC0 寄存器功能选择 ^{注2,3}	R/W
0	通用寄存器	R/W
1	TRDGRA0 寄存器的缓冲寄存器	

位 3 至 1	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

TRDSYN C	定时器 RD 同步 ^{注4}	R/W
0	TRD0 和 TRD1 独立工作	R/W
1	TRD0 和 TRD1 同步工作	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 在输出比较功能中, 如果为 TRDIORCi (i = 0 或 1) 寄存器中的 IOj3 (j = C 或 D) 位选择 0 (TRDGRji 寄存器输出引脚被更改), 则将 TRDMR 寄存器中的 BFji 位设置为 0。
3. 互补 PWM 模式中设置为 0 (通用寄存器)。
4. 复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式中设置为 0 (TRD0 和 TRD1 独立工作)。

8.2.5 定时器 RD PWM 功能选择寄存器(TRDPMR)

图 8-6. 定时器 RD PWM 功能选择寄存器(TRDPMR)的格式 [定时器模式]

地址: F0265H 复位后: 00H[※]

符号	7	<6>	<5>	<4>	3	<2>	<1>	<0>
TRDPMR	0	TRDPWMD1	TRDPWMC1	TRDPWMB1	0	TRDPWMD0	TRDPWMC0	TRDPWMB0

位 7	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

TRDPWM D1	TRDIOD1 PWM 功能选择	R/W
0	输入捕捉功能或输出比较功能	R/W
1	PWM 功能	

TRDPWM C1	TRDIOC1 PWM 功能选择	R/W
0	输入捕捉功能或输出比较功能	R/W
1	PWM 功能	

TRDPWMB1	TRDIOB1 PWM 功能选择	R/W
0	输入捕捉功能或输出比较功能	R/W
1	PWM 功能	

位 3	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

TRDPWM D0	TRDIOD0 PWM 功能选择	R/W
0	输入捕捉功能或输出比较功能	R/W
1	PWM 功能	

TRDPWM C0	TRDIOC0 PWM 功能选择	R/W
0	输入捕捉功能或输出比较功能	R/W
1	PWM 功能	

TRDPWMB0	TRDIOB0 PWM 功能选择	R/W
0	输入捕捉功能或输出比较功能	R/W
1	PWM 功能	

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。
如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

8.2.6 定时器 RD 功能控制寄存器(TRDFCR)

图 8-7. 定时器 RD 功能控制寄存器(TRDFCR)的格式

地址: F0266H 复位后: 80H^{※1}

符号	7	6	5	4	3	2	1	0
TRDFCR	PWM3	STCLK	0	0	OLS1	OLS0	CMD1	CMD0

PWM3	PWM3 模式选择 ^{※2}	R/W
• 定时器模式下设置为 1 (PWM3 模式以外)。 • PWM3 模式下, 设置为 0(PWM3 模式)。 • 复位同步模式和互补 PWM 模式中无效		R/W

STCLK	外部时钟输入选择	R/W
• 定时器模式、复位同步 PWM 模式和互补 PWM 模式下 0: 外部时钟输入无效 1: 外部时钟输入有效 • PWM3 模式下, 设置为 0(外部时钟输入无效)。		R/W

位 5 至 4	保留	R/W
0	设置为 0。	R/W

OLS1	计数器相位输出电平选择 (复位同步 PWM 模式或互补 PWM 模式下)	R/W
• 复位同步 PWM 模式和互补 PWM 模式下 0: 高初始输出和低有效电平 1: 低初始输出和高有效电平 • 在定时器模式和 PWM3 模式下无效。		R/W

OLS0	相位输出电平选择 (复位同步 PWM 模式或互补 PWM 模式下)	R/W
• 复位同步 PWM 模式和互补 PWM 模式下 0: 高初始输出和低有效电平 1: 低初始输出和高有效电平 • 在定时器模式和 PWM3 模式下无效。		R/W

CMD1	CMD0	选择组合模式 ^{注 3,4}	R/W
• 定时器和 PWM3 模式下，设置为 00B (定时器模式或 PWM3 模式)。 • 复位同步 PWM 模式下设置为 01B (复位同步 PWM 模式)。 • 互补 PWM 模式下， CMD1 CMD0 1 0: 互补 PWM 模式 (当 TRD1 发生下溢时，从缓冲寄存器传送至通用寄存器) 1 1: 互补 PWM 模式 (当 TRD0 和 TRDGRA0 寄存器比较匹配时，从缓冲寄存器传送至通用寄存器) 上述以外：不要设置。			R/W

- 注 1.** 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如果需要读取初始值，开始读取前设置 f_{CLK} 为 f_{IH} ，设置 TRD0EN = 1。
- 2.** 当 CMD1 和 CMD0 位设置为 00B (定时器模式或 PWM3 模式)时, PWM3 位的设置有效。
- 3.** 当 TRDSTR 寄存器的 TSTART0 和 TSTART1 位均被设置为 0 (停止计数)时，设置 CMD0 和 CMD1 位。
- 4.** 当 CMD1 和 CMD0 位设置为 01B、10B 或 11B，MCU 进入复位同步 PWM 模式或互补 PWM 模式，与 TRDPMR 寄存器的设置无关。

8.2.7 定时器 RD 输出主允许寄存器 1 (TRDOER1)

图 8-8. 定时器 RD 输出主允许寄存器 1 (TRDOER1)的格式
[输出比较功能、PWM 功能、复位同步 PWM 模式、
互补 PWM 模式和 PWM3 模式]

地址: F0267H 复位后: FFH^{注1}

符号	7	6	5	4	3	2	1	0
TRDOER1	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0

ED1	TRDIOD1 输出禁止 ^{注2}	R/W
0	输出允许	R/W
1	输出禁止 (TRDIOD1 引脚功能作为输入/输出端口)	

EC1	TRDIOC1 输出禁止 ^{注2}	R/W
0	输出允许	R/W
1	输出禁止 (TRDIOC1 引脚功能作为输入/输出端口)	

EB1	TRDIOB1 输出禁止 ^{注2}	R/W
0	输出允许	R/W
1	输出禁止 (TRDIOB1 引脚功能作为输入/输出端口)	

EA1	TRDIOA1 输出禁止 ^{注2,3}	R/W
0	输出允许	R/W
1	输出禁止 (TRDIOA1 引脚功能作为输入/输出端口)	

ED0	TRDIOD0 输出禁止 ^{注2}	R/W
0	输出允许	R/W
1	输出禁止 (TRDIOD0 引脚功能作为输入/输出端口)	

EC0	TRDIOC0 输出禁止 ^{注2}	R/W
0	输出允许	R/W
1	输出禁止 (TRDIOC0 引脚功能作为输入/输出端口)	

EB0	TRDIOB0 输出禁止	R/W
0	输出允许	R/W
1	输出禁止 (TRDIOB0 引脚功能作为输入/输出端口)	

EA0	TRDIOA0 输出禁止 ^{注3,4}	R/W
0	输出允许	R/W
1	输出禁止 (TRDIOA0 引脚功能作为输入/输出端口)	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 在 PWM3 模式下设置为 1。
3. 在 PWM 功能中设置为 1。
4. 复位同步模式和互补 PWM 模式中设置为 1。

8.2.8 定时器 RD 输出主允许寄存器 2 (TRDOER2)

图 8-9. 定时器 RD 输出主允许寄存器 2 (TRDOER2)的格式
[PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式]

地址: F0268H 复位后: 00H^{※1}

符号	<7>	6	5	4	3	2	1	<0>
TRDOER2	TRDPTO	0	0	0	0	0	0	TRDSHUTS

TRDPTO	脉冲输出强行截止信号输入 INTP0 有效 ^{※2}	R/W
0	脉冲输出强行截止输入有效	R/W
1	脉冲输出强行截止输入无效 (当将低电平施加于 INTP0 引脚时, TRDSHUTS 位被设为 1。)	

位 6 至 1	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

TRDSHUTS	强行截止标志	R/W
0	不强行截止	R/W
1	强行截止	
当INTP0或ELC输入事件导致脉冲强行截止时, 该位被设置为1。该位不自动清除。要停止脉冲强行截止, 须在停止计数期间向该位写入0 (TSTARTi = 0)。当在允许模式下将1写入TRDSHUTS位时, 脉冲也会被强行截止。		

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 参阅 8.3.1 (4) 脉冲输出强行截止。

8.2.9 定时器 RD 输出控制寄存器(TRDOCR)

当 TRDSTR 寄存器的 TSTART0 和 TSTART1 位均被设置为 0 (停止计数)时, 写入 TRDOCR 寄存器。

图 8-10.定时器 RD 输出控制寄存器(TRDOCR)的格式 [输出比较功能]

地址: F0269H 复位后: 00H^{注1}

符号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1 初始输出电平选择 ^{注2}	R/W
0	低初始输出	R/W
1	高初始输出	

TOC1	TRDIOC1 初始输出电平选择 ^{注2}	R/W
0	低初始输出	R/W
1	高初始输出	

TOB1	TRDIOB1 初始输出电平选择 ^{注2}	R/W
0	低初始输出	R/W
1	高初始输出	

TOA1	TRDIOA1 初始输出电平选择	R/W
0	低初始输出	R/W
1	高初始输出	

TOD0	TRDIOD0 初始输出电平选择 ^{注2}	R/W
0	低初始输出	R/W
1	高初始输出	

TOC0	TRDIOC0 初始输出电平选择 ^{注2}	R/W
0	低初始输出	R/W
1	高初始输出	

TOB0	TRDIOB0 初始输出电平选择 ^{注2}	R/W
0	低初始输出	R/W
1	高初始输出	

TOA0	TRDIOA0 初始输出电平选择	R/W
0	低初始输出	R/W
1	高初始输出	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 如果引脚功能设置为波形输出, 则当 TRDOCR 寄存器被设置时, 将输出初始输出电平。

图 8-11. 定时器 RD 输出控制寄存器(TRDOCR)的格式[PWM 功能]

地址: F0269H 复位后: 00H^{注1}

符号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1 初始输出电平选择 ^{注2}	R/W
0	初始输出不是有效电平	R/W
1	初始输出是有效电平	

TOC1	TRDIOC1 初始输出电平选择 ^{注2}	R/W
0	初始输出不是有效电平	R/W
1	初始输出是有效电平	

TOB1	TRDIOB1 初始输出电平选择 ^{注2}	R/W
0	初始输出不是有效电平	R/W
1	初始输出是有效电平	

TOA1	TRDIOA1 初始输出电平选择	R/W
设置为 0。		R/W

TOD0	TRDIOD0 初始输出电平选择 ^{注2}	R/W
0	初始输出不是有效电平	R/W
1	初始输出是有效电平	

TOC0	TRDIOC0 初始输出电平选择 ^{注2}	R/W
0	初始输出不是有效电平	R/W
1	初始输出是有效电平	
复位同步和互补 PWM 模式时有效。		

TOB0	TRDIOB0 初始输出电平选择 ^{注2}	R/W
0	初始输出不是有效电平	R/W
1	初始输出是有效电平	

TOA0	TRDIOA0 初始输出电平选择	R/W
设置为 0。		R/W

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 如果引脚功能设置为波形输出, 则当 TRDOCR 寄存器被设置时, 将输出初始输出电平。

图 8-12. 定时器 RD 输出控制寄存器(TRDOCR)的格式 [PWM3 模式]

地址: F0269H 复位后: 00H^{※1}

符号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1 初始输出电平选择	R/W
	PWM3 模式下无效。	R/W

TOC1	TRDIOC1 初始输出电平选择	R/W
	PWM3 模式下无效。	R/W

TOB1	TRDIOB1 初始输出电平选择	R/W
	PWM3 模式下无效。	R/W

TOA1	TRDIOA1 初始输出电平选择	R/W
	PWM3 模式下无效。	R/W

TOD0	TRDIOD0 初始输出电平选择	R/W
	PWM3 模式下无效。	R/W

TOC0	TRDIOC0 初始输出电平选择	R/W
	PWM3 模式下无效。	R/W

TOB0	TRDIOB0 初始输出电平选择 ^{※2}	R/W
0	低初始输出, 高有效电平, TRDGRB1 比较匹配时为高输出, TRDGRB0 比较匹配时为低输出	R/W
1	高初始输出, 低有效电平, TRDGRB1 比较匹配时为低输出, TRDGRB0 比较匹配时为高输出	

TOA0	TRDIOA0 初始输出电平选择	R/W
0	低初始输出, 高有效电平, TRDGRA1 比较匹配时为高输出, TRDGRA0 比较匹配时为低输出	R/W
1	高初始输出, 低有效电平, TRDGRA1 比较匹配时为低输出, TRDGRA0 比较匹配时为高输出	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 如果引脚功能设置为波形输出, 则当 TRDOCR 寄存器被设置时, 将输出初始输出电平。

8.2.10 定时器 RD 数字滤波器功能选择寄存器 i (TRDDFi) (i = 0 或 1)

图 8-13. 定时器 RD 数字滤波器功能选择寄存器 i (TRDDFi) (i = 0 或 1)的格式
[输入捕捉功能]地址: F026AH (TRDDF0), F026BH (TRDDF1) 复位后: 00H^{注1}

符号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	数字滤波器功能的时钟选择 ^{注2}	R/W
0	0	$f_{CLK}/32$ ^{注3}	R/W
0	1	$f_{CLK}/8$ ^{注3}	
1	0	f_{CLK} ^{注3}	
1	1	计数源 (通过 TRDCRI 寄存器的 TCK0 至 TCK2 位选择的时钟)	

PENB1	PENB0	TRDIOB 引脚脉冲强制截止控制	R/W
0	0	设置为 00B。	R/W

DFD	TRDIOD 引脚数字滤波器功能选择	R/W
0	没有使用此功能	R/W
1	使用此功能	
如果允许数字滤波器，经过 5 个或更多数字滤波器采样时钟周期时，执行边沿检测。		

DFC	TRDIOC 引脚数字滤波器功能选择	R/W
0	没有使用此功能	R/W
1	使用此功能	
如果允许数字滤波器，经过 5 个或更多数字滤波器采样时钟周期时，执行边沿检测。		

DFB	TRDIOC 引脚数字滤波器功能选择	R/W
0	没有使用此功能	R/W
1	使用此功能	
如果允许数字滤波器，经过 5 个或更多数字滤波器采样时钟周期时，执行边沿检测。		

DFA	TRDIOA 引脚数字滤波器功能选择	R/W
0	没有使用此功能	R/W
1	使用此功能	
如果允许数字滤波器，经过 5 个或更多数字滤波器采样时钟周期时，执行边沿检测。		

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH} , 设置 TRD0EN = 1。
2. 开始计数操作前, 设置 DFCK0 和 DFCK1 位。
3. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 时, $f_{CLK}/32$ 、 $f_{CLK}/8$ 和 f_{CLK} 各自设置为 $f_{HOCO}/32$ 、 $f_{HOCO}/8$ 和 f_{HOCO} 。

图 8-14.定时器 RD 数字滤波器功能选择寄存器 i (TRDDFi) (i = 0 或 1)的格式
[PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式]

地址: F026AH (TRDDF0), F026BH (TRDDF1) 复位后: 00H[※]

符号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	TRDIOA 引脚脉冲强制截止控制	R/W
0	0	禁止强行截止	R/W
0	1	高阻抗输出	
1	0	低输出	
1	1	高输出	
如果在这些模式下, 未将对应引脚用作定时器 RD 输出端口, 则须将这些位设置为 00B (禁止强行截止)。另外, 停止计数时设置这些位。			

PENB1	PENB0	TRDIOB 引脚脉冲强制截止控制	R/W
0	0	禁止强行截止	R/W
0	1	高阻抗输出	
1	0	低输出	
1	1	高输出	
如果在这些模式下, 未将对应引脚用作定时器 RD 输出端口, 则须将这些位设置为 00B (禁止强行截止)。另外, 停止计数时设置这些位。			

DFD	DFC	TRDIOC 引脚脉冲强制截止控制	R/W
0	0	禁止强行截止	R/W
0	1	高阻抗输出	
1	0	低输出	
1	1	高输出	
如果在这些模式下, 未将对应引脚用作定时器 RD 输出端口, 则须将这些位设置为 00B (禁止强行截止)。另外, 停止计数时设置这些位。			

DFB	DFA	TRDIOD 引脚脉冲强制截止控制	R/W
0	0	禁止强行截止	R/W
0	1	高阻抗输出	
1	0	低输出	
1	1	高输出	
如果在这些模式下, 未将对应引脚用作定时器 RD 输出端口, 则须将这些位设置为 00B (禁止强行截止)。另外, 停止计数时设置这些位。			

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

8.2.11 定时器 RD 控制寄存器 i (TRDCRi) (i = 0 或 1)

在复位同步 PWM 模式或 PWM3 模式下不使用 TRDCR1 寄存器。

图 8-15. 定时器 RD 控制寄存器 i (TRDCRi) 的格式(i = 0 或 1)
[输入捕捉功能和输出比较功能]

地址: F0270H (TRDCR0), F0280H (TRDCR1) 复位后: 00H^{注1}

符号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRDi 计数器清除选择	R/W
0	0	0	禁止清除 (自由运行操作)	R/W
0	0	1	输入捕捉/与 TRDGRAi 比较匹配时清除	
0	1	0	输入捕捉/与 TRDGRBi 比较匹配时清除	
0	1	1	同步清除 (与其他定时器 RD _i 计数器同时清除) ^{注2}	
1	0	0	不要设置	
1	0	1	输入捕捉/与 TRDGRCi 比较匹配时清除	
1	1	0	输入捕捉/与 TRDGRDi 比较匹配时清除	
1	1	1	不要设置	

CKEG1	CKEG0	外部时钟沿选择 ^{注3}	R/W
0	0	在上升沿计数	R/W
0	1	在下降沿计数	
1	0	在两个沿计数	
1	1	不要设置	

TCK2	TCK1	TCK0	计数源选择	R/W
0	0	0	f _{CLK} 、f _{HOCO} ^{注4}	R/W
0	0	1	f _{CLK} /2 ^{注5}	
0	1	0	f _{CLK} /4 ^{注5}	
0	1	1	f _{CLK} /8 ^{注5}	
1	0	0	f _{CLK} /32 ^{注5}	
1	0	1	TRDCLK 输入 ^{注6}	
1	1	0	不要设置	
1	1	1	不要设置	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 当设置 TRDMR 寄存器中的 TRDSYNC 位为 1 (TRD0 和 TRD1 同步操作) 时被启用。
3. 当 TCK2 至 TCK0 位被设置为 101B (TRDCLK 输入) 且 STCLK 位设置为 1 (允许外部时钟输入) 时有效。
4. 当 FRQSEL4 = 0 时, 选择 f_{CLK}, 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 时, 则选择 f_{HOCO}。在将 f_{HOCO} 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 将 f_{CLK} 设置为 f_{IH}。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。
5. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 时, 不要进行设置。
6. 当 TRDFCR 寄存器中的 STCLK 位被设置为 1 (启用外部时钟输入) 时有效。

图 8-16. 定时器 RD 控制寄存器 i (TRDCRi) 的格式 (i = 0 或 1) [PWM 模式]

地址: F0270H (TRDCR0), F0280H (TRDCR1) 复位后: 00H^{注1}

符号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRDi 计数器清除选择	R/W
设为 001B (与 TRDGRAi 寄存器比较匹配时 TRDi 寄存器被清除)。				R/W

CKEG1	CKEG0	外部时钟沿选择 ^{注2}	R/W
0	0	在上升沿计数	R/W
0	1	在下降沿计数	
1	0	在两个沿计数	
1	1	不要设置	

TCK2	TCK1	TCK0	计数源选择	R/W
0	0	0	f _{CLK} 、f _{HOCO} ^{注3}	R/W
0	0	1	f _{CLK} /2 ^{注4}	
0	1	0	f _{CLK} /4 ^{注4}	
0	1	1	f _{CLK} /8 ^{注4}	
1	0	0	f _{CLK} /32 ^{注4}	
1	0	1	TRDCLK 输入 ^{注5}	
1	1	0	不要设置	
1	1	1	不要设置	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 当 TCK2 至 TCK0 位被设置为 101B (TRDCLK 输入) 且 STCLK 位设置为 1 (允许外部时钟输入) 时有效。
3. 当 FRQSEL4 = 0 时, 选择 f_{CLK}, 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 时, 则选择 f_{HOCO}。在将 f_{HOCO} 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 f_{CLK} 设置为 f_{IH}。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。
4. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 时, 不要进行设置。
5. 当 TRDFCR 寄存器中的 STCLK 位被设置为 1 (启用外部时钟输入) 时有效。

图 8-17. 定时器 RD 控制寄存器 0 (TRDCR0)的格式 [复位同步 PWM 模式]

地址: F0270H (TRDCR0) 复位后: 00H^{注1}

符号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRD0 计数器清除选择	R/W
设为 001B (与 TRDGRA0 寄存器比较匹配时 TRD0 寄存器被清除)。				R/W

CKEG1	CKEG0	外部时钟沿选择 ^{注2}	R/W
0	0	在上升沿计数	R/W
0	1	在下降沿计数	
1	0	在两个沿计数	
1	1	不要设置	

TCK2	TCK1	TCK0	计数源选择	R/W
0	0	0	f_{CLK} 、 f_{HOCO} ^{注3}	R/W
0	0	1	$f_{CLK}/2$ ^{注4}	
0	1	0	$f_{CLK}/4$ ^{注4}	
0	1	1	$f_{CLK}/8$ ^{注4}	
1	0	0	$f_{CLK}/32$ ^{注4}	
1	0	1	TRDCLK 输入 ^{注5}	
1	1	0	不要设置	
1	1	1	不要设置	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH} , 设置 TRD0EN = 1。
2. 当 TCK2 至 TCK0 位被设置为 101B (TRDCLK 输入) 且 STCLK 位设置为 1 (允许外部时钟输入) 时有效。
3. 当 FRQSEL4 = 0 时, 选择 f_{CLK} , 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 时, 则选择 f_{HOCO} 。在将 f_{HOCO} 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1)的位 4 (TRD0EN)之前, 要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1)的位 4 (TRD0EN)。
4. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 时, 不要进行设置。
5. 当 TRDFCR 寄存器中的 STCLK 位被设置为 1 (启用外部时钟输入) 时有效。

图 8-18. 定时器 RD 控制寄存器 0 (TRDCR0) 的格式 [互补 PWM 模式]

地址: F0270H (TRDCR0) 复位后: 00H^{注1}

符号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRD0 计数器清除选择	R/W
设为 000B (禁止清除(自由运行操作))。				R/W

CKEG1	CKEG0	外部时钟沿选择 ^{注2,3}	R/W
0	0	在上升沿计数	R/W
0	1	在下降沿计数	
1	0	在两个沿计数	
1	1	不要设置	

TCK2	TCK1	TCK0	计数源选择	R/W
0	0	0	f_{CLK} 、 f_{HOCO} ^{注4}	R/W
0	0	1	$f_{CLK}/2$ ^{注5}	
0	1	0	$f_{CLK}/4$ ^{注5}	
0	1	1	$f_{CLK}/8$ ^{注5}	
1	0	0	$f_{CLK}/32$ ^{注5}	
1	0	1	TRDCLK 输入 t ^{注6}	
1	1	0	不要设置	
1	1	1	不要设置	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH} , 设置 TRD0EN = 1。
2. 当 TCK2 至 TCK0 位被设置为 101B (TRDCLK 输入) 且 STCLK 位设置为 1 (允许外部时钟输入) 时有效。
3. 将同一值设置至 TRDCR0 和 TRDCR1 寄存器中的 TCK0 至 TCK2、CKEG0 和 CKEG1。
4. 当 FRQSEL4 = 0 时, 选择 f_{CLK} , 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 时, 则选择 f_{HOCO} 。在将 f_{HOCO} 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。
5. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 时, 不要进行设置。
6. 当 TRDFCR 寄存器中的 STCLK 位被设置为 1 (启用外部时钟输入) 时有效。

图 8-19. 定时器 RD 控制寄存器 0 (TRDCR0)的格式 [PWM3 模式]

地址: F0270H (TRDCR0) 复位后: 00H^{注1}

符号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRD0 计数器清除选择	R/W
设为 001B (与 TRDGRA0 寄存器比较匹配时 TRD0 寄存器被清除)。				R/W

CKEG1	CKEG0	外部时钟沿选择	R/W
PWM3 模式下无效。			R/W

TCK2	TCK1	TCK0	计数源选择	R/W
0	0	0	f_{CLK} 、 f_{HOCO} ^{注2}	R/W
0	0	1	$f_{CLK}/2$ ^{注3}	
0	1	0	$f_{CLK}/4$ ^{注3}	
0	1	1	$f_{CLK}/8$ ^{注3}	
1	0	0	$f_{CLK}/32$ ^{注3}	
1	0	1	不要设置	
1	1	0	不要设置	
1	1	1	不要设置	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH} , 设置 TRD0EN = 1。
2. 当 FRQSEL4 = 0 时, 选择 f_{CLK} , 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 时, 则选择 f_{HOCO} 。将 f_{HOCO} 选为计数源时, 要在开始定时器计数操作之前, 将 f_{IH} 选作 f_{CLK} 。
3. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 时, 不要进行设置。

8.2.12 定时器 RD 输入/输出控制寄存器 Ai (TRDIORAi) (i = 0 或 1)

图 8-20. 定时器 RD 输入/输出控制寄存器 Ai (TRDIORAi) (i = 0 或 1)的格式 [输入捕捉功能]

地址: F0271H (TRDIORA0), F0281H (TRDIORA1) 复位后: 00H^{注 1}

符号	7	6	5	4	3	2	1	0
TRDIORAi	—	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0

位 7	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

IOB2	TRDGRB 模式选择 ^{注 2}	R/W
输入捕捉功能中设置为 1(输入捕捉)。		R/W

IOB1	IOB0	TRDGRB 控制	R/W
0	0	在上升沿输入捕捉至 TRDGRBi	R/W
0	1	在下降沿输入捕捉至 TRDGRBi	
1	0	在上升沿和下降沿都将输入捕捉至 TRDGRBi	
1	1	不要设置	

位 3	保留	R/W
0	设置为 0。	R/W

IOA2	TRDGRA 模式选择 ^{注 3}	R/W
在输入捕捉功能中设置为 1 (输入捕捉)。		R/W

IOA1	IOA0	TRDGRA 控制	R/W
0	0	在上升沿输入捕捉至 TRDGRAi	R/W
0	1	在下降沿输入捕捉至 TRDGRAi	
1	0	在上升沿和下降沿都将输入捕捉至 TRDGRAi	
1	1	不要设置	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 如果为 TRDMR 寄存器中的 BFDi 位选择 1 (TRDGRBi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOB2 位和 TRDIORCi 寄存器中的 IOD2 位。
3. 如果为 TRDMR 寄存器中的 BFCi 位选择 1 (TRDGRAi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOA2 位和 TRDIORCi 寄存器中的 IOC2 位。

图 8-21. 定时器 RD 输入/输出控制寄存器 Ai (TRDIORAi) (i = 0 或 1)的格式 [输出比较功能]

地址: F0271H (TRDIOA0), F0281H (TRDIOA1) 复位后: 00H^{注1}

符号	7	6	5	4	3	2	1	0
TRDIOA _i	—	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0

位 7	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

IOB2	TRDGRB 模式选择 ^{注2}	R/W
输出比较功能中设置为 0(输出比较)。		R/W

IOB1	IOB0	TRDGRB 控制	R/W
0	0	禁止比较匹配引脚输出 (TRDIOB _i 引脚充当 I/O 端口)	R/W
0	1	与 TRDGRB _i 比较匹配则低输出	
1	0	与 TRDGRB _i 比较匹配则高输出	
1	1	与 TRDGRB _i 比较匹配则跳转输出	

位 3	保留	R/W
0	设置为 0	R/W

IOA2	TRDGRA 模式选择 ^{注3}	R/W
输出比较功能中设置为 0(输出比较)。		R/W

IOA1	IOA0	TRDGRA 控制	R/W
0	0	禁止比较匹配引脚输出 (TRDIOA _i 引脚充当 I/O 端口)	R/W
0	1	与 TRDGRA _i 比较匹配则低输出	
1	0	与 TRDGRA _i 比较匹配则高输出	
1	1	与 TRDGRA _i 比较匹配则跳转输出	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。
2. 如果为 TRDMR 寄存器中的 BFD_i 位选择 1 (TRDGRB_i 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIOA_i 寄存器中的 IOB2 位和 TRDIORC_i 寄存器中的 IOD2 位。
3. 如果为 TRDMR 寄存器中的 BFC_i 位选择 1 (TRDGRA_i 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIOA_i 寄存器中的 IOA2 位和 TRDIORC_i 寄存器中的 IOC2 位。

8.2.13 定时器 RD 输入/输出控制寄存器 Ci (TRDIORCi) (i = 0 或 1)

图 8-22. 定时器 RD 输入/输出控制寄存器 Ci (TRDIORCi)的格式 [输入捕捉功能]

地址: F0272H (TRDIORC0), F0282H (TRDIORC1) 复位后: 88H^{※1}

符号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0

IOD3	TRDGRD 寄存器功能选择	R/W
在输入捕捉功能中设置为 1 (通用寄存器或缓冲寄存器)		R/W

IOD2	TRDGRD 模式选择 ^{※2}	R/W
输入捕捉功能中设置为 1 (输入捕捉)。		R/W

IOD1	IOD0	TRDGRD 控制	R/W
0	0	在上升沿输入捕捉至 TRDGRDi	R/W
0	1	在下降沿输入捕捉至 TRDGRDi	
1	0	在上升沿和下降沿都将输入捕捉至 TRDGRDi	
1	1	不要设置	

IOC3	TRDGRC 寄存器功能选择	R/W
输入捕捉功能中设置为 1 (通用寄存器或缓冲寄存器)。		R/W

IOC2	TRDGRC 模式选择 ^{※3}	R/W
输入捕捉功能中设置为 1 (输入捕捉)。		R/W

IOC1	IOC0	TRDGRC 控制	R/W
0	0	在上升沿输入捕捉至 TRDGRCi	R/W
0	1	在下降沿输入捕捉至 TRDGRCi	
1	0	在上升沿和下降沿都将输入捕捉至 TRDGRCi	
1	1	不要设置	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 fCLK 为 fIH, 设置 TRD0EN = 1。
2. 如果为 TRDMR 寄存器中的 BFDi 位选择 1 (TRDGRBi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOB2 位和 TRDIORCi 寄存器中的 IOD2 位。
3. 如果为 TRDMR 寄存器中的 BFCi 位选择 1 (TRDGRAi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOA2 位和 TRDIORCi 寄存器中的 IOC2 位。

图 8-23. 定时器 RD 输入/输出控制寄存器 Ci (TRDIORCi) (i = 0 或 1)的格式 [输出比较功能]

地址: F0272H (TRDIORC0), F0282H (TRDIORC1) 复位后: 88H^{注 1}

符号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0

IOD3	TRDGRD 寄存器功能选择	R/W
0	TRDIOB 输出寄存器 (参阅 8.3.3 (2) 更改 TRDGRCi (i = 0 或 1)和 TRDGRDi 寄存器的输出引脚)	R/W
1	通用寄存器或缓冲寄存器	

IOD2	TRDGRD 模式选择 ^{注 2}	R/W
输出比较功能中设置为 0(输出比较)。		R/W

IOD1	IOD0	TRDGRD 控制	R/W
0	0	禁止比较匹配引脚输出	R/W
0	1	与 TRDGRDi 比较匹配则低输出	
1	0	与 TRDGRDi 比较匹配则高输出	
1	1	与 TRDGRDi 比较匹配则跳转输出	

IOC3	TRDGRC 寄存器功能选择	R/W
0	TRDIOA 输出寄存器 (参阅 8.3.3 (2) 更改 TRDGRCi (i = 0 或 1)和 TRDGRDi 寄存器的输出引脚)	R/W
1	通用寄存器或缓冲寄存器	

IOC2	TRDGRC 模式选择 ^{注 3}	R/W
输出比较功能中设置为 0(输出比较)。		R/W

IOC1	IOC0	TRDGRC 控制	R/W
0	0	禁止比较匹配引脚输出	R/W
0	1	与 TRDGRCi 比较匹配则低输出	
1	0	与 TRDGRCi 比较匹配则高输出	
1	1	与 TRDGRCi 比较匹配则跳转输出	

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 fCLK 为 fIH, 设置 TRD0EN = 1。
2. 如果为 TRDMR 寄存器中的 BFDi 位选择 1 (TRDGRBi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOB2 位和 TRDIORCi 寄存器中的 IOD2 位。
3. 如果为 TRDMR 寄存器中的 BFCi 位选择 1 (TRDGRAi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOA2 位和 TRDIORCi 寄存器中的 IOC2 位。

8.2.14 定时器 RD 状态寄存器 i (TRDSRi) (i = 0 或 1)

图 8-24. 定时器 RD 状态寄存器 i (TRDSRi) (i = 0 或 1)的格式 [输入捕捉功能]

地址: F0273H (TRDSR0), F0283H (TRDSR1) 复位后: 00H^{注 1}

符号	7	6	5	4	3	2	1	0
TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA

位 7 至 6	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

UDF	下溢标志 ^{注 2}	R/W
	输入捕捉功能中无效。	R/W

OVF	溢出标志 ^{注 3}	R/W
[置 0 的源] 读取后写入 0。 ^{注 4} [置 1 的源] 当 TRDi 寄存器发生溢出时		R/W

IMFD	输入捕捉/比较匹配标志 D ^{注 7}	R/W
[置 0 的源] 读取后写入 0。 ^{注 4} [置 1 的源] TRDIODi 引脚的输入边沿 ^{注 5}		R/W

IMFC	输入捕捉/比较匹配标志 C ^{注 7}	R/W
[置 0 的源] 读取后写入 0。 ^{注 4} [置 1 的源] TRDIOCi 引脚的输入边沿 ^{注 5}		R/W

IMFB	输入捕捉/比较匹配标志 B ^{注 7}	R/W
[置 0 的源] 读取后写入 0。 ^{注 4} [置 1 的源] TRDIOBi 引脚的输入边沿 ^{注 6}		R/W

IMFA	输入捕捉/比较匹配标志 A ^{注 7}	R/W
[置 0 的源] 读取后写入 0。 ^{注 4} [置 1 的源] TRDIOAi 引脚的输入边沿 ^{注 6}		R/W

(注如下页所示。)

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如果需要读取初始值，开始读取前设置 f_{CLK} 为 f_{IH}，设置 TRD0EN = 1。
2. 不分配值到 TRDSR0 寄存器的位 5。位 5 的写入值必须为 0。读取值为 0。
3. 当定时器 RDi 的计数器值从 FFFFH 变为 0000H 时，溢出标志被设置为 1。同时，如果根据 TRDCRi 寄存器中的 CCLR0 至 CCLR2 位的设置，定时器 RDi 计数器值因在操作过程中的输入捕捉/比较匹配而从 FFFFH 变为 0000H，则溢出标志被设置为 1。
4. 写入结果如下：
- 如果读取值为 1，将 0 写入该位将把其设置为 0。
 - 如果读取值为 0，即使将 0 写入该位，其也保持不变。（即使在读取后该位从 0 变为 1 然后写入 0，该位仍将保持 1。）
 - 写入 1 的操作无效。
5. 由 TRDIORCi 寄存器中的 IOk1 和 IOk0 位（k = C 或 D）选择的边沿。
包括当 TRDMR 寄存器的 BFki 位为 1 时（TRDGRki 为缓冲寄存器）。
6. 由 TRDIORAi 寄存器中的 IOj1 和 IOj0 位（j = A 或 B）选择的边沿。
7. 当使用 DTC 时，IMFA、IMFB、IMFC 和 IMFD 位将在 DTC 传送完成后被设置为 1。

图 8-25. 定时器 RD 状态寄存器 i (TRDSRi) (i = 0 或 1)的格式
[输入捕捉功能以外的功能]

地址: F0273H (TRDSR0), F0283H (TRDSR1) 复位后: 00H^{注 1}

符号	7	6	5	4	3	2	1	0
TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA

位 7 至 6	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

UDF	下溢标志 ^{注 2}	R/W
互补 PWM 模式中 [置 0 的源] 读取后写入 0。 ^{注 3} [置 1 的源] 当 TRDi 发生下溢时。 仅在互补 PWM 模式下有效。		R/W

OVF	溢出标志 ^{注 4}	R/W
[置 0 的源] 读取后写入 0。 ^{注 3} [置 1 的源] 当 TRDi 寄存器发生溢出时。		R/W

IMFD	输入捕捉/比较匹配标志 D ^{注 6}	R/W
[置 0 的源] 读取后写入 0。 ^{注 3} [置 1 的源] 当 TRDi 和 TRDGRDi 的值匹配时。 ^{注 5}		R/W

IMFC	输入捕捉/比较匹配标志 C ^{注 6}	R/W
[置 0 的源] 读取后写入 0。 ^{注 3} [置 1 的源] 当 TRDi 和 TRDGRCi 的值匹配时。 ^{注 5}		R/W

IMFB	输入捕捉/比较匹配标志 B ^{注 6}	R/W
[置 0 的源] 读取后写入 0。 ^{注 3} [置 1 的源] 当 TRDi 和 TRDGRBi 的值匹配时。		R/W

IMFA	输入捕捉/比较匹配标志 A ^{注 6}	R/W
[置 0 的源] 读取后写入 0。 ^{注 3} [置 1 的源] 当 TRDi 和 TRDGRAi 的值匹配时。		R/W

(注如下页所示。)

- 注 1. 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如果需要读取初始值，开始读取前设置 f_{CLK} 为 f_{IH}，设置 TRD0EN = 1。
2. 不分配值到 TRDSR0 寄存器的位 5。位 5 的写入值必须为 0。读取值为 0。
3. 写入结果如下：
- 如果读取值为 1，将 0 写入该位将其设置为 0。
 - 如果读取值为 0，即使将 0 写入该位，其也保持不变。（即使在读取后该位从 0 变为 1 然后写入 0，该位仍将保持 1。）
 - 写入 1 的操作无效。
4. 当定时器 RDi 的计数器值从 FFFFH 变为 0000H 时，溢出标志被设置为 1。同时，如果根据 TRDCRi 寄存器中的 CCLR0 至 CCLR2 位的设置，定时器 RDi 计数器值因在操作过程中的输入捕捉/比较匹配而从 FFFFH 变为 0000H，则溢出标志被设置为 1。
5. 包括当 TRDMR 寄存器的 BFKi 位（k = C 或 D）被设置为 1 时（TRDGRKi 为缓冲寄存器）。
6. 当使用 DTC 时，IMFA、IMFB、IMFC 和 IMFD 位将在 DTC 传送完成后被设置为 1。

8.2.15 定时器 RD 中断允许寄存器 i (TRDIERi) (i = 0 或 1)

图 8-26. 定时器 RD 中断允许寄存器 i (TRDIERi) (i = 0 或 1)的格式

地址: F0274H (TRDIER0), F0284H (TRDIER1) 复位后: 00H[※]

符号	7	6	5	4	3	2	1	0
TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA

位 7 至 5	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

OVIE	溢出/下溢中断允许	R/W
0	禁止通过 OVF 和 UDF 位的中断(OVI)	R/W
1	允许通过 OVF 和 UDF 位的中断(OVI)	

IMIED	输入捕捉/比较匹配中断允许 D	R/W
0	禁止通过 IMFD 位的中断 (IMID)	R/W
1	允许通过 IMFD 位的中断 (IMID)	

IMIEC	输入捕捉/比较匹配中断允许 C	R/W
0	禁止通过 IMFC 位的中断 (IMIC)	R/W
1	允许通过 IMFC 位的中断 (IMIC)	

IMIEB	输入捕捉/比较匹配中断允许 B	R/W
0	禁止通过 IMFB 位的中断 (IMIB)	R/W
1	允许通过 IMFB 位的中断 (IMIB)	

IMIEA	输入捕捉/比较匹配中断允许 A	R/W
0	禁止通过 IMFA 位的中断 (IMIA)	R/W
1	允许通过 IMFA 位的中断 (IMIA)	

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如果需要读取初始值，开始读取前设置 f_{CLK} 为 f_{IH}，设置 TRD0EN = 1。

8.2.16 定时器 RD PWM 功能输出电平控制寄存器 i (TRDPOCRi) (i = 0 或 1)

仅在 PWM 功能中才允许设置 TRDPOCRi 寄存器。当不在 PWM 功能中时禁止设置这些寄存器。

图 8-27. 定时器 RD PWM 功能输出电平控制寄存器 i (TRDPOCRi) (i= 0 或 1)的格式
[PWM 功能]

地址: F0275H (TRDPOCR0), F0285H (TRDPOCR1) 复位后: 00H[※]

符号	7	6	5	4	3	2	1	0
TRDPOCRi	—	—	—	—	—	POLD	POLC	POLB

位 7 至 3	没有任何配置	R/W
—	写入值必须为 0。读取值为 0。	R

POLD	PWM 功能输出电平控制 D	R/W
0	TRDIODi 输出电平为低有效	R/W
1	TRDIODi 输出电平为高有效	

POLC	PWM 功能输出电平控制 C	R/W
0	TRDIOCi 输出电平为低有效	R/W
1	TRDIOCi 输出电平为高有效	

POLB	PWM 功能输出电平控制 B	R/W
0	TRDIOBi 输出电平为低有效	R/W
1	TRDIOBi 输出电平为高有效	

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如果需要读取初始值，开始读取前设置 f_{CLK} 为 f_{IH}，设置 TRD0EN = 1。

8.2.17 定时器 RD 计数器 i (TRDi) (i = 0 或 1)

[定时器模式]

按 16 位单位存取 TRDi 寄存器。不要按 8 位单位存取该寄存器。

[复位同步 PWM 模式和 PWM3 模式]

按 16 位单位存取 TRD0 寄存器。不要按 8 位单位存取该寄存器。在复位同步 PWM 模式和 PWM3 模式下不使用 TRD1 寄存器。

[互补 PWM 模式 (TRD0)]

按 16 位单位存取 TRD0 寄存器。不要按 8 位单位存取该寄存器。

[互补 PWM 模式 (TRD1)]

按 16 位单位存取 TRD1 寄存器。不要按 8 位单位存取该寄存器。

图 8-28. 定时器 RD 计数区 i (TRDi) (i = 0 或 1)的格式 [定时器模式]

地址: F0276H (TRD0), F0286H (TRD1) 复位后: 0000H[※]

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	功能	设置范围	R/W
位 15 至 0	计数计数源。计数工作递增。 当发生溢出时, TRDSRi 寄存器的 OVF 位会置为 1。	0000H 至 FFFFH	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

图 8-29. 定时器 RD 计数器 i (TRDi) (i = 0 或 1)的格式 [复位同步 PWM 模式和 PWM3 模式]

地址: F0276H (TRD0), F0286H (TRD1) 复位后: 0000H[※]

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	功能	设置范围	R/W
位 15 至 0	计数计数源。计数工作递增。 当发生溢出时, TRDSR0 寄存器的 OVF 位会置为 1。	0000H 至 FFFFH	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

图 8-30. 定时器 RD 计数器 i (TRDi) (i = 0 或 1)的格式 [互补 PWM 模式 (TRD0)]

地址: F0276H (TRD0), F0286H (TRD1) 复位后: 0000H[※]

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	功能	设置范围	R/W
位 15 至 0	必须设置防止短路时间。 计数计数源。计数工作递增或递减。 当发生溢出时, TRDSR0 寄存器的 OVF 位会置为 1。	0001H 至 FFFFH	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

图 8-31. 定时器 RD 计数器 i (TRDi) (i = 0 或 1)的格式 [互补 PWM 模式 (TRD1)]

地址: F0276H (TRD0), F0286H (TRD1) 复位后: 0000H[※]

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	功能	设置范围	R/W
位 15 至 0	设置为 0000H。 计数计数源。计数工作递增或递减。 当发生溢出时, TRDSR1 寄存器的 UDF 位会置为 1。	0000H 至 FFFFH	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

8.2.18 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi) (i = 0 或 1)**[输入捕捉功能]**

按 16 位单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要按 8 位单位存取这些寄存器。

输入捕捉功能中以下的寄存器无效。

TRDOER1、TRDOER2、TRDOCR、TRDPOCR0 和 TRDPOCR1

当不使用数字滤波器时 (TRDDFi 寄存器中的 DFj 位为 0)，将施加于 TRDIOji 引脚的输入捕捉信号的脉冲宽度设为定时器 RD 操作时钟(f_{CLK})的三个或更多周期。

[输出比较功能]

按 16 位单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要按 8 位单位存取这些寄存器。

输出比较功能中以下的寄存器无效。

TRDDF0、TRDDF1、TRDPOCR0 和 TRDPOCR1

[PWM 功能]

按 16 位单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要按 8 位单位存取这些寄存器。

PWM 中以下的寄存器无效。

TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1 和 TRDIORC1

[复位同步 PWM 模式]

按 16 位单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要按 8 位单位存取这些寄存器。

复位同步 PWM 模式中以下的寄存器无效。

TRDPMR、TRDOCR[※]、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1 和 TRDPOCR1

注 在复位同步 PWM 模式和互补 PWM 模式下，TRDOCR 寄存器中的 TOC0 位被启用为 TRDIOC0 的初始输出设置。

[互补 PWM 模式]

按 16 位单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要按 8 位单位存取这些寄存器。

互补 PWM 模式下不使用 TRDGRC0 寄存器。

互补 PWM 模式中以下的寄存器无效。

TRDPMR、TRDOCR[※]、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、和 TRDPOCR1

注 在复位同步 PWM 模式和互补 PWM 模式下，TRDOCR 寄存器中的 TOC0 位被启用为 TRDIOC0 的初始输出设置。

由于在计数操作开始后无法将值直接写入 TRDGRB0、TRDGRA1 或 TRDGRB1 寄存器（禁止项目），因此将 TRDGRD0、TRDGRC1 或 TRDGRD1 寄存器用作缓冲寄存器。

然而，要将数据写入 TRDGRD0、TRDGRC1 或 TRDGRD1 寄存器，则须将 TRDBFD0、TRDBFC1 和 TRDBFD1 位设置为 0（通用寄存器）。之后，TRDBFD0、TRDBFC1 和 TRDBFD1 可以设置为 1（缓冲寄存器）。

[PWM3 模式]

按 16 位单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要按 8 位单位存取这些寄存器。

PWM3 模式中以下的寄存器无效。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1 和 TRDPOCR1

PWM3 模式下，不使用 TRDGRC0、TRDGRC1、TRDGRD0 和 TRDGRD1 寄存器。要将这些寄存器当作缓冲寄存器来使用时，设置 TRDBFC0、TRDBFC1、TRDBFD0 和 TRDBFD1 位为 0(通用寄存器)，向 TRDGRC0、TRDGRC1、TRDGRD0 或 TRDGRD1 寄存器写入一个值。之后，TRDBFC0、TRDBFC1、TRDBFD0 和 TRDBFD1 可能设置为 1(缓冲寄存器)。

**图 8-32. 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)
(i = 0 或 1)的格式 [输入捕捉功能]**

地址: F0278H (TRDGRA0), F027AH (TRDGRB0), 复位后: FFFFH^{*}

FFF58H (TRDGRC0), FFF5AH (TRDGRD0),

F0288H (TRDGRA1), F028AH (TRDGRB1),

FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TRDGRBi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TRDGRCi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TRDGRDi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	功能	R/W
至 15 至 0	参阅 表 8-3. 输入捕捉功能中的 TRDGRji 寄存器功能。	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如果需要读取初始值，开始读取前设置 f_{CLK} 为 f_{IH}，设置 TRD0EN = 1。

表 8-3. 输入捕捉功能中的 TRDGRji 寄存器功能

寄存器	设置	寄存器功能	输入-捕捉输入引脚
TRDGRAi	—	通用寄存器。TRDi 寄存器的值可以在输入捕捉时读取。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi = 0	通用寄存器。TRDi 寄存器的值可以在输入捕捉时读取。	TRDIOCi
TRDGRDi	BFDi = 0		TRDIODi
TRDGRCi	BFCi = 1	缓冲寄存器。TRDi 寄存器的值可以在输入捕捉时读取 (参阅 8.3.1 (2) 缓冲操作)。	TRDIOAi
TRDGRDi	BFDi = 1		TRDIOBi

备注 i = 0 或 1, j = A、B、C 或 D
BFCi、BFDi: TRDMR 寄存器的位

图 8-33. 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)
(i = 0 或 1) [输出比较功能]

地址: F0278H (TRDGRA0), F027AH (TRDGRB0), 复位后: FFFFH[※]

FFF58H (TRDGRC0), FFF5AH (TRDGRD0),

F0288H (TRDGRA1), F028AH (TRDGRB1),

FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TRDGRBi																
TRDGRCi																
TRDGRDi																

—	功能	R/W
至 15 至 0	参阅 表 8-4. 输出比较功能中的 TRDGRji 寄存器功能。	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

表 8-4. 输出比较功能中的 TRDGRji 寄存器

寄存器	设置		寄存器功能		输出-比较输出引脚
	BF <i>j</i>	IO <i>j</i>			
TRDGRA <i>i</i>	—	—	通用寄存器。写入比较值。		TRDIOA <i>i</i>
TRDGRB <i>i</i>					TRDIOB <i>i</i>
TRDGR <i>Ci</i>	0	1	通用寄存器。写入比较值。		TRDIO <i>Ci</i>
TRDGRD <i>i</i>					TRDIOD <i>i</i>
TRDGR <i>Ci</i>	1	1	缓冲寄存器。写入下一个比较值 (参阅 8.3.1 (2) 缓冲操作)。		TRDIOA <i>i</i>
TRDGRD <i>i</i>					TRDIOB <i>i</i>
TRDGR <i>Ci</i>	0	0	TRDIOA <i>i</i> 输出控制	(参阅 8.3.3 (2) 更改 TRDGR<i>Ci</i> (i = 0 或 1)和 TRDGRD<i>i</i> 寄存器的输出引脚。)	TRDIOA <i>i</i>
TRDGRD <i>i</i>			TRDIOB <i>i</i> 输出控制		TRDIOB <i>i</i>

注意事项 当 TRDCRi 寄存器中的 TCK2 至 TCK0 位为 000B (f_{CLK}, f_{HOCO}) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至数据传输控制器(DTC)和事件连接控制器(ELC)的请求信号。当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 i = 0 或 1, j = A、B、C 或 D

BFji: TRDMR 寄存器的位, IOj3: TRDIORCi 寄存器的位

图 8-34. 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)
(i = 0 或 1) [PWM 模式]

地址: F0278H (TRDGRA0), F027AH (TRDGRB0), 复位后: FFFFH[※]

FFF58H (TRDGRC0), FFF5AH (TRDGRD0),

F0288H (TRDGRA1), F028AH (TRDGRB1),

FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TRDGRBi																
TRDGRCi																
TRDGRDi																

—	功能	R/W
至 15 至 0	参阅表 8-5. PWM 功能中的 TRDGRji 寄存器功能。	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

表 8-5. PWM 功能中的 TRDGRji 寄存器功能

寄存器	设置	寄存器功能	PWM 输出引脚
TRDGRAi	—	通用寄存器。设置 PWM 周期。	—
TRDGRBi	—	通用寄存器。设置 PWM 输出的变更点。	TRDIOBi
TRDGRCi	BFCi = 0	通用寄存器。设置 PWM 输出的变更点。	TRDIOCi
TRDGRDi	BFDi = 0		TRDIODi
TRDGRCi	BFCi = 1	缓冲寄存器。设置下一个 PWM 周期 (参阅 8.3.1 (2) 缓冲操作)。	—
TRDGRDi	BFDi = 1	缓冲寄存器。设置下一个 PWM 输出的变更点 (参阅 8.3.1 (2) 缓冲操作)。	TRDIOBi

注意事项当 TRDCRi 寄存器中的 TCK2 至 TCK0 位为 000B (f_{CLK}, f_{HOCO}) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至数据传输控制器(DTC)和事件连接控制器(ELC)的请求信号。当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 i = 0 或 1, j = A、B、C 或 D
BFCi、BFDi: TRDMR 寄存器的位

图 8-35. 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)
(i = 0 或 1) [复位同步 PWM 模式]

地址: F0278H (TRDGRA0), F027AH (TRDGRB0), 复位后: FFFFH[※]

FFF58H (TRDGRC0), FFF5AH (TRDGRD0),

F0288H (TRDGRA1), F028AH (TRDGRB1),

FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TRDGRBi																
TRDGRCi																
TRDGRDi																

—	功能	R/W
至 15 至 0	参阅表 8-6. 复位同步 PWM 模式中的 TRDGRji 寄存器功能。	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_{IH}, 设置 TRD0EN = 1。

表 8-6. 复位同步 PWM 模式下的 TRDGRji 寄存器功能

寄存器	设置	寄存器功能	PWM 输出引脚
TRDGRA0	—	通用寄存器。设置 PWM 周期。	(每个 PWM 周期, TRDI0C0 输出翻转)
TRDGRB0	—	通用寄存器。设置 PWM1 输出的变更点。	TRDI0B0 TRDI0D0
TRDGRC0	TRDBFC0 = 0	(复位同步 PWM 模式下不使用。)	—
TRDGRD0	TRDBFD0 = 0		
TRDGRA1	—	通用寄存器。设置 PWM2 输出的变更点。	TRDI0A1 TRDI0C1
TRDGRB1	—	通用寄存器。设置 PWM3 输出的变更点。	TRDI0B1 TRDI0D1
TRDGRC1	TRDBFC1 = 0	(复位同步 PWM 模式下不使用。)	—
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	缓冲寄存器。设置下一个 PWM 周期 (参阅 8.3.1 (2) 缓冲操作)。	(每个 PWM 周期, TRDI0C0 输出翻转)
TRDGRD0	TRDBFD0 = 1	缓冲寄存器。设置下一个 PWM1 的变更点。 (参阅 8.3.1 (2) 缓冲操作)。	TRDI0B0 TRDI0D0
TRDGRC1	TRDBFC1 = 1	缓冲寄存器。设置下一个 PWM2 的变更点。 (参阅 8.3.1 (2) 缓冲操作)。	TRDI0A1 TRDI0C1
TRDGRD1	TRDBFD1 = 1	缓冲寄存器。设置下一个 PWM3 的变更点。 (参阅 8.3.1 (2) 缓冲操作)。	TRDI0B1 TRDI0D1

注意事项 当 TRDCR0 寄存器中的 TCK2 至 TCK0 位为 000B (f_{CLK}, f_{HOC0}) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至数据传输控制器(DTC)和事件连接控制器(ELC)的请求信号。当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 i = 0 或 1, j = A、B、C 或 D

TRDBFC0、TRDBFD0、TRDBFC1、TRDBFD1: TRDMR 寄存器的位

图 8-36. 定时器 RD 通用寄存器的 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)
(i = 0 或 1)的格式 [互补 PWM 模式]

地址: F0278H (TRDGRA0), F027AH (TRDGRB0), 复位后: FFFFH[※]
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TRDGRBi																
TRDGRCi																
TRDGRDi																

—	功能	R/W
至 15 至 0	参阅 表 8-7. 互补 PWM 模式下的 TRDGRji 寄存器功能。	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如
 果需要读取初始值，开始读取前设置 f_{CLK} 为 f_{ih}，设置 TRD0EN = 1。

表 8-7. 互补 PWM 模式下的 TRDGRji 寄存器的功能

寄存器	设置	寄存器功能	PWM 输出 引脚
TRDGRA0	—	通用寄存器。初始设置时设置 PWM 周期。 设置范围: $\geq$ TRD0 寄存器设置值 $\leq$ FFFFh - TRD0 寄存器的设置值 当 TRDSTR 寄存器的 TSTART0 和 TSTART1 位设置为 1 时, 不要向该寄存器写入 (开始计数)。	每半个周期, TRDIOC0 输出翻转)
TRDGRB0	—	通用寄存器。初始设置时设置 PWM1 输出的变更点。 设置范围: $\geq$ TRD0 寄存器设置值 $\leq$ TRDGRA0 寄存器- TRD0 寄存器的设置值 当 TRDSTR 寄存器的 TSTART0 和 TSTART1 位设置为 1 时, 不要向该寄存器写入 (开始计数)。	TRDIOB0 TRDIOD0
TRDGRA1	—	通用寄存器。初始设置时设置 PWM2 输出的变更点。 设置范围: $\geq$ TRD0 寄存器设置值 $\leq$ TRDGRA0 - TRD0 寄存器的设置值 当 TRDSTR 寄存器的 TSTART0 和 TSTART1 位设置为 1 时, 不要向该寄存器写入 (开始计数)。	TRDIOA1 TRDIOC1
TRDGRB1	—	通用寄存器。初始设置时设置 PWM3 输出的变更点。 设置范围: $\geq$ TRD0 寄存器设置值 $\leq$ TRDGRA0 寄存器- TRD0 寄存器的设置值 当 TRDSTR 寄存器的 TSTART0 和 TSTART1 位设置为 1 时, 不要向该寄存器写入 (开始计数)。	TRDIOB1 TRDIOD1
TRDGRC0	—	(互补 PWM 模式下不使用。)	—
TRDGRD0	TRDBFD0 = 1	缓冲寄存器。设置下一个 PWM1 输出的变更点 (参阅 8.3.1 (2) 缓冲操作)。 设置范围: $\geq$ TRD0 寄存器设置值 $\leq$ TRDGRA0 寄存器- TRD0 寄存器的设置值 设置为与 TRDGRB0 寄存器初始化时的同样值。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	缓冲寄存器。设置下一个 PWM2 输出的变更点 (参阅 8.3.1 (2) 缓冲操作)。 设置范围: $\geq$ TRD0 寄存器的设置值 $\leq$ TRDGRA0 寄存器- TRD0 寄存器的设置值 设置为 TRDGRA1 寄存器初始化时的同样值。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	缓冲寄存器。设置下一个 PWM3 输出的变更点 参阅 8.3.1 (2) 缓冲操作)。 设置范围: $\geq$ TRD0 寄存器的设置值 $\leq$ TRDGRA0 寄存器- TRD0 寄存器的设置值 设置为 TRDGRB1 寄存器初始化时的同样值。	TRDIOB1 TRDIOD1

注意事项 当 TRDCRi 寄存器中的 TCK2 至 TCK0 位为 000B (fCLK, fHOCO) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至数据传输控制器(DTC)和事件连接控制器(ELC)的请求信号。当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 i = 0 或 1, j = A、B、C 或 D
TRDBFD0、TRDBFC1、TRDBFD1: TRDMR 寄存器的位

图 8-37. 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)
(i = 0 或 1) [PWM3 模式]

地址: F0278H (TRDGRA0), F027AH (TRDGRB0), 复位后: FFFFH[※]
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TRDGRBi																
TRDGRCi																
TRDGRDi																

—	功能	R/W
至 15 至 0	参阅表 8-8. PWM3 模式中的 TRDGRji 寄存器功能。	R/W

注 当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如
 果需要读取初始值，开始读取前设置 f_{CLK} 为 f_{ih}，设置 TRD0EN = 1。

表 8-8 PWM3 模式中的 TRDGR*ji* 寄存器功能。

寄存器	设置	寄存器功能	PWM 输出 引脚
TRDGRA0	—	通用寄存器。设置 PWM 周期。 设置范围: $\geq$ TRDGRA1 寄存器的设置值。	TRDIOA0
TRDGRA1		通用寄存器。设置 PWM 输出的变更点 (有效电平时序) 设置范围: $\leq$ TRDGRA0 寄存器的设置值。	
TRDGRB0		通用寄存器。设置 PWM 输出的变更点 (返回初始输出电平的时序)。 设置范围: $\geq$ TRDGRB1 寄存器, $\leq$ TRDGRA0 寄存器的设置值。	TRDIOB0
TRDGRB1		通用寄存器。设置 PWM 输出的变更点 (有效电平时序) 设置范围: $\leq$ TRDGRB0 寄存器的设置值。	
TRDGRC0	TRDBFC0 = 0	(PWM3 模式下不使用。)	—
TRDGRC1	TRDBFC1 = 0		
TRDGRD0	TRDBFD0 = 0		
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	缓冲寄存器。设置下一个 PWM 周期 (参阅 8.3.1 (2) 缓冲操作)。 设置范围: $\geq$ TRDGRC1 寄存器的设置值	TRDIOA0
TRDGRC1	TRDBFC1 = 1	缓冲寄存器。设置下一个 PWM 输出的变更点 (参阅 8.3.1 (2) 缓冲操作)。 设置范围: $\leq$ TRDGRC0 寄存器的设置值	
TRDGRD0	TRDBFD0 = 1	缓冲寄存器。设置下一个 PWM 输出的变更点 (参阅 8.3.1 (2) 缓冲操作)。 设置范围: $\geq$ TRDGRD1 寄存器, $\leq$ TRDGRC0 寄存器的设置值	TRDIOB0
TRDGRD1	TRDBFD1 = 1	缓冲寄存器。设置下一个 PWM 输出的变更点 (参阅 8.3.1 (2) 缓冲操作)。 设置范围: $\leq$ TRDGRD0 寄存器的设置值	

注意事项 当 TRDCR0 寄存器中的 TCK2 至 TCK0 位为 000B (f_{CLK} , f_{HOCO}) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至数据传输控制器(DTC)和事件连接控制器(ELC)的请求信号。当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 $i = 0$ 或 1, $j = A、B、C$ 或 D
TRDBFC0、TRDBFD0、TRDBFC1、TRDBFD1: TRDMR 寄存器的位

8.2.19 端口模式寄存器 1 (PM1)

该寄存器按 1 位宽度设置端口 1 的输入/输出。

在将与定时器输出引脚共用的端口 (如 P10/TRDIOD1、P11/TRDIOC1 等) 用作定时器输出时, 将对应于各端口的端口模式寄存器(PMxx)位和端口寄存器(Pxx)位设为 0。

示例: 当将 P10/TRDIOD1 用作定时器输出时

将端口模式寄存器 1 的 PM10 位设为 0。

将端口寄存器 1 的 P10 位设为 0。

在将与定时器输入引脚共用的端口 (如 P10/TRDIOD1、P11/TRDIOC1 等) 用作定时器输入时, 将对应于各端口的端口模式寄存器(PMxx)位设为 1。此时, 端口寄存器(Pxx)位可以是 0 或 1。

示例: 当将 P10/TRDIOD1 用作定时器输入时

将端口模式寄存器 1 的 PM10 位设为 1。

将端口寄存器 1 的 P10 位设为 0 或 1。

PM1 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

产生复位信号时会将该寄存器设置为 FFH。

图 8-38. 端口模式寄存器 1 的格式 (100-针产品)

地址: FFF21H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PMmn	Pmn 引脚的输入/输出模式选择 (m = 1; n = 0 至 7)
0	输出模式 (输出缓冲器上电)
1	输入模式 (输出缓冲器掉电)

备注 上图展示的是 100 针产品的端口模式寄存器的格式。关于其他产品的端口模式寄存器的格式详情, 参阅表 4-22.或表 4-23. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位。

8.3 操作

8.3.1 多种模式共有的项目

(1) 计数源

所有模式下的计数源选择方法均相同。但是，在 PWM3 模式下不能选择外部时钟。

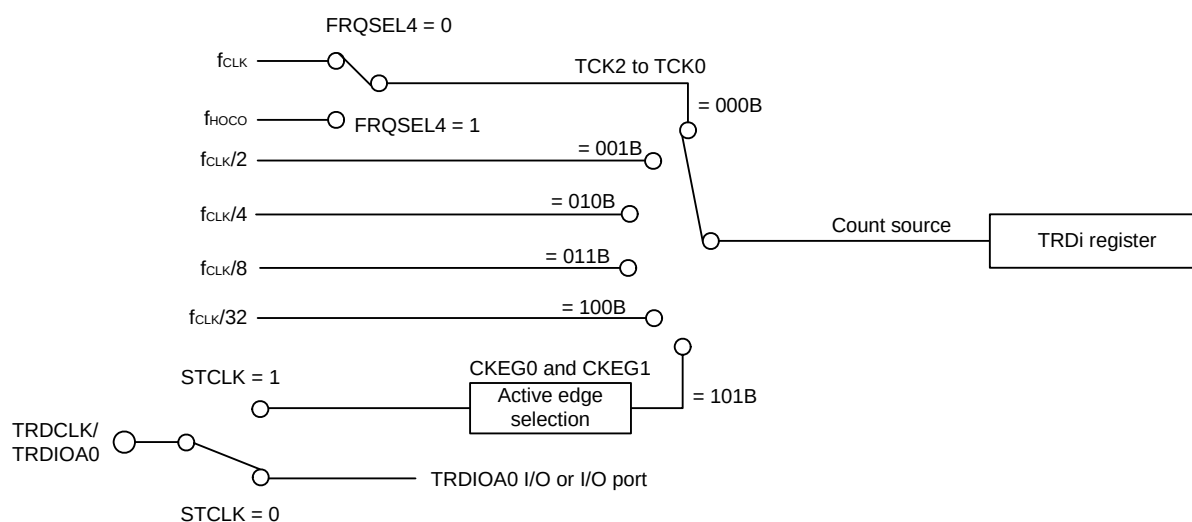
表 8-9. 计数源的选择

计数源	选择
f_{CLK} , f_{HOCO} ^注 , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$	通过 TRDCRi 寄存器的 TCK2 至 TCK0 位可选择计数源。
输入到 TRDCLK 引脚的外部信号	将 TRDFCR 寄存器的 STCLK 位设置为 1 (外部时钟输入有效)。 将 TRDCRi 寄存器的 TCK2 至 TCK0 位设置为 101B (计数源: 外部时钟)。 通过 TRDCRi 寄存器中的 CKEG1 和 CKEG0 位来选择有效边沿。 复用作 TRDCLK 引脚的 I/O 端口的端口模式寄存器位被设置为 1(输入模式)。

备注 i = 0 或 1

注 当 FRQSEL4 = 0 时，选择 f_{CLK} ，当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 时，则选择 f_{HOCO} 。在将 f_{HOCO} 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1)的位 4 (TRD0EN)之前，要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1)的位 4 (TRD0EN)。

图 8-39. 计数源框图



Remark
i = 0 or 1

TCK0 to TCK2, CKEG0, CKEG1: Bits in TRDCRi register
STCLK: Bit in TRDFCR register
FRQSEL4: Bit in user option byte (000C2H/010C2H)

设置施加到 TRDCLK 引脚的外部时钟的脉冲宽度为三个或三个以上定时器 RD 操作时钟(f_{CLK})周期。

(2) 缓冲操作

通过 TRDMR 寄存器中的 BFCi 和 BFDi 位, TRDGRCi 寄存器 (i = 0 或 1) 可用作 TRDGRAi 寄存器的缓冲寄存器, TRDGRDi 寄存器可用作 TRDGRBi 寄存器的缓冲寄存器。

- TRDGRAi 缓冲寄存器: TRDGRCi 寄存器
- TRDGRBi 缓冲寄存器: TRDGRDi 寄存器

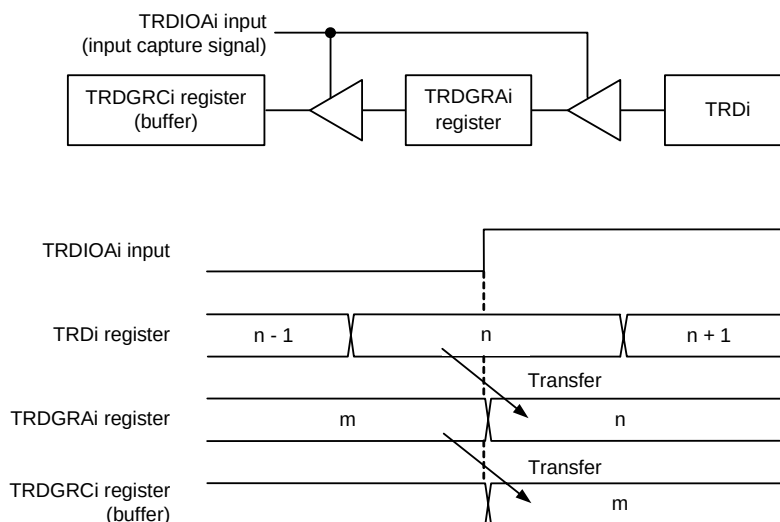
缓冲操作因模式而异。各种模式下的缓冲操作如表 8-10 所示。

表 8-10. 各种模式下的缓冲操作

功能和模式		传输时序	传输寄存器
定时器模式	输入捕捉功能	输入捕捉信号输入	向缓冲寄存器传输 TRDGRAi (TRDGRBi) 寄存器的内容
	输出比较功能	与 TRDi 寄存器和 TRDGRAi (TRDGRBi) 寄存器的比较匹配	向 TRDGRAi (TRDGRBi) 寄存器传输缓冲寄存器的内容
	PWM 功能		
复位同步 PWM 模式		与 TRD0 寄存器和 TRDGRA0 寄存器的比较匹配	向 TRDGRAi (TRDGRBi) 寄存器传输缓冲寄存器的内容
互补 PWM 模式		与 TRD0 寄存器和 TRDGRA0 寄存器的比较匹配 TRD1 寄存器下溢	向 TRDGRB0、TRDGRA1 和 TRDGRB1 寄存器传输缓冲寄存器的内容
PWM3 模式		与 TRD0 寄存器和 TRDGRA0 寄存器的比较匹配	向 TRDGRAi (TRDGRBi) 寄存器传输缓冲寄存器的内容

备注 i = 0 或 1

图 8-40. 输入捕捉功能的缓冲操作

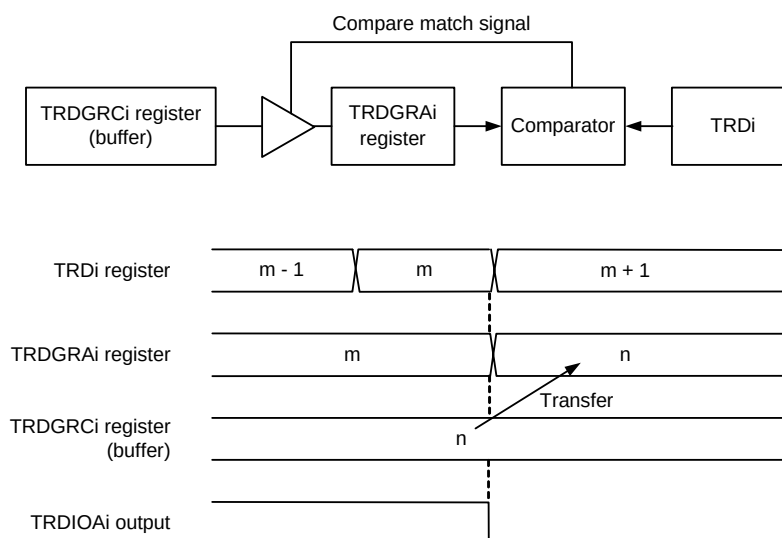


Remark
i = 0 or 1

The above diagram applies under the following conditions:

- The BFCi bit in the TRDMR register is set to 1 (TRDGRCi register is buffer register for TRDGRAi register).
- Bits IOA2 to IOA0 in the TRDIORAi register are set to 100B (input capture at the rising edge).

图 8-41. 输出比较功能的缓冲操作



Remark
i = 0 or 1

The above diagram applies under the following conditions:

- The BFCi bit in the TRDMR register is set to 1 (TRDGRCi register is buffer register for TRDGRAi register).
- Bits IOA2 to IOA0 in the TRDIORAi register are set to 001B (low output by compare match).

在定时器模式下执行以下各项（输入捕捉和输出比较功能）。

将 TRDGRCi (i = 0 或 1) 寄存器用作 TRDGRAi 寄存器的缓冲寄存器时

- 将 TRDIORCi 寄存器的 IOC3 位设置为 1 (通用寄存器或缓冲寄存器)。
- 将 TRDIORCi 寄存器的 IOC2 位设置为与 TRDIORAi 寄存器的 IOA2 位的相同值。

将 TRDGRDi 寄存器用作 TRDGRBi 寄存器的缓冲寄存器时

- 将 TRDIORCi 寄存器的 IOD3 位设置为 1 (通用寄存器或缓冲寄存器)。
- 将 TRDIORCi 寄存器的 IOD2 位设置为与 TRDIORAi 寄存器的 IOB2 位的相同值。

在输入捕捉功能下，当 TRDGRCi 寄存器或 TRDGRDi 寄存器用作缓冲寄存器时，TRDSRi 寄存器中的 IMFC 位或 IMFD 位在 TRDIORCi 引脚或 TRDIODi 引脚的输入边沿被设置为 1。

当同时将寄存器 TRDGRCi 和 TRDGRDi 用作输出比较功能、PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式的缓冲寄存器时，TRDSRi 寄存器中的 IMFC 和 IMFD 位在与 TRDi 寄存器比较匹配时被设置为 1。

(3) 同步操作

TRD1 寄存器与 TRD0 寄存器同步。

- 同步预设

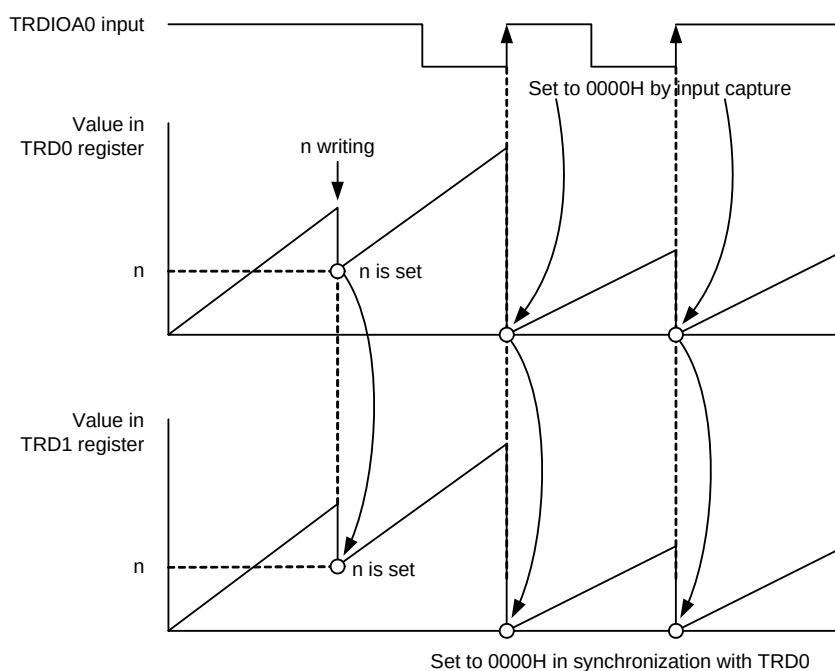
当 TRDMR 寄存器中的 TRDSYNC 位被设置为 1（同步操作）时，在写入 TRDi 寄存器之后，数据被写入 TRD0 和 TRD1 寄存器。

- 同步清除

当 TRDSYNC 位为 1 且 TRDCR0 寄存器中的 CCLR2 至 CCLR0 位为 011B 时（同步清除），TRD0 寄存器将在 TRD1 寄存器被设置为 0000H 的同时被设置为 0000H。

另外，当 TRDSYNC 位为 1 且 CCLR2 至 CCLR0 位为 011B 时（同步清除），TRD1 寄存器将在 TRD0 寄存器被设置为 0000H 的同时被设置为 0000H。

图 8-42. 同步操作



The above diagram applies under the following conditions:

- The TRDSYNC bit in the TRDMR register is set to 1 (synchronous operation).
- Bits CCLR2 to CCLR0 in the TRDCR0 register are set to 001B (TRD0 is set to 0000H by input capture).
- Bits CCLR2 to CCLR0 in the TRDCR1 register are set to 011B (TRD1 is set to 0000H in synchronization with TRD0).
- Bits IOA2 to IOA0 in the TRDIOA0 register are set to 100B.
- Bits CMD1 to CMD0 in the TRDFCR register are set to 00B. } (Input capture at the rising edge of TRDIOA0 input)
- The PWM 3 bit in the TRDFCR register is set to 1.

(4) 脉冲输出强行截止

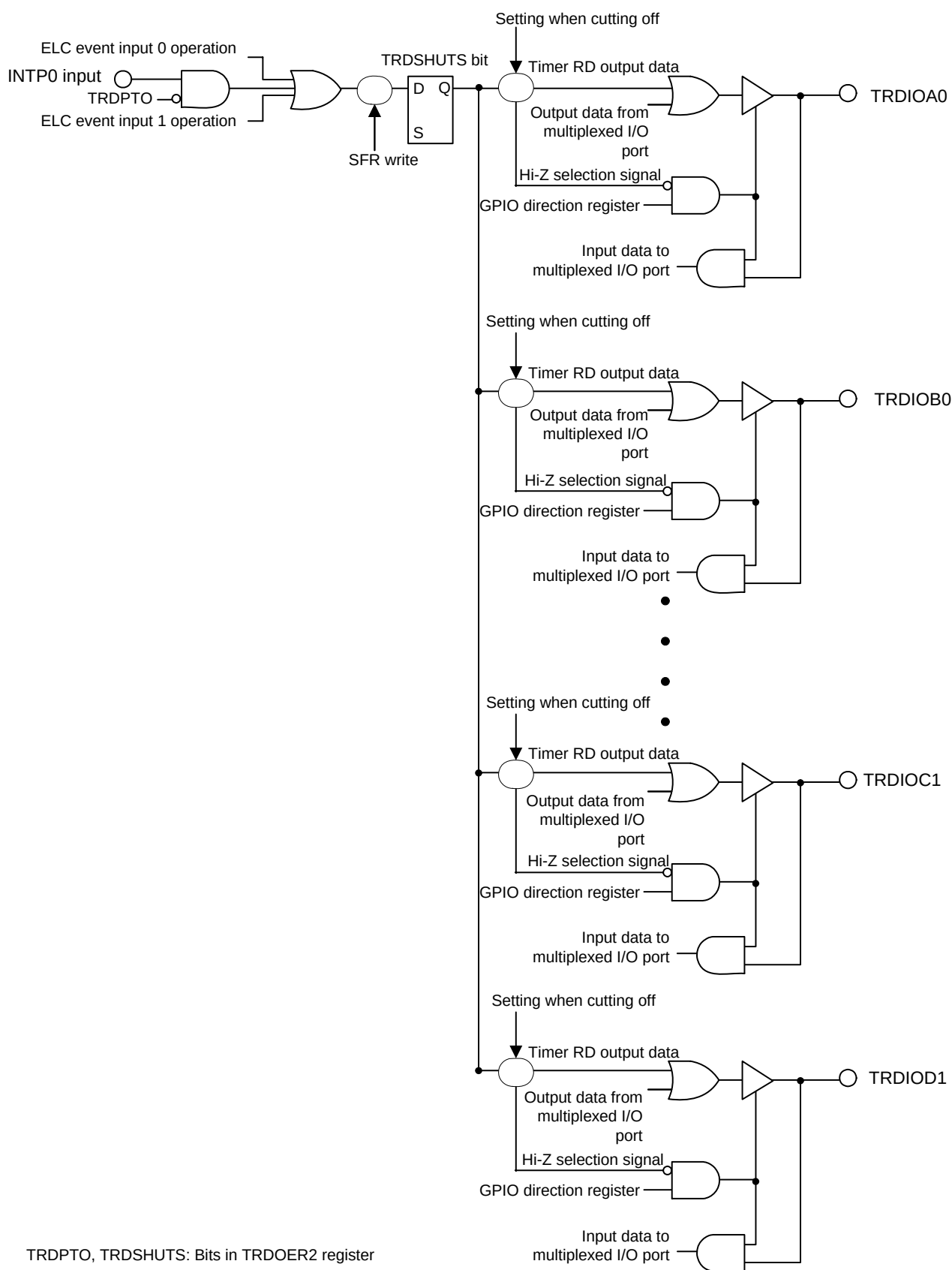
在 PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式下，TRDIO_{ji} 输出引脚（ $i = 0$ 或 1 ， $j = A、B、C$ 或 D ）可由 INTP0 引脚输入强制设置为 I/O 端口，并可截止脉冲输出。

当 TRDOER1 寄存器中的对应位被设置为 0（定时器 RD 输出被启用）时，在这些功能或模式下用于输出的引脚可以用作定时器 RD 的输出引脚。当 TRDOER2 寄存器的 TRDPTO 位为 1 时（脉冲输出强行截止信号输入 INTP0 有效），用作定时器 RD 输出端口的输出引脚将输出由 TRDDF0 或 TRDDF1 寄存器中的 DFCK1、DFCK0、PENB1、PENB0、DFD、DFC、DFB 或 DFA 位设置的输出值。

要使用该功能须进行以下设置：

- 当脉冲输出被强制截止（高阻抗、低输出或高输出）时，用 TRDDFi 设置引脚状态。
- 参阅 **8.3.1 (5) 来自事件连接控制器(ELC)的事件输入**，了解有关 ELC 事件输入脉冲强制截止的详情。
- 当脉冲输出被强制截止时，TRDOER2 寄存器中的 TRDSHUTS 位被设置为 1。要暂停脉冲输出的强行截止操作，须在停止计数期间向 TRDSHUTS 位写入 0 (TSTART_i = 0)。
- 将 TRDOER2 寄存器的 TRDPTO 位设置为 1 (脉冲输出强行截止信号输入 INTP0 有效)。

图 8-43. 脉冲输出强行截止



(5) 从事件链接控制(ELC)的事件输入

通过从 ELC 的事件输入，定时器 RD 有以下 2 种操作。

(a) 输入捕捉操作 D0/D1

定时器 RD 在 ELC 输入事件时执行输入捕捉操作 D0/D1。此时，TRDSRi 寄存器中的 IMFD 位被设置为 1。要使用该功能，在定时器模式下选择输入捕捉功能，并将 TRDELIC 寄存器中的 ELCICE0 或 ELCICE1 位设置为 1。在任何其他模式下，该功能均被禁止（定时器模式下的输出比较功能、PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式时）。

(b) 脉冲输出强行截止操作^注

由 ELC 的事件输入来强制截止脉冲输出。要使用该功能，须选择脉冲输出模式（PWM 功能、复位同步 PWM 模式、互补 PWM 模式或 PWM3 模式）并将 ELCOCBE0 或 ELCOCBE1 位设置为 1。对于定时器模式下的输入捕捉功能，该功能被禁止。

注 对于来自 INTP0 引脚的强制截止，脉冲输出在低输入期间被截止，但对于 ELC 事件的强制截止，来自 ELC 的单次事件输入会使脉冲输出截止一次。

[设置步骤]

- (1) 设置定时器 RD 作为 ELC 事件连接的目标。
- (2) 设置 TRDELIC 寄存器的 ELCICEi (i = 0 或 1) 和 ELCOCBEi (i = 0 或 1) 为 1。

(6) 向事件链接控制(ELC)/DTC 的事件输出

定时器 RD 模式和向 ELC/DTC 的事件输出如表 8-11 所示。

表 8-11. 定时器 RD 模式和向 ELC/DTC 的事件输出

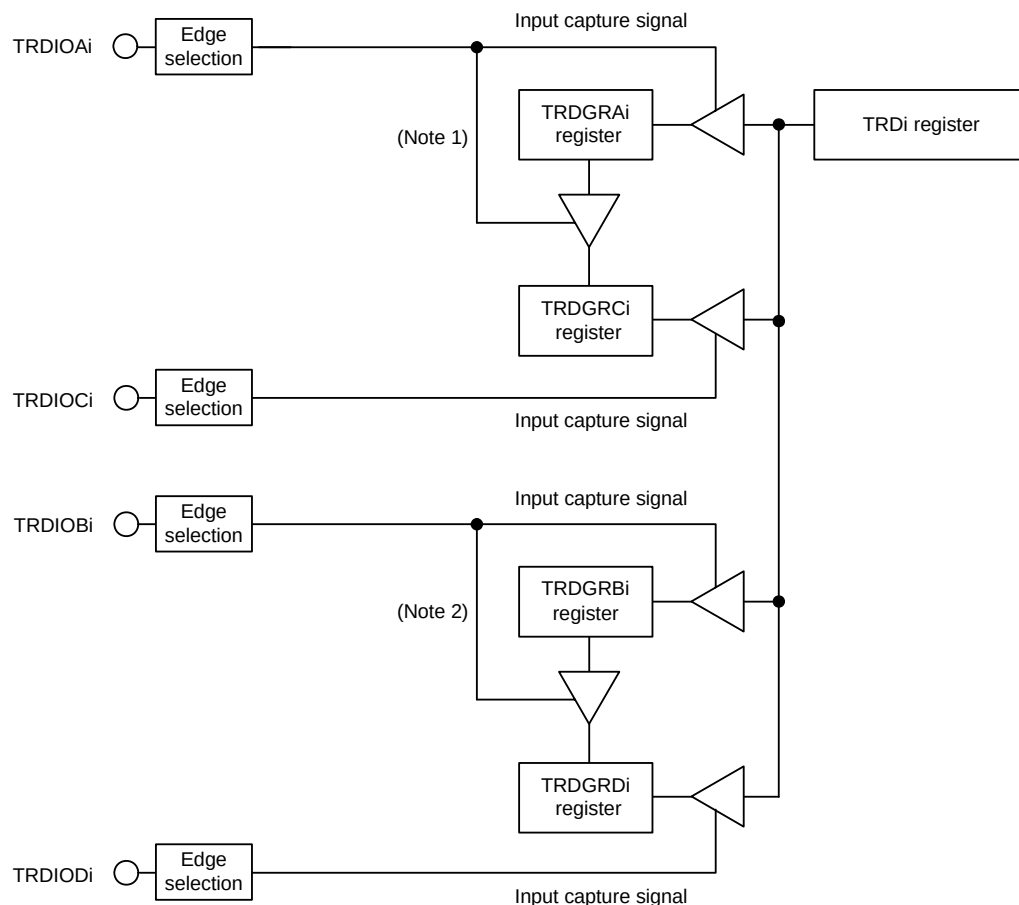
使用模式	输出源	ELC	DTC
输入捕捉功能	通过 TRDIOA0 寄存器的 IOA1 和 IOA0 位设置的 TRDIOA0 的边沿检测	可	可
	通过 TRDIOA0 寄存器的 IOB1 和 IOB0 位设置的 TRDIOB0 的边沿检测	可	可
	通过 TRDIORC0 寄存器的 IOC1 和 IOC0 位设置的 TRDIORC0 的边沿检测	可	可
	通过 TRDIORD0 寄存器的 IOD1 和 IOD0 位设置的 TRDIORD0 的边沿检测	可	可
	通过 TRDIOA1 寄存器的 IOA1 和 IOA0 位设置的 TRDIOA1 的边沿检测	可	可
	通过 TRDIOA1 寄存器的 IOB1 和 IOB0 位设置的 TRDIOB1 的边沿检测	可	可
	通过 TRDIORC1 寄存器的 IOC1 和 IOC0 位设置的 TRDIORC1 的边沿检测	可	可
	通过 TRDIORD1 寄存器的 IOD1 和 IOD0 位设置的 TRDIORD1 的边沿检测	可	可
输出比较功能、PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式	TRD0 寄存器与 TRDGRA0 寄存器的比较匹配	可	可
	TRD0 寄存器与 TRDGRB0 寄存器的比较匹配	可	可
	TRD0 寄存器与 TRDGRC0 寄存器的比较匹配	可	可
	TRD0 寄存器与 TRDGRD0 寄存器的比较匹配	可	可
	TRD1 寄存器与 TRDGRA1 寄存器的比较匹配	可	可
	TRD1 寄存器与 TRDGRB1 寄存器的比较匹配	可	可
	TRD1 寄存器与 TRDGRC1 寄存器的比较匹配	可	可
	TRD1 寄存器与 TRDGRD1 寄存器的比较匹配	可	可
互补 PWM 模式	TRD1 寄存器的下溢	可	-

8.3.2 输入捕捉功能

输入捕捉功能测量外部信号宽度和周期。以 TRDIOj_i 引脚 ($i = 0$ 或 1 , $j = A、B、C$ 或 D) 外部信号作为触发, 将 TRDi 寄存器 (计数器) 的内容传送到 TRDGRj_i 寄存器 (输入捕捉)。由于通过组合 TRDIOj_i 引脚和 TRDGRj_i 寄存器来使用该功能, 因此可为各个引脚选择输入捕捉功能或任何其他模式或功能。

图 8-44 显示输入捕捉功能的框图, 表 8-12 列出了输入捕捉功能的规格, 图 8-45 显示输入捕捉功能的操作示例。

图 8-44. 输入捕捉功能的框图



Remark
 $i = 0$ or 1

Notes:

1. When the BFCi bit in the TRDMR register is set to 1 (TRDGRCi register is buffer register for TRDGRAi register).
2. When the BFDi bit in the TRDMR register is set to 1 (TRDGRDi register is buffer register for TRDGRBi register).

表 8-12. 输入捕捉功能的规格

项目	规格
计数源	f_{HOCO} ^注 , f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$ 输入到 TRDCLK 引脚的外部信号 (通过程序选择有效沿)
计数操作	递增
计数周期	当 TRDCRi 寄存器的 CCLR2 至 CCLR0 位设置为 000B (自由运行操作)。 $1/f_k \times 65536 f_k$: 计数源的频率
计数开始条件	向 TRDSTR 寄存器的 TSTARTi 位写入 1 (开始计数)。
计数停止条件	当 TRDSTR 寄存器的 CSELi 位设置为 1 时, 向 TRDSTR 寄存器的 TSTARTi 位写入 0 (停止计数)。
中断请求发生时序	• 输入捕捉 (TRDIOji 输入的有效沿) • TRDi 寄存器溢出
TRDIOA0 引脚功能	I/O 端口、输入-捕捉输入或 TRDCLK (外部时钟)输入
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 至 TRDIOD1 引脚功能	I/O 端口或输入-捕捉输入 (每个引脚可分别选择)
INTP0 引脚功能	不使用 (I/O 端口或 INTP0 中断输入)
从定时器读取	通过读取 TRDi 寄存器可读取计数值。
写入到定时器	• 当 TRDMR 寄存器的 TRDSYNC 位为 0 (定时器 RD0 和定时器 RD1 分别操作)时。数据可写入 TRDi 寄存器。 • 当 TRDMR 寄存器的 TRDSYNC 位为 1 (定时器 RD0 和定时器 RD1 同步操作)时。通过写入 TRDi 寄存器, 数据可写入到 TRD0 和 TRD1 寄存器。
选择功能	• 输入-捕捉输入引脚选择 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚的任何一方或多方。 • 输入-捕捉输入的有效沿选择 上升沿、下降沿或上升下降沿双方 • 设置 TRDi 寄存器为 0000H 的时序。 溢出或输入捕捉 • 缓冲操作 (参阅 9.3.1. (2) 缓冲操作) • 同步操作 (参阅 8.3.1 (3) 同步操作) • 数字滤波器 TRGIOj 输入被采样, 当采样的输入电平匹配了三次时就被视为确定。 • 通过来自事件连接控制器 (ELC) 的事件输入信号 (输入捕捉) 的输入捕捉操作

注 仅当用户选项字节 (000C2H/010C2H) 的 FRQSEL4 = 1 时, 才选择 f_{HOCO} 。在将 f_{HOCO} 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

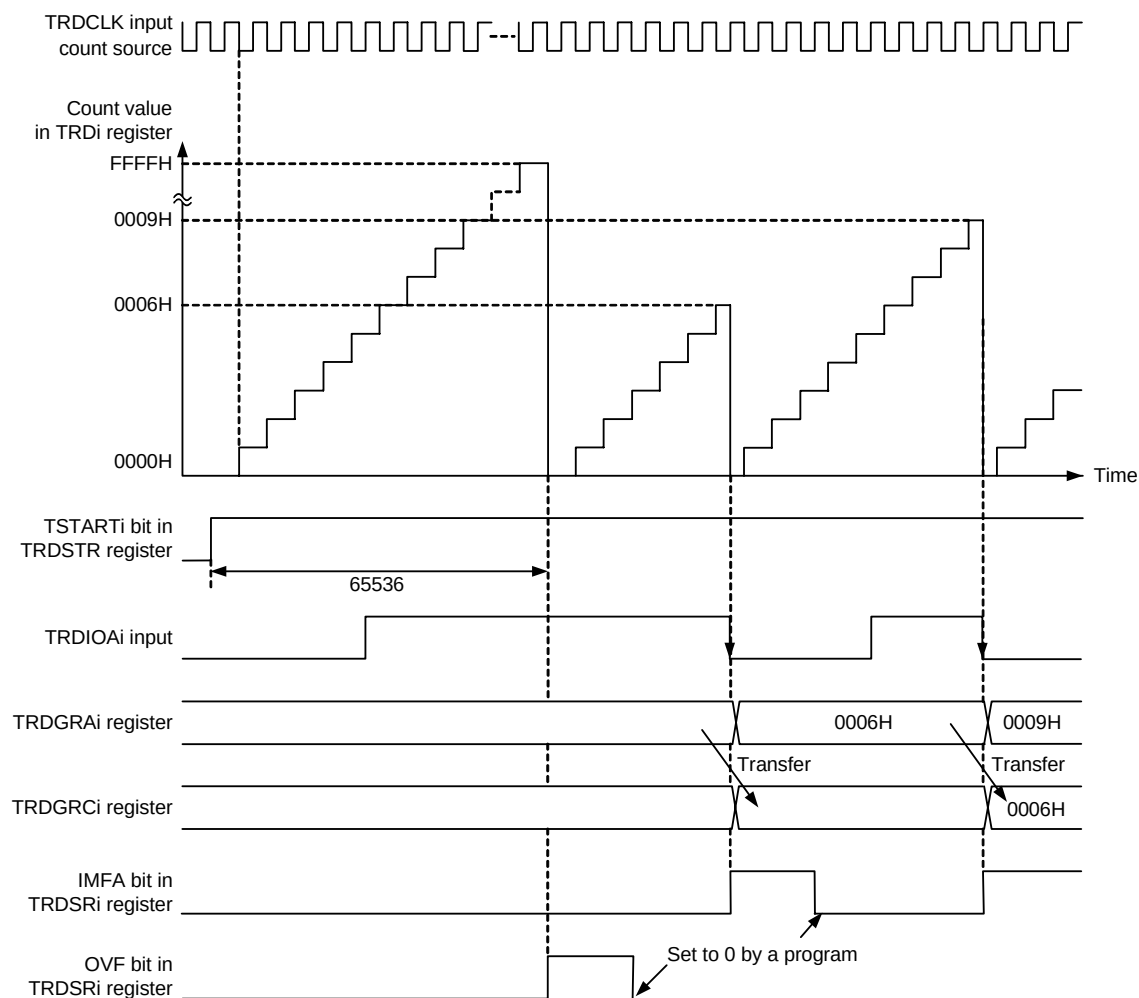
备注 i = 0 或 1, j = A、B、C 或 D

(1) 操作示例

通过设置 TRDCRi 寄存器中的 CCLR0 至 CCLR2 位 ($i = 0$ 或 1)，定时器 RD i 计数器值在输入捕捉/比较匹配时被复位。图 8-45 显示 CCLR2 至 CCLR0 位被设置为 001B 时的操作示例。

如果已将输入捕捉操作设置为在操作期间清除计数并在定时器计数值为 FFFFH 时执行，依据计数源与输入捕捉操作的时序，可以同时为 TRDSRi 寄存器中的 IMFA 至 IMFD 位和 OVF 位设置为 1。

图 8-45. 输入捕捉功能的操作示例



Remark
i = 0 or 1

The above diagram applies under the following conditions:

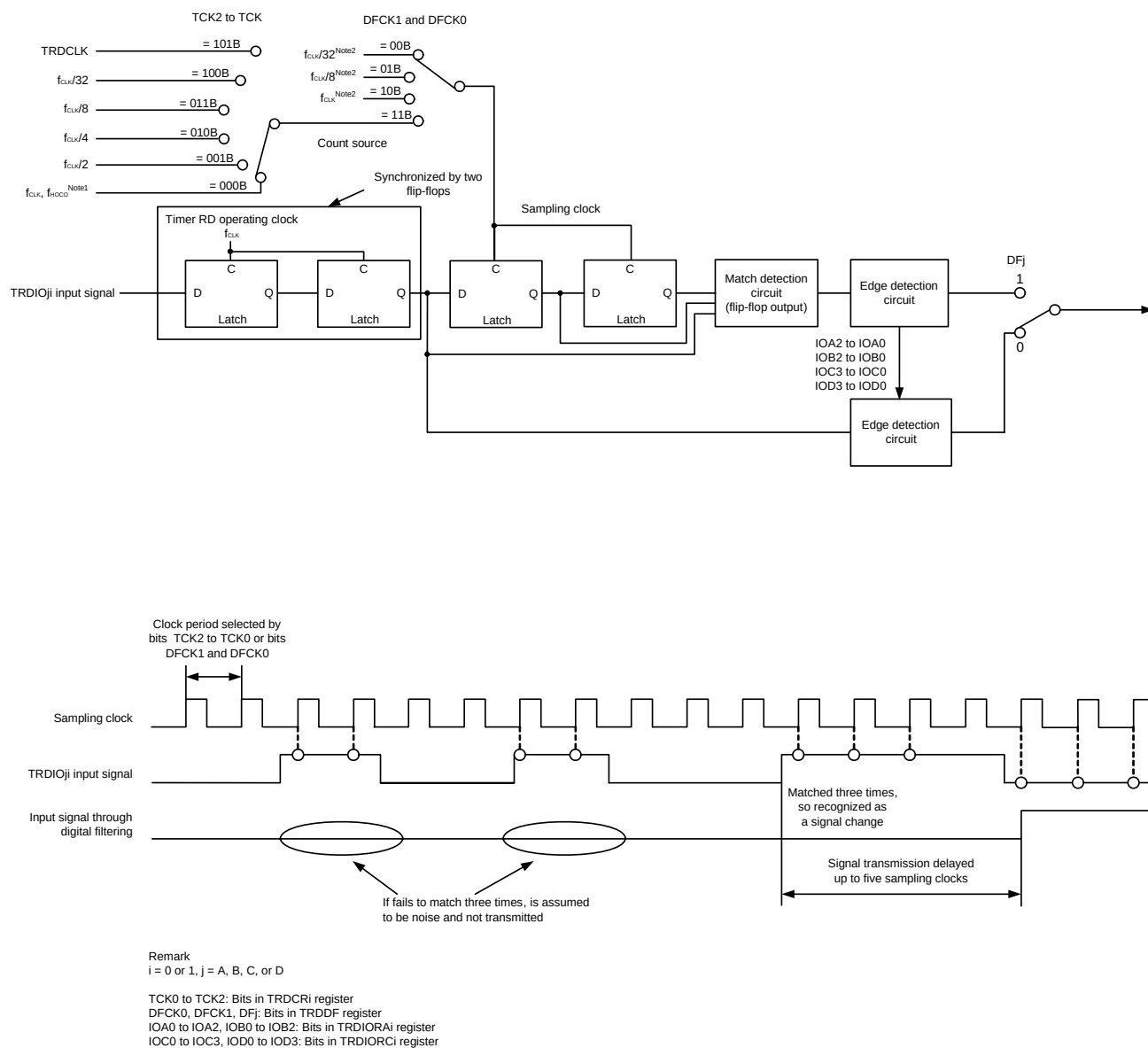
- Bits CCLR2 to CCLR0 in the TRDCRi register are set to 001B (TRDi register is set to 0000H by TRDGRAi register input capture).
- Bits TCK2 to TCK0 in the TRDCRi register are set to 101B (TRDCLK input for the count source).
- Bits CKEG1 and CKEG0 in the TRDCRi register are set to 01B (count at the falling edge for the count source).
- Bits IOA2 to IOA0 in the TRDIORAi register are set to 101B (input capture at the falling edge of TRDIOAi input).
- The BFCi bit in the TRDMR register is set to 1 (TRDGRci register is buffer register for TRDGRAi register).

(2) 数字滤波器

对于 TRDIO_{ji} 输入 ($i = 0$ 或 1 , $j = A、B、C$ 或 D) 进行采样, 当采样的输入电平匹配三次时就被视为电平确定。使用 TRDDF_i 寄存器来选择数字滤波器功能和采样时钟。

数字滤波器的框图如图 8-46 所示。

图 8-46. 数字滤波器的框图



- 注1.** 当 FRQSEL4 = 0 时, 选择 f_{CLK}, 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 时, 则选择 f_{HOCO}。
- 2.** 当用户选项字节(000C2H/010C2H)中的 FRQSEL4 = 1 时, f_{CLK}/32、f_{CLK}/8 和 f_{CLK} 分别被设置为 f_{HOCO}/32、f_{HOCO}/8 和 f_{HOCO}。

8.3.3 输出比较功能

该功能检测 TRDGR_ji 寄存器 (j = A、B、C 或 D) 的内容与 TRDi 寄存器 (计数器) (i = 0 或 1) 的内容的匹配情况 (比较匹配)。当内容匹配时, 将从 TRDIO_ji 引脚输出任意电平。由于通过组合 TRDIO_ji 引脚和 TRDGR_ji 寄存器来使用该功能, 因此可为各个引脚选择输出比较功能或任何其他模式或功能。

输出比较功能的框图如图 8-47 所示, 输出比较功能的规格如表 8-13 所示, 输出比较功能的操作示例如图 8-48 所示。

图 8-47. 输出比较功能的框图

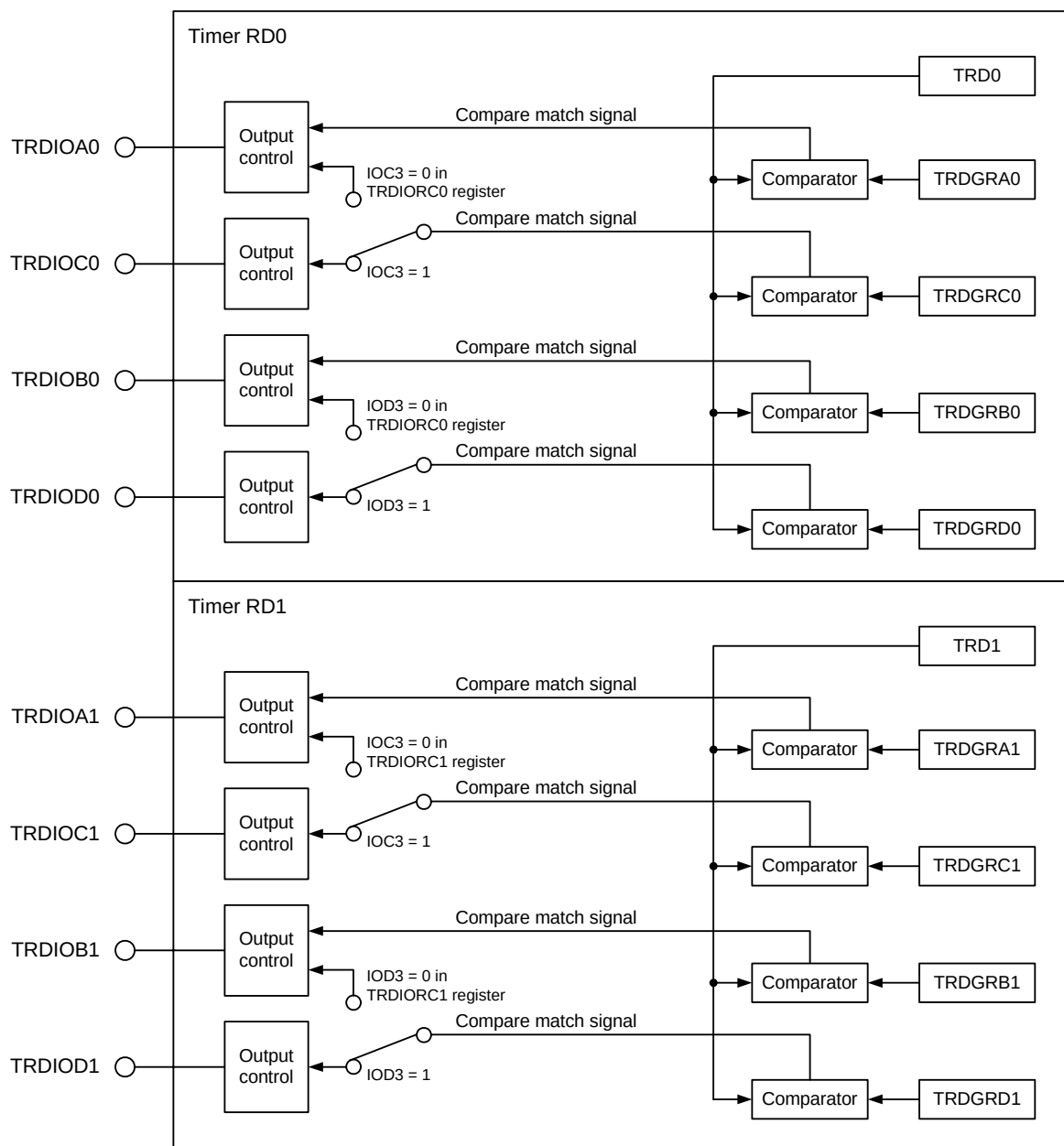


表 8-13. 输出比较功能的规格

项目	规格
计数源	$f_{HOCO}^{※}$, f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$ 输入到 TRDCLK 引脚的外部信号 (通过程序选择有效沿)
计数操作	递增
计数周期	- 当 TRDCRi 寄存器的 CCLR2 至 CCLR0 位设置为 000B (自由运行操作)。 $1/f_k \times 65536 f_k$: 计数源的频率 - 当 TRDCRi 寄存器的 CCLR1 和 CCLR0 i 设置为 01B 或 10B (因 TRDGRji 寄存器的比较匹配, 将 TRDi 寄存器设置为 0000H) 时, $1/f_k \times (n + 1)$ n: TRDGRji 寄存器的设置值
波形输出时序	比较匹配 (匹配 TRDi 和 TRDGRji 寄存器的内容)
计数开始条件	向 TRDSTR 寄存器的 TSTARTi 位写入 1 (开始计数)。
计数停止条件	- 当 TRDSTR 寄存器的 CSELi 位设置为 1 时, 向 TRDSTR 寄存器的 TSTARTi 位写入 0 (停止计数)。 输出比较输出引脚保持停止计数前的输出电平。 - 当 TRDSTR 寄存器中的 CSELi 位被设置为 0 时, 计数将在与 TRDGRAi 寄存器比较匹配时停止。 因比较匹配导致输出变化之后, 输出比较输出引脚保持电平。
中断请求发生时序	- 比较匹配 (匹配 TRDi 和 TRDGRji 寄存器的内容) - TRDi 寄存器溢出
TRDIOA0 引脚功能	I/O 端口、输出-比较输出或 TRDCLK (外部时钟) 输入
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 至 TRDIOD1 引脚功能	I/O 端口或输出-比较输出 (每个引脚可分别选择)
INTP0 引脚功能	I/O 端口或 INTP0 中断输入
从定时器读取	通过读取 TRDi 寄存器可读取计数值。
写入到定时器	- 当 TRDMR 寄存器的 TRDSYNC 位为 0 (定时器 RD0 和定时器 RD1 分别操作) 时。 数据可写入 TRDi 寄存器 - 当 TRDMR 寄存器的 TRDSYNC 位为 1 (定时器 RD0 和定时器 RD1 同步操作) 时。 通过写入 TRDi 寄存器, 数据可写入到 TRD0 和 TRD1 寄存器。
选择功能	TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚中的一个或多个。 - 比较匹配时选择输出电平 低输出、高输出或反相输出电平 - 初始输出电平选择 可为从开始计数到比较匹配为止的时间段设置电平。 - 将 TRDi 寄存器设置为 0000H 的时序 TRDGRAi 寄存器的溢出或比较匹配 - 缓冲器操作 (参阅 8.3.1 (2) 缓冲器操作) - 同步操作 (参阅 8.3.1 (3) 同步操作) - 更改 TRDGRCi 和 TRDGRDi 寄存器的输出引脚 TRDGRCi 寄存器可用作 TRDIOAi 引脚的输出控制, TRDGRDi 寄存器可用作 TRDIOBi 引脚的输出控制。 - 脉冲输出强行截止信号输入 (参阅 8.3.1 (4) 脉冲输出强行截止) - 因不输出, 定时器 RD 可作为内部定时器使用

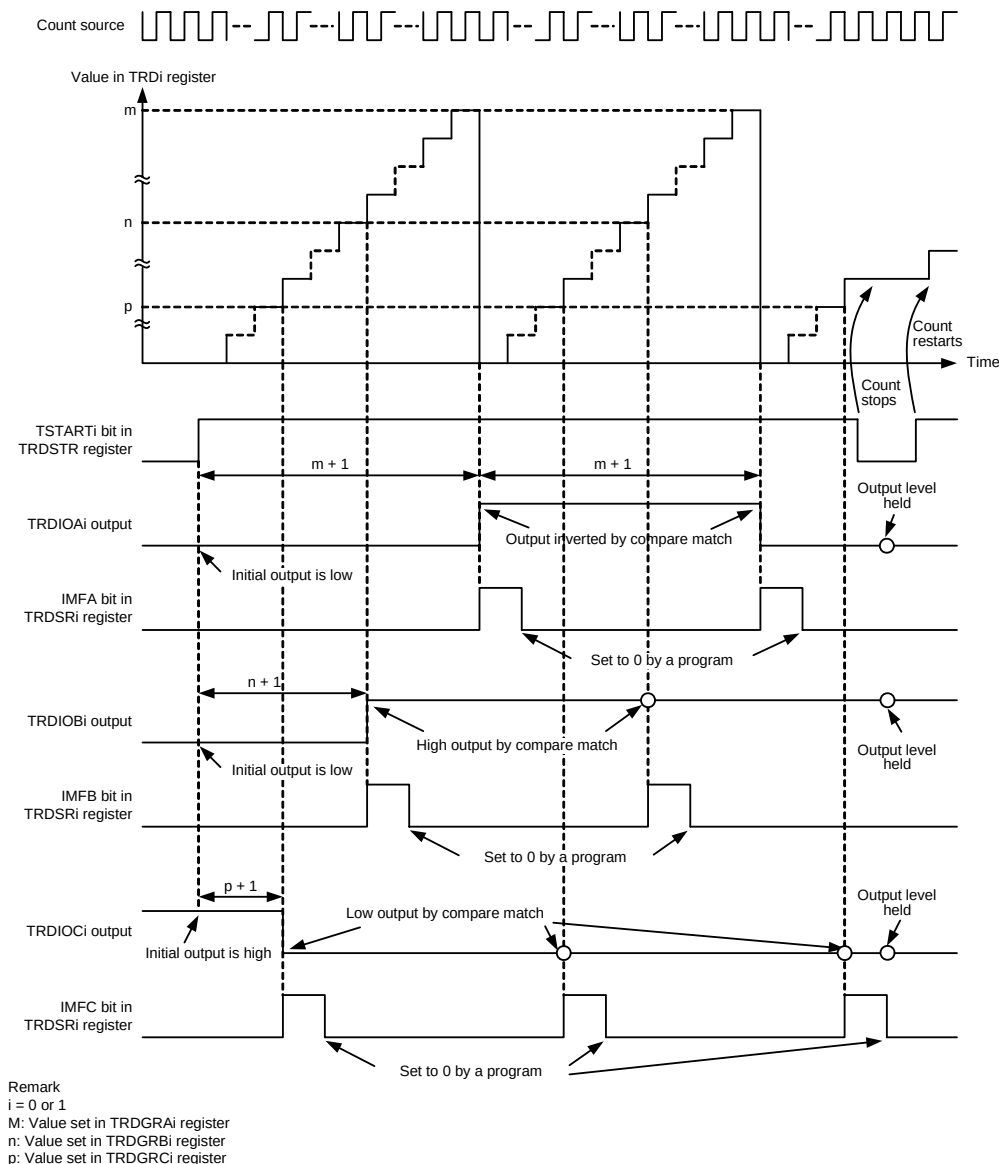
注 仅当用户选项字节 (000C2H/010C2H) 的 FRQSEL4 = 1 时, 才选择 f_{HOCO} 。在将 f_{HOCO} 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

备注 i = 0 或 1, j = A、B、C 或 D

(1) 操作示例

通过设置 TRDCRi 寄存器中的 CCLR0 至 CCLR2 位 ($i = 0$ 或 1)，定时器 RD i 计数器值在输入捕捉/比较匹配时被复位。如果此时的预期比较值为 FFFFH，FFFFH 将变为 0000H，与溢出操作相同，溢出标志被设置为 1。

图 8-48. 输出比较功能的操作示例



The above diagram applies under the following conditions:

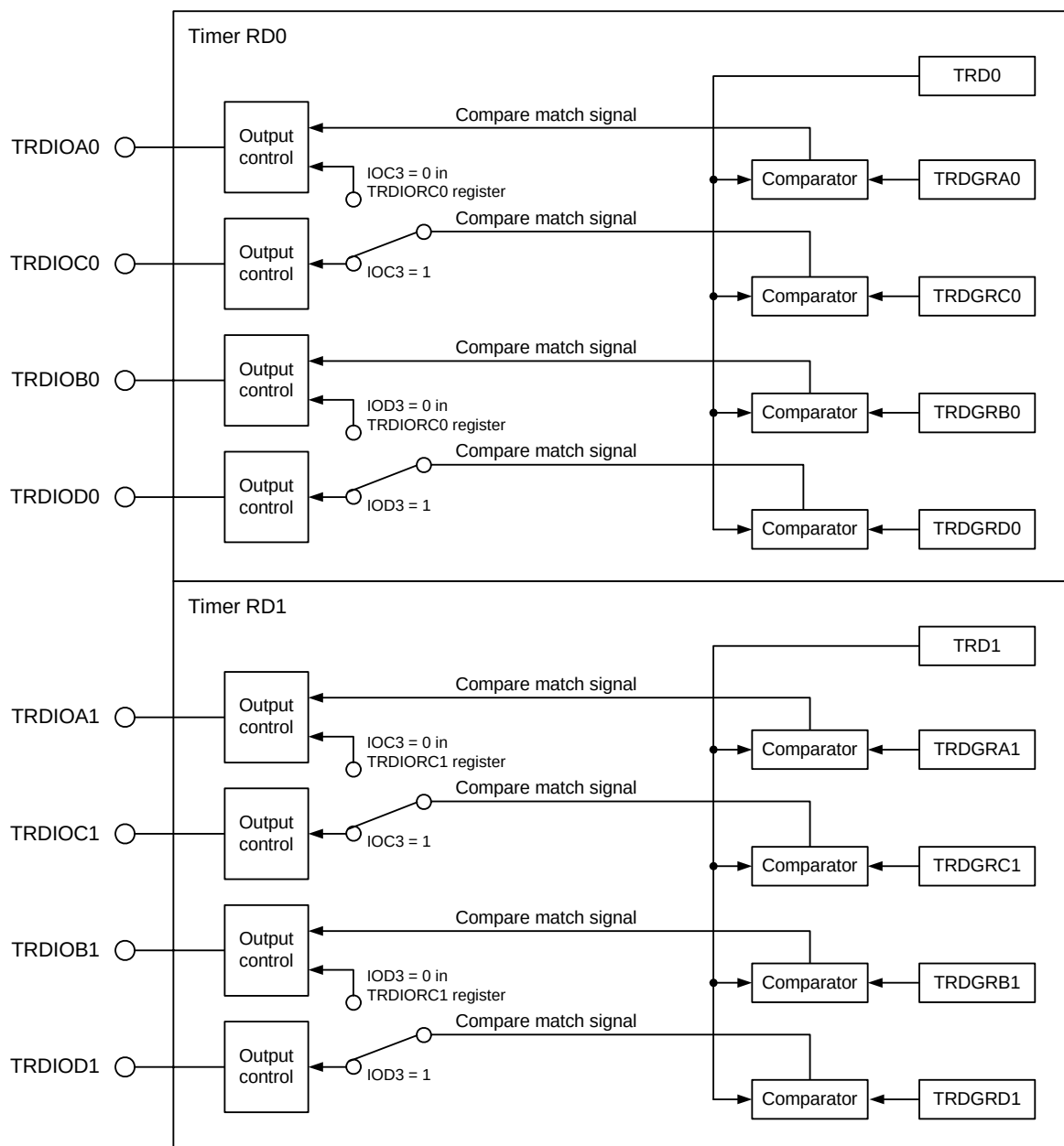
The CSELi bit in the TRDSTR register is set to 1 (TRDi is not stopped by compare match).
 Bits BFCi and BFDi in the TRDMR register are set to 0 (TRDGRCi and TRDGRDi do not operate as buffers).
 Bits EAI, EBI, and ECI in the TRDOER1 register are set to 0 (TRDIOAi, TRDIOBi and TRDIOCi output enabled).
 Bits CCLR2 to CCLR0 in the TRDCRi register are set to 001B (TRDi is set to 0000H by compare match with TRDGRAi).
 Bits TOAi and TOBi in the TRDOCR register is set to 0 (initial output is low until compare match), the TOCi bit is set to 1 (initial output is high until compare match).
 Bits IOA2 to IOA0 in the TRDIORAi register are set to 011B (TRDIOAi output inverted at TRDGRAi compare match).
 Bits IOB2 to IOB0 in the TRDIORBi register are set to 010B (TRDIOBi high output at TRDGRBi compare match).
 Bits IOC3 to IOC0 in the TRDIORCi register are set to 1001B (TRDIOCi low output at TRDGRCi register compare match).
 Bits IOD3 to IOD0 in the TRDIORCi register are set to 1000B (TRDGRDi register does not control TRDIOBi pin output. Pin output by compare match is disabled).

(2) 更改 TRDGRCi (i = 0 或 1) 和 TRDGRDi 寄存器的输出引脚

TRDGRCi 寄存器可用来进行 TRDIOAi 引脚的输出控制, TRDGRDi 寄存器可用来进行 TRDIOBi 引脚的输出控制。因此, 每个引脚输出可通过以下的方法来控制:

- TRDIOAi 输出由 TRDGRAi 和 TRDGRCi 寄存器的值来控制。
- TRDIOBi 输出由 TRDGRBi 和 TRDGRDi 寄存器的值来控制。

图 8-49. 更改 TRDGRCi 和 TRDGRDi 寄存器的输出引脚

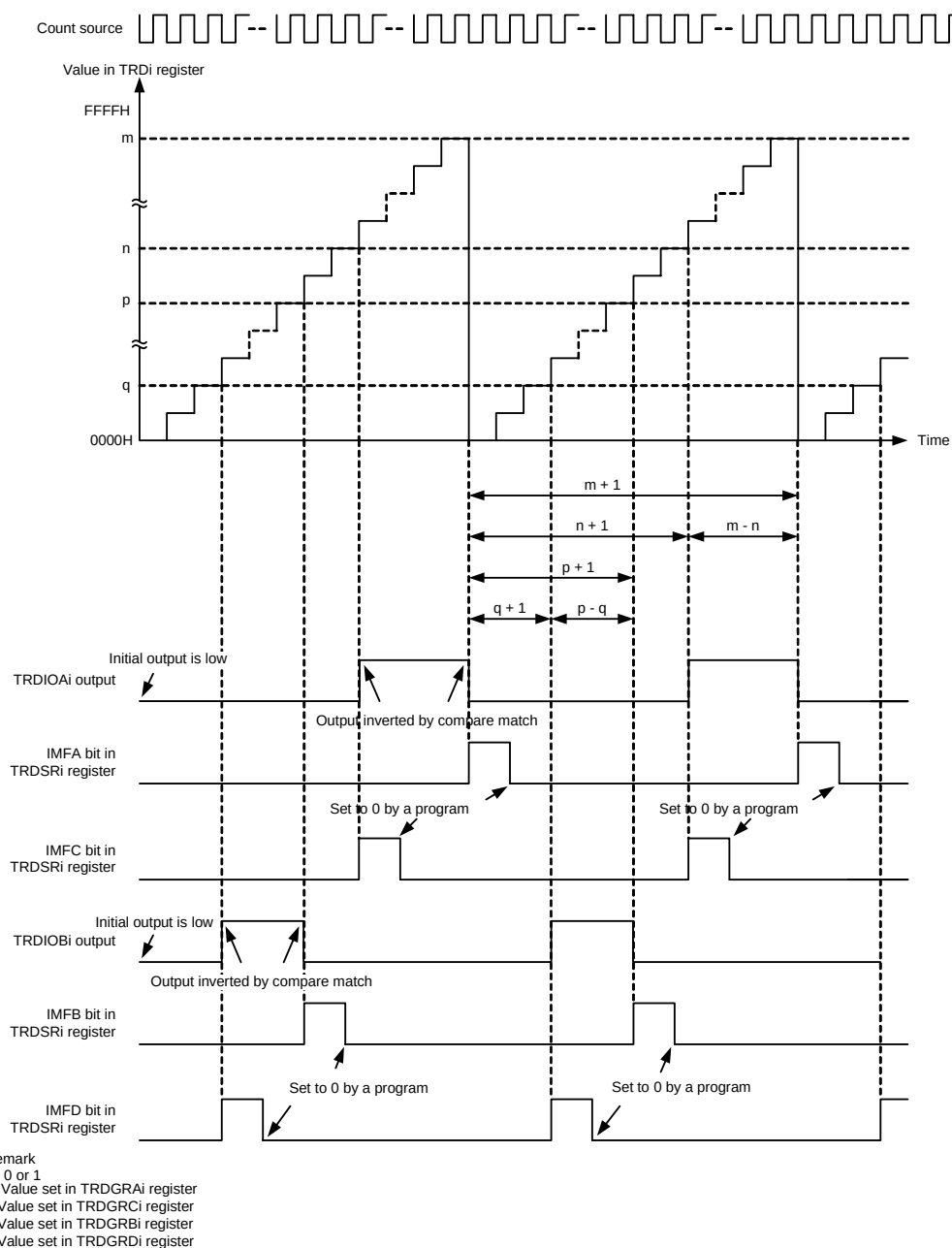


更改 TRDGRCi 和 TRDGRDi 寄存器的输出引脚时, 可按照以下方法来设置:

- 使用 TRDIORCi 寄存器的 IOj3 (j = C 或 D) 位选择 0 (更改 TRDGRji 寄存器输出引脚)
- 设置 TRDIORCi 寄存器的 BFji 位为 0 (通用寄存器)。
- TRDGRCi 和 TRDGRAi 寄存器中设置不同值。并且, TRDGRDi 和 TRDGRBi 寄存器中设置不同值。

TRDGR*Ci* 寄存器用作 TRDIOA*i* 引脚、TRDGRD*i* 寄存器用作 TRDIOB*i* 引脚的输出控制的操作示例如图 8-50 所示。

图 8-50. TRDGR*Ci* 寄存器用作 TRDIOA*i* 引脚、
TRDGRD*i* 寄存器用作 TRDIOB*i* 引脚的输出控制的操作示例



The above diagram applies under the following conditions:

- The CSELi bit in the TRDSTR register is set to 1 (TRDi register is not stopped by compare match).
- Bits BFCi and BFDi in the TRDMR register are set to 0 (TRDGRCi and TRDGRDi do not operate as buffers).
- Bits EAi and EBi in the TRDOER1 register are set to 0 (TRDIOA*i* and TRDIOB*i* output enabled).
- Bits CCLR2 to CCLR0 in the TRDCRi register are set to 001B (TRDi is set to 0000H by compare match with TRDGRAi).
- Bits TOAi and TOBi in the TRDOCR register are set to 0 (initial output is low until compare match).
- Bits IOA2 to IOA0 in the TRDIORAi register are set to 011B (TRDIOA*i* output inverted at TRDGRAi compare match).
- Bits IOB2 to IOB0 in the TRDIORBi register are set to 011B (TRDIOB*i* output inverted at TRDGRBi compare match).
- Bits IOC3 to IOC0 in the TRDIORCi register are set to 0011B (TRDIOA*i* output inverted at TRDGRCi compare match).
- Bits IOD3 to IOD0 in the TRDIORDi register are set to 0011B (TRDIOB*i* output inverted at TRDGRDi compare match).

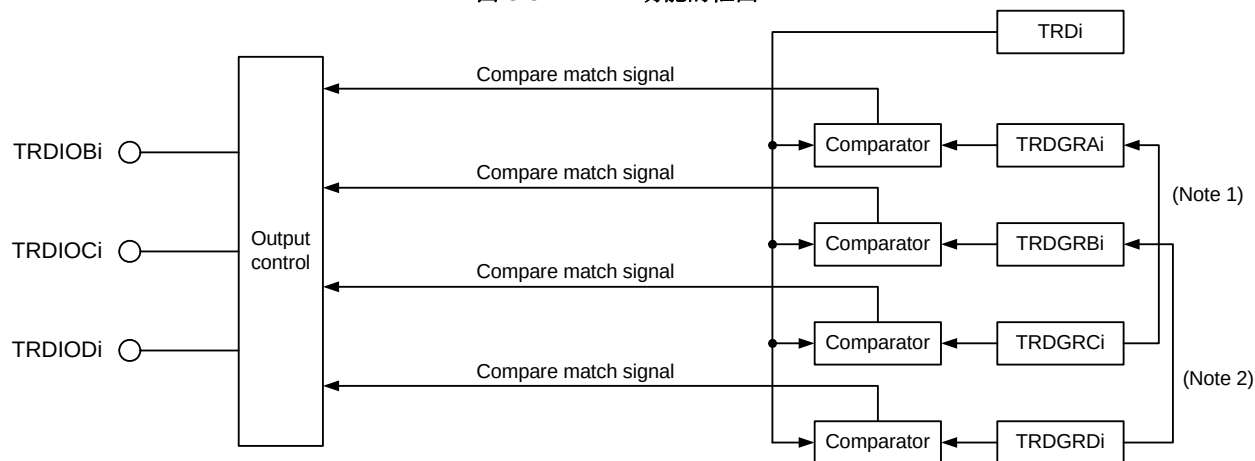
8.3.4 PWM 功能

在 PWM 功能中，将输出 PWM 波形。定时器 RD_i (i = 0 或 1) 最多可以输出三个周期相同的 PWM 波形。另外，同时定时器 RD0 和定时器 RD1 最多可以输出六个周期相同的 PWM 波形。

由于该模式通过 TRDIO_ji 引脚 (i = 0 或 1, j = B、C 或 D) 和 TRDGR_ji 寄存器的组合发生作用，因此可为各个引脚选择 PWM 功能或任何其他模式或功能。（然而，由于在将任何引脚用于 PWM 功能时使用 TRDGRA_i 寄存器，因此，TRDGRA_i 寄存器不能用于其他模式。）

PWM 功能的框图如图 8-51 所示，PWM 模式的规格如表 8-14 所示，PWM 功能的操作示例如图 8-52 和图 8-53 所示。

图 8-51. PWM 功能的框图

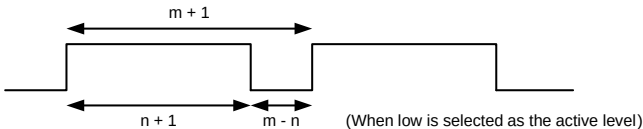


Remark
i = 0 or 1

Notes:

1. When the BFCi bit in the TRDMR register is set to 1 (TRDGRCi register is buffer register for TRDGRAi register).
2. When the BFDi bit in the TRDMR register is set to 1 (TRDGRDi register is buffer register for TRDGRBi register).

表 8-14. PWM 模式的规格

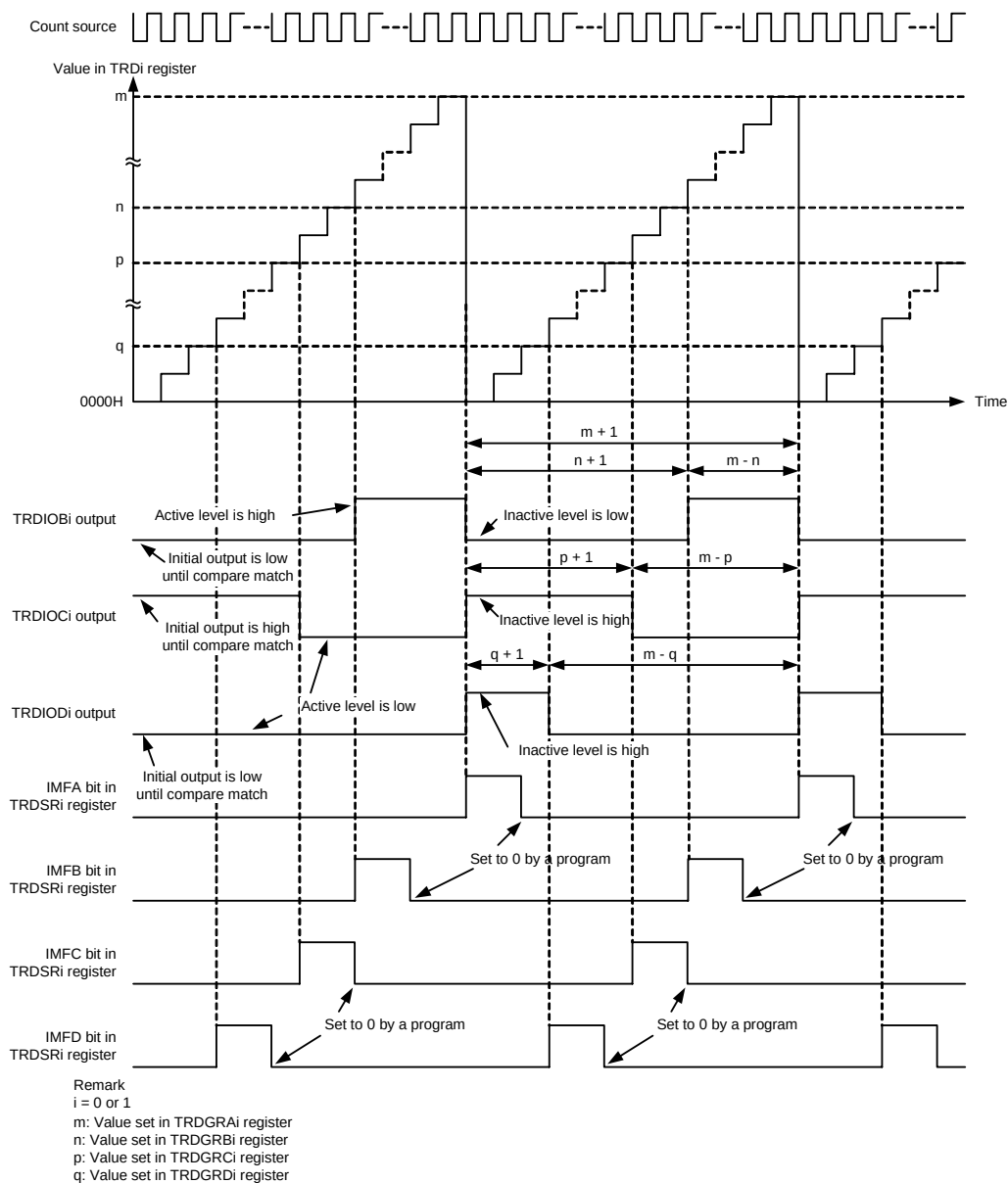
项目	规格
计数源	$f_{HOCO}^{※}$, f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$ 输入到 TRDCLK 引脚的外部信号 (通过程序选择有效沿)
计数操作	递增
PWM 波形	PWM 周期: $1/f_k \times (m + 1)$ 有效电平宽度: $1/f_k \times (m - n)$ 无效电平宽度: $1/f_k \times (n + 1)$ f_k : 计数源的频率 m : TRDGRAi 寄存器的设置值 n : TRDGRji 寄存器的设置值 
计数开始条件	向 TRDSTR 寄存器的 TSTARTi 位写入 1 (计数开始)。
计数停止条件	- 当 TRDSTR 寄存器的 CSELi 位设置为 1 时, 向 TRDSTR 寄存器的 TSTARTi 位写入 0 (计数停止)。 PWM 输出引脚保持计数停止前的输出电平。 - 当 TRDSTR 寄存器中的 CSELi 位被设置为 0 时, 计数将在与 TRDGRAi 寄存器比较匹配时停止。 因比较匹配导致输出变化之后, PWM 输出引脚保持电平。
中断请求发生时序	- 比较匹配 (TRDi 寄存器的内容匹配 TRDGRhi 寄存器的内容) - TRDi 寄存器溢出
TRDIOA0 引脚功能	I/O 端口或 TRDCLK (外部时钟)输入
TRDIOA1 引脚功能	I/O 端口
TRDIOB0、TRDIOC0、TRDIOD0、 TRDIOB1、TRDIOC1、TRDIOD1 引脚功能	I/O 端口或脉冲输出 (每个引脚可分别选择)
INTP0 引脚功能	脉冲输出强行截止信号输出 (I/O 端口或 INTP0 中断输入)
从定时器读取	计数值可以通过读取 TRDi 寄存器来读取。
写入到定时器	此值可写入 TRDi 寄存器。
选择功能	- 通过定时器 RDi 选择 1 至 3 个的 PWM 输出引脚 可选择 TRDIOBi、TRDIOCi 和 TRDIODi 中的任意一个引脚或多个引脚。 - 可为各引脚选择有效电平。 - 可为各引脚选择初始输出电平。 - 同步操作 (参阅 8.3.1 (3) 同步操作) - 缓冲操作 (参阅 8.3.1 (2) 缓冲操作) - 脉冲输出强行截止信号输入 (参阅 8.3.1 (4) 脉冲输出强行截止)

注 仅当用户选项字节 (000C2H/010C2H) 的 FRQSEL4 = 1 时, 才选择 f_{HOCO} 。在将 f_{HOCO} 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

备注 i = 0 或 1, j = B、C 或 D, h = A、B、C 或 D

(1) 操作示例

图 8-52. PWM 功能的操作示例



The above diagram applies under the following conditions:

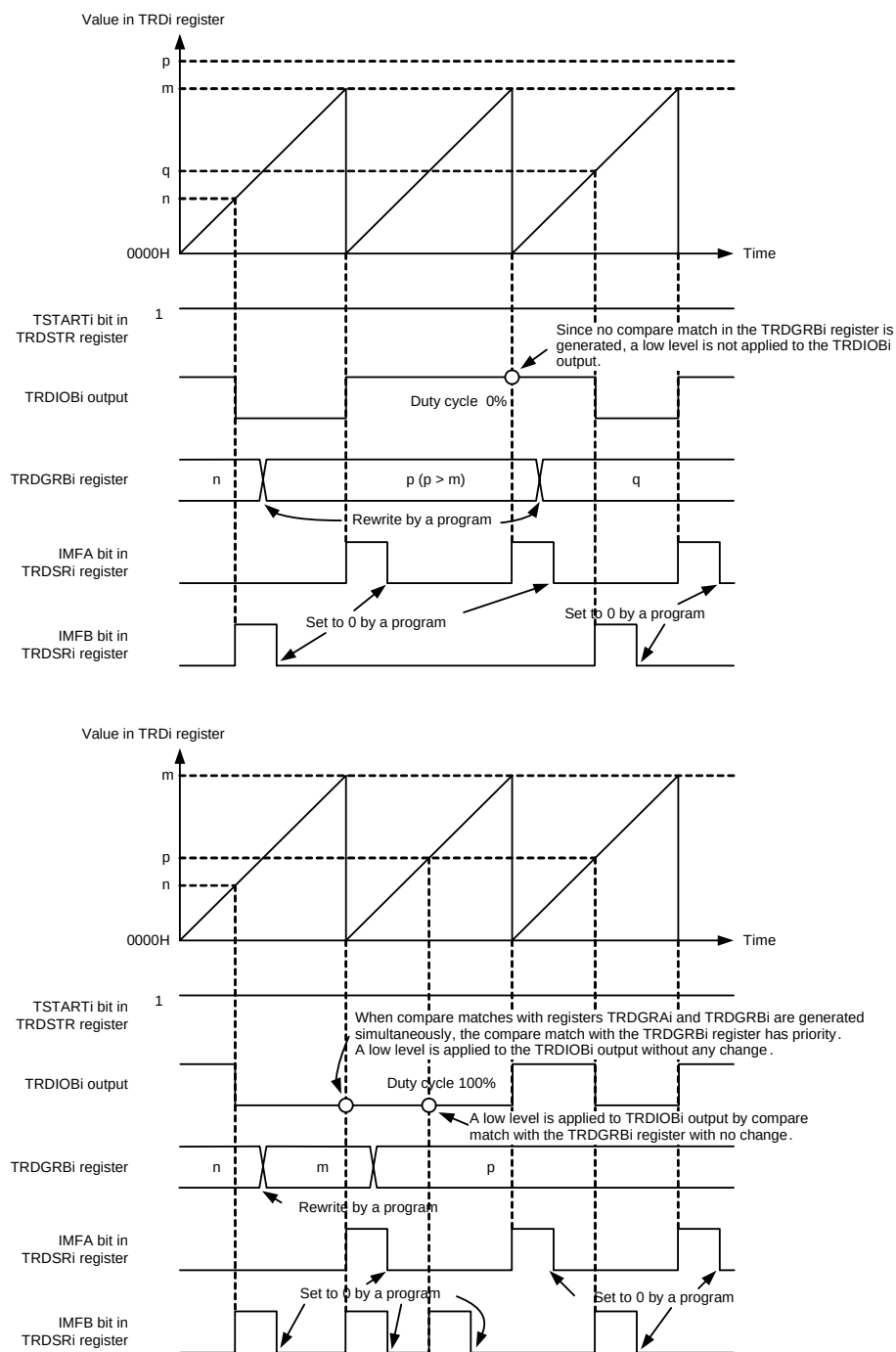
Bits BFCi and BFDi in the TRDMR register are set to 0 (TRDGRCi and TRDGRDi do not operate as buffers).

Bits EBi, ECi, and EDi in the TRDOER1 register are set to 0 (TRDIOBi, TRDIOCi and TRDIODi output enabled).

Bits TOBi and TOCi in the TRDOCR register are set to 0 (inactive level), the TODi bit is set to 1 (active level).

The POLB bit in the TRDPOCRi register is set to 1 (active level is high), bits POLC and POLD are set to 0 (active level is low).

图 8-53. PWM 功能的操作示例 (占空周期 0%, 占空周期 100%)



Remark
 $i = 0$ or 1
 m: Value set in TRDGRAi register

The above diagram applies under the following conditions:
 The EBi bit in the TRDOER1 register is set to 0 (TRDIOBi output enabled).
 The POLB bit in the TRDPOCR1 register is set to 0 (active level is low).

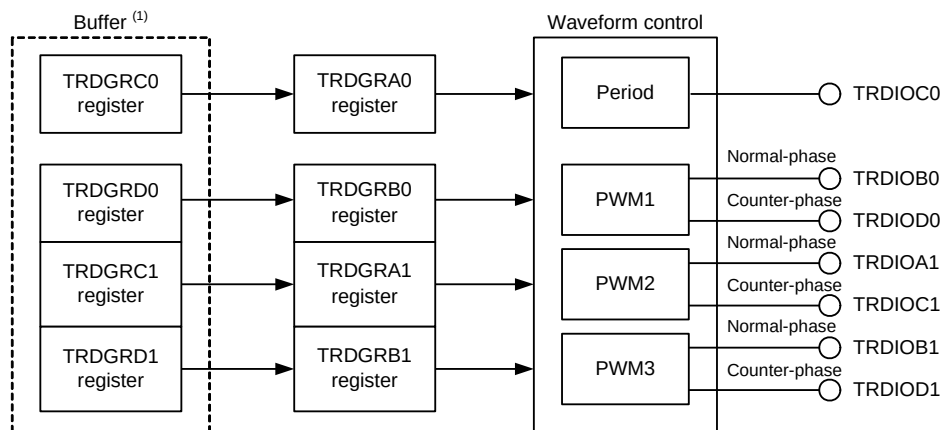
8.3.5 复位同步 PWM 模式

在该模式下，将以相同周期输出三个正相和三个逆相的 PWM 波形（三相、锯齿波调制且无死区时间）。

复位同步 PWM 模式的框图如图 8-54 所示，复位同步 PWM 模式的规格如表 8-15 所示，复位同步 PWM 模式下的操作示例如图 8-55 所示。

占空周期 0%，占空周期 100%，参阅图 8-53 PWM 功能的操作示例 (占空周期 0%，占空周期 100%)。

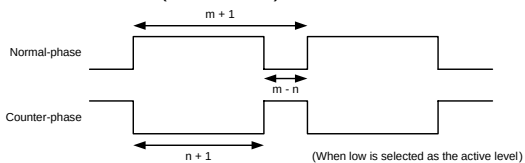
图 8-54. 复位同步 PWM 模式的框图



Note:

1. When bits TRDBFC0, TRDBFD0, TRDBFC1, and TRDBFD1 in the TRDMR register are set to 1 (buffer register).

表 8-15. 复位同步 PWM 模式的规格

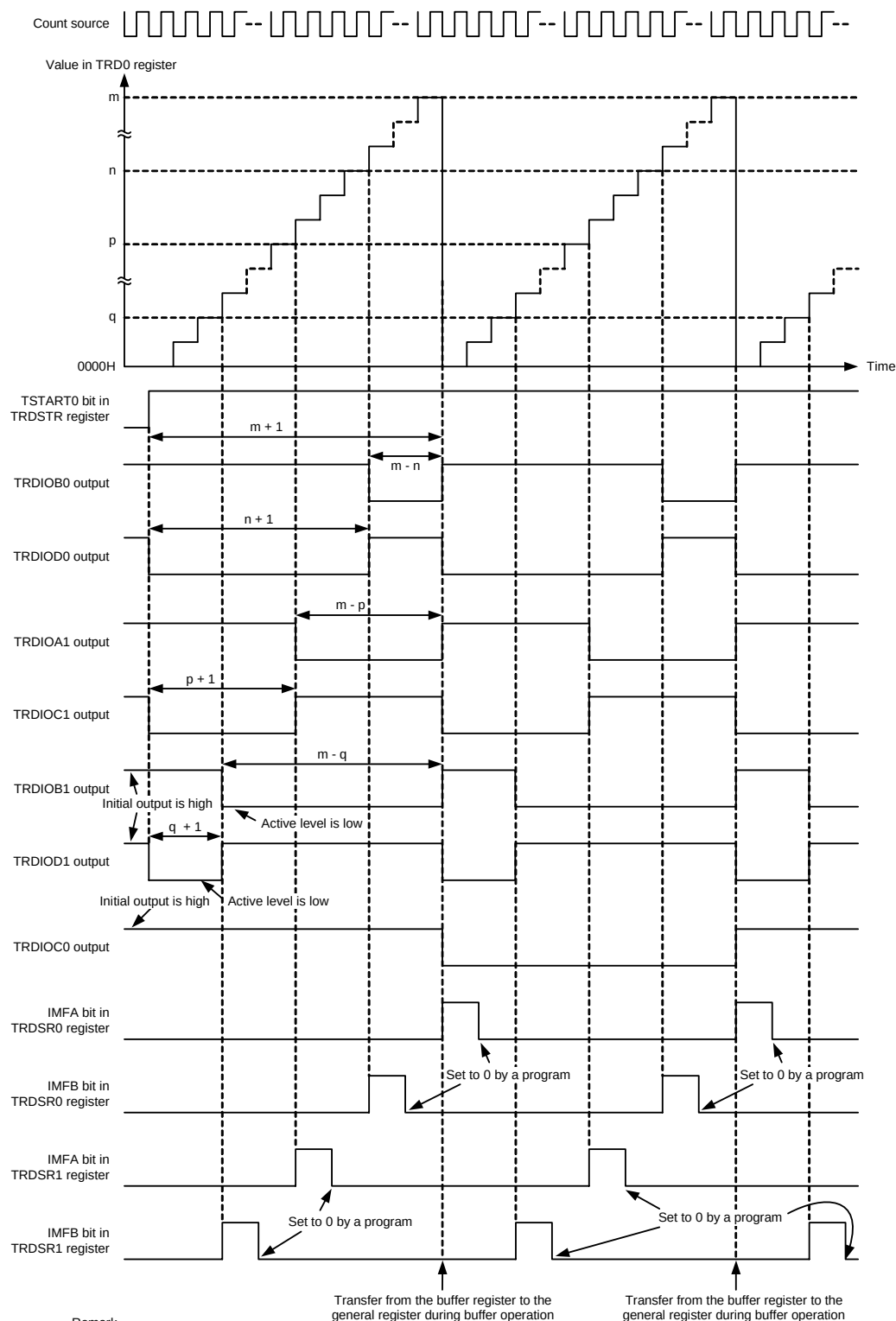
项目	规格
计数源	fHOCO [※] , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 输入 TRDCLK 引脚的外部信号 (由程序选择有效边沿)
计数操作	TRD0 寄存器递增 (TRD1 寄存器不使用)。
PWM 波形	PWM 周期: $1/fk \times (m + 1)$ 正相有效电平: $1/fk \times (m - n)$ 逆相无效电平: $1/fk \times (n + 1)$ fk: 计数源的频率 m: TRDGRA0 寄存器的设置值 n: TRDGRB0 寄存器的设置值 (PWM1 输出) TRDGRA1 寄存器的设置值 (PWM2 输出) TRDGRB1 寄存器的设置值 r (PWM3 输出)  (When low is selected as the active level)
计数开始条件	向 TRDSTR 寄存器的 TSTART0 位写入 1 (开始计数)。
计数停止条件	- 当 TRDSTR 寄存器的 CSEL0 位设置为 1 时, 向 TSTART0 位写入 0 (停止计数)。 PWM 输出引脚输出 TRDFCR 寄存器的 OLS0 和 OLS1 位选择的初始输出电平。 - 当 TRDSTR 寄存器的 CSEL0 位设置为 0 时, 在 TRDGRA0 寄存器比较匹配时停止计数。 PWM 输出引脚输出 TRDFCR 寄存器的 OLS0 和 OLS1 位选择的初始输出电平。
中断请求产生时序	- 比较匹配 (TRD0 寄存器的内容匹配 TRDGRj0、TRDGRA1 和 TRDGRB1 寄存器的内容) - TRD0 寄存器溢出
TRDIOA0 引脚功能	I/O 端口或 TRDCLK (外部时钟) 输入
TRDIOB0 引脚功能	PWM1 输出正相输出
TRDIOD0 引脚功能	PWM1 输出逆相输出
TRDIOA1 引脚功能	PWM2 输出正相输出
TRDIOC1 引脚功能	PWM2 输出逆相输出
TRDIOB1 引脚功能	PWM3 输出正相输出
TRDIOD1 引脚功能	PWM3 输出逆相输出
TRDIOC0 引脚功能	每个 PWM 周期输出翻转
INTP0 引脚功能	脉冲输出强行截止信号输入 (I/O 端口或 INTP0 中断输入)
从定时器读取	计数值可以通过读取 TRD0 寄存器来读取。
写入到定时器	向 TRD0 寄存器写入值。
选择功能	- 分别选择正相和逆相有效电平以及初始输出电平。 - 缓冲器操作 (参阅 8.3.1 (2) 缓冲器操作) - 脉冲输出强行截止信号输入 (参阅 8.3.1 (4) 脉冲输出强行截止)

注 仅当用户选项字节 (000C2H/010C2H) 的 FRQSEL4 = 1 时, 才选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

备注 j = A、B、C 或 D

(1) 操作示例

图 8-55. 复位同步 PWM 模式下的操作示例



Remark

 $i = 0$ or 1 m : Value set in TRDGRA0 register n : Value set in TRDGRB0 register p : Value set in TRDGRA1 register q : Value set in TRDGRB1 register

The above diagram applies under the following condition:

Bits OLS1 and OLS0 in the TRDFCR register are set to 0 (initial output level is high, active level is low).

8.3.6 互补 PWM 模式

在该模式下，将以相同周期输出三个正相和三个逆相的 PWM 波形（三相、三角波调制且有死区时间）。

互补 PWM 模式下的框图如图 8-56 所示，互补 PWM 模式的规格如表 8-16 所示，互补 PWM 模式的输出模式如图 8-57 所示，互补 PWM 模式下的操作示例如图 8-58 所示。

图 8-56. 互补 PWM 模式下的框图

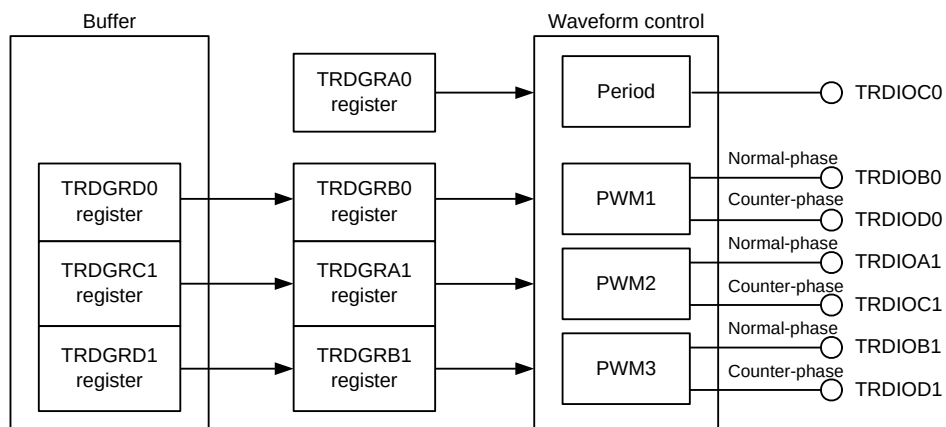
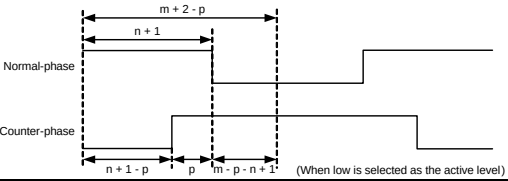


表 8-16. 互补 PWM 模式的规格

项目	规格
计数源	$f_{HOCO}^{※1}$, f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$ 输入到 TRDCLK 引脚的外部信号 (通过程序选择有效沿) 将 TRDCR1 寄存器的 TCK2 至 TCK0 位设置为与 TRDCR0 寄存器的 TCK2 至 TCK0 位相同值 (同一计数源)。
计数操作	递增或递减。 在递增操作期间, 寄存器 TRD0 和 TRD1 在与寄存器 TRD0 和 TRDGRA0 比较匹配时将递减。在递减操作期间, 当 TRD1 寄存器从 0000H 变成 FFFFH 且寄存器 TRD0 和 TRD1 递增时。
PWM 操作	PWM 周期: $1/fk \times (m + 2 - p) \times 2^{※2}$ 防止短路时间: p 正相有效电平宽度: $1/fk \times (m - n - p + 1) \times 2$ 逆相有效电平宽度: $1/fk \times (n + 1 - p) \times 2$ fk : 计数源的频率 m : TRDGRA0 寄存器的设置值 n : TRDGRB0 寄存器的设置值 (PWM1 输出) TRDGRA1 寄存器的设置值 (PWM2 输出) TRDGRB1 寄存器的设置值 (PWM3 输出) p : TRD0 寄存器的设置值 
计数开始条件	向 TRDSTR 寄存器的 TSTART0 和 TSTART1 位写入 1 (开始计数)。
计数停止条件	当 TRDSTR 寄存器的 CSEL0 位设置为 1 时, 向 TRDSTR 寄存器的 TSTART0 和 TSTART1 位写入 0 (停止计数) (PWM 输出引脚输出 TRDFCR 寄存器的 OLS0 和 OLS1 位选择的初始输出电平。)
中断请求发生时序	- 比较匹配 (TRDi 寄存器的内容匹配 TRDGRji 寄存器的内容) - TRD1 寄存器下溢
TRDIOA0 引脚功能	I/O 端口或 TRDCLK (外部时钟) 输出
TRDIOB0 引脚功能	PWM1 输出正相输出
TRDIOD0 引脚功能	PWM1 输出逆相输出
TRDIOA1 引脚功能	PWM2 输出正相输出
TRDIOC1 引脚功能	PWM2 输出逆相输出
TRDIOB1 引脚功能	PWM3 输出正相输出
TRDIOD1 引脚功能	PWM3 输出逆相输出
TRDIOC0 引脚功能	每 PWM1/2 周期输出翻转
INTP0 引脚功能	脉冲输出强行截止信号输入 (I/O 端口或 INTP0 中断输入)
从定时器读取	计数值可以通过读取 TRDi 寄存器来读取。
写入到定时器	此值可写入 TRDi 寄存器。
选择功能	- 脉冲输出强行截止信号输入 (参阅 8.3.1 (4) 脉冲输出强行截止) - 分别选择正相和逆相有效电平以及初始输出电平。 - 缓冲寄存器传送时序选择

注 1. 仅当用户选项字节 (000C2H/010C2H) 的 FRQSEL4 = 1 时, 才选择 f_{HOCO} 。在将 f_{HOCO} 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

2. 计数开始后, PWM 周期被固定。

备注 i = 0 或 1, j = A、B、C 或 D

(1) 操作示例

图 8-57. 互补 PWM 模式的输出模式

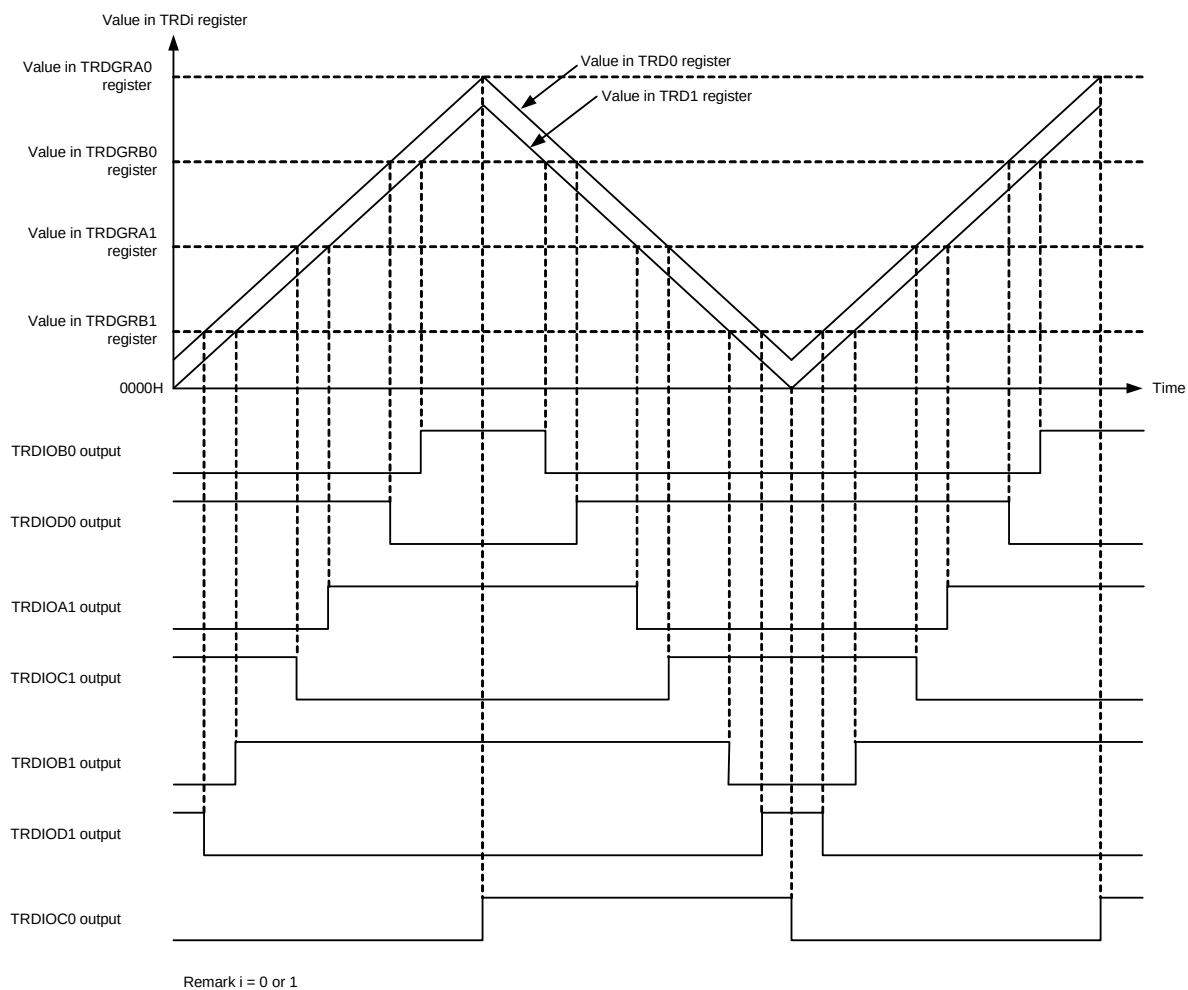
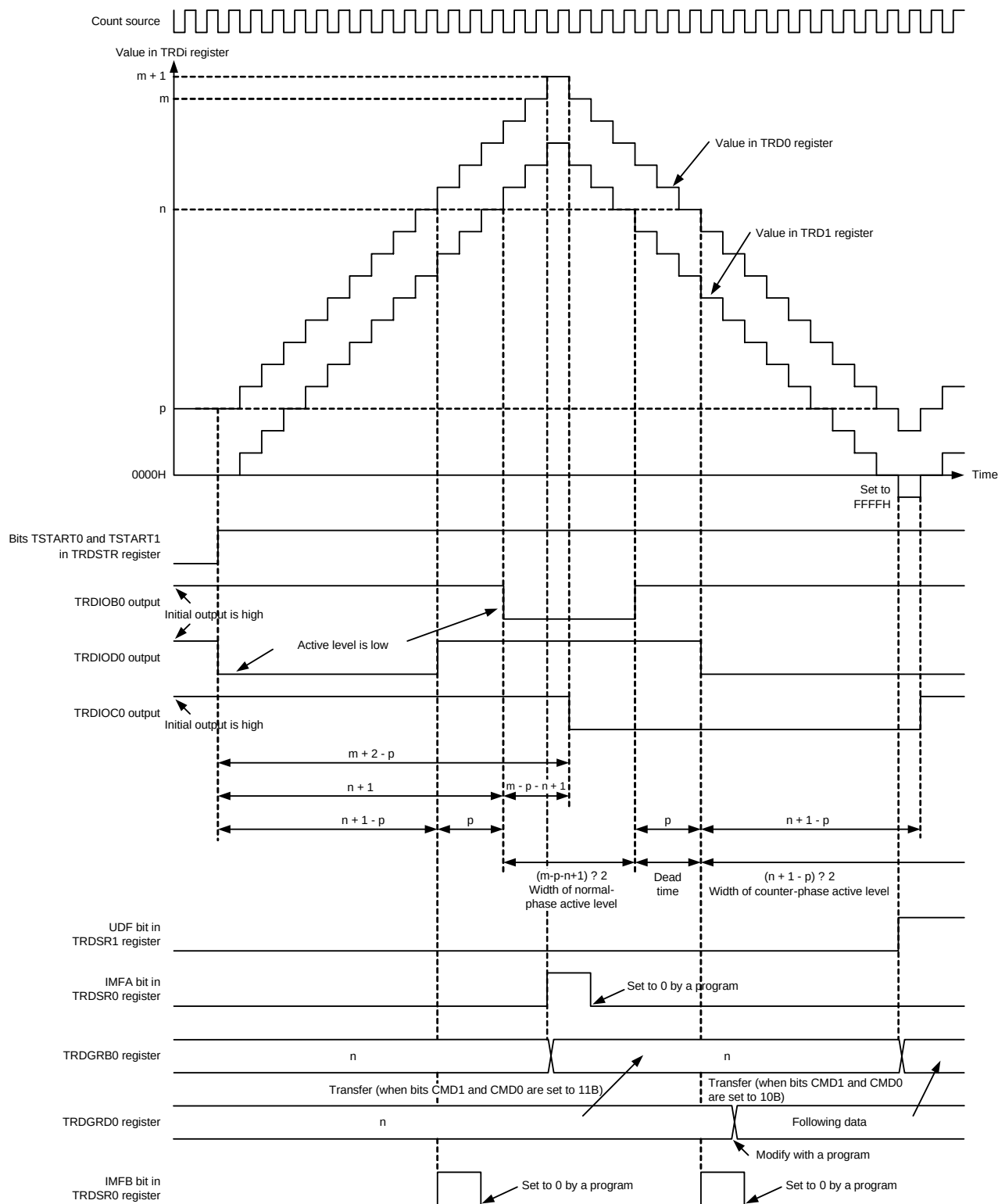


图 8-58. 互补 PWM 模式下的操作示例



Remark
 CMD0, CMD1: Bits in TRDFCR register
 i = 0 or 1
 m: Value set in TRDGRA0 register
 n: Value set in TRDGRB0 register
 p: Value set in TRD0 register

The above diagram applies under the following condition:
 Bits OLS1 and OLS0 in TRDFCR are set to 0 (initial output level is high, active level is low for normal-phase and counter-phase).

(2) 从缓冲寄存器传输时序

- 从 TRDGRD0、TRDGRC1 或 TRDGRD1 寄存器向 TRDGRB0、TRDGRA1 或 TRDGRB1 寄存器传输。

当 TRDFCR 寄存器的 CMD1 和 CMD0 位设置为 10B 时, 如果 TRD1 寄存器下溢, 内容被传输。

当 CMD1 和 CMD0 位设置为 11B 时, 内容在 TRD0 and TRDGRA0 寄存器比较匹配时被传输。

8.3.7 PWM3 模式

此模式下，输出两个同样周期的 PWM 波形。

PWM3 模式的框图如图 8-59 所示, PWM3 模式的规格如表 8-17 所示, PWM3 模式下的操作示例如图 8-60 所示。

图 8-59. PWM3 模式下的框图

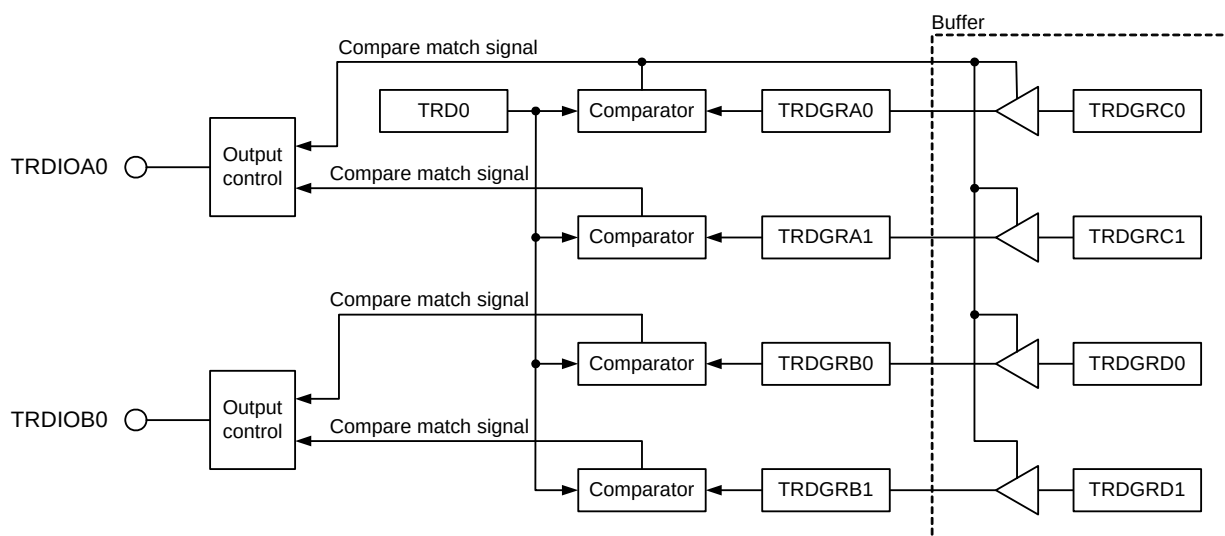
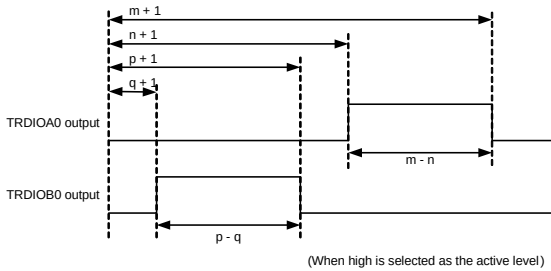


表 8-17. PWM3 模式下的规格

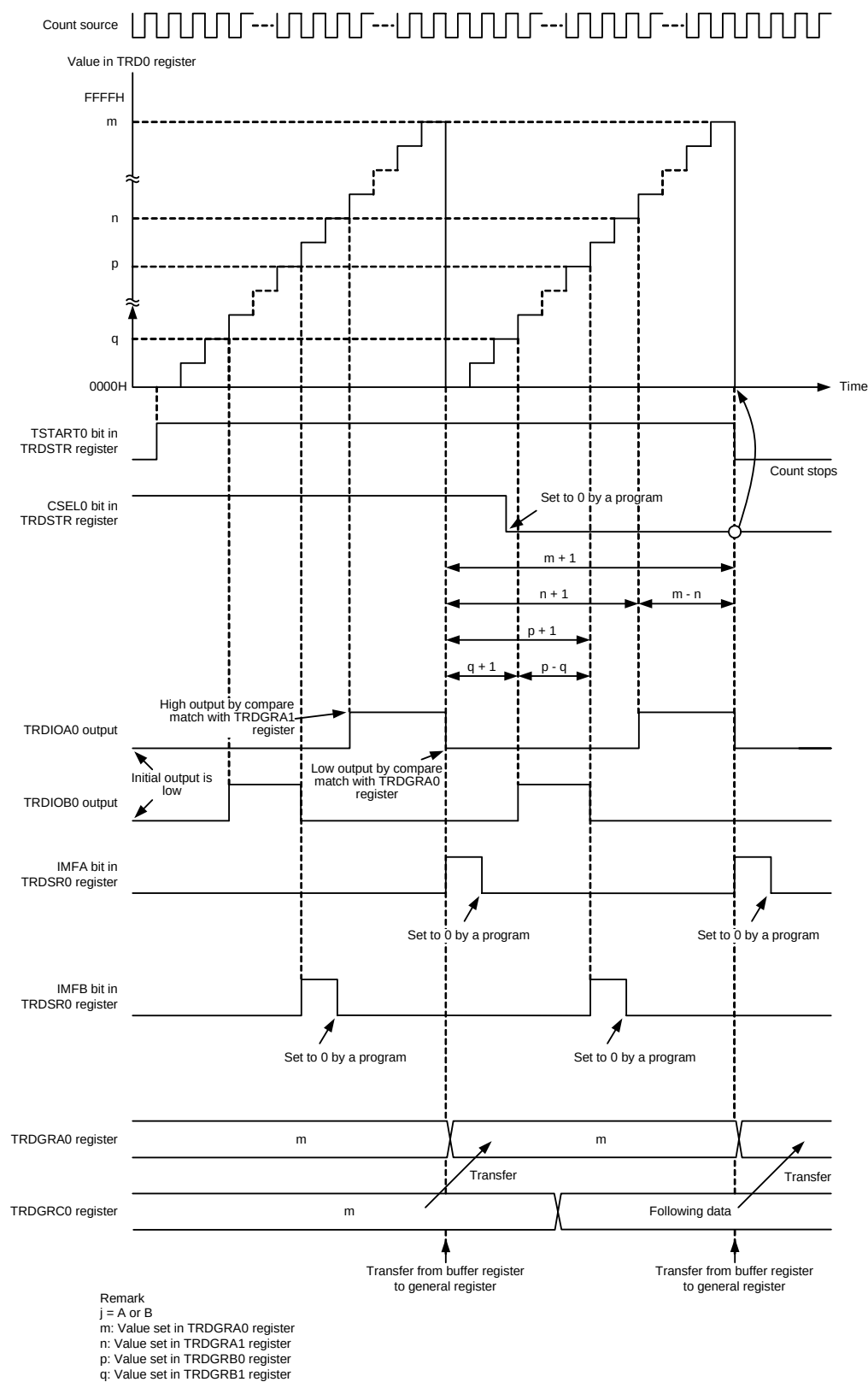
项目	规格
计数源	$f_{HOCO}^{※}$, f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$
计数操作	TRD0 寄存器递增 (TRD1 寄存器递增 d)。
PWM 波形	PWM 周期 d : $1/f_k \times (m + 1)$ TRDIOA0 输出的有效电平宽度: $1/f_k \times (m - n)$ TRDIOB0 输出的有效电平宽度: $1/f_k \times (p - q)$ f_k: 计数源的频率 m: TRDGRA0 寄存器的设置值 n: TRDGRA1 寄存器的设置值 p: TRDGRB0 寄存器的设置值 q: TRDGRB1 寄存器的设置值  (When high is selected as the active level)
计数开始条件	向 TRDSTR 寄存器的 TSTART0 位写入 1 (开始计数)。
计数停止条件	- 当 TRDSTR 寄存器的 CSEL0 位设置为 1 时, 向 TRDST 寄存器的 TSTART0 位写入 0 (停止计数)。 PWM 输出引脚保持计数停止前的输出电平。 - 当 TRDSTR 寄存器中的 CSEL0 位被设置为 0 时, 计数将在与 TRDGRA0 寄存器比较匹配时停止。 因比较匹配导致输出变化之后, PWM 输出引脚保持电平。
中断请求产生时序	- 比较匹配 (TRDi 寄存器与 TRDGRji 寄存器的内容匹配) - TRD0 寄存器溢出
TRDIOA0、TRDIOB0 引脚功能	PWM 输出
TRDIOA0、TRDIOD0 和 TRDIOA1 至 TRDIOD1 引脚功能	I/O 端口
INTP0 引脚功能	脉冲输出强行截止信号输入 (I/O 端口或 INTP0 中断输入)
从定时器读取	计数值可以通过读取 TRD0 寄存器来读取。
写入到定时器	此值可写入 TRD0 寄存器。
选择功能	- 脉冲输出强行截止信号输入 (参阅 8.3.1 (4) 脉冲输出强行截止) - 可为各引脚选择有效电平。 - 缓冲器操作(参阅 8.3.1 (2) 缓冲器操作)

注 仅当用户选项字节 (000C2H/010C2H)的 FRQSEL4 = 1 时, 才选择 f_{HOCO} 。在将 f_{HOCO} 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1)的位 4 (TRD0EN)之前, 要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1)的位 4 (TRD0EN)。

备注 i = 0 或 1, j = A、B、C 或 D

(1) 操作示例

图 8-60. PWM3 模式下的操作示例



8.4 定时器 RD 中断

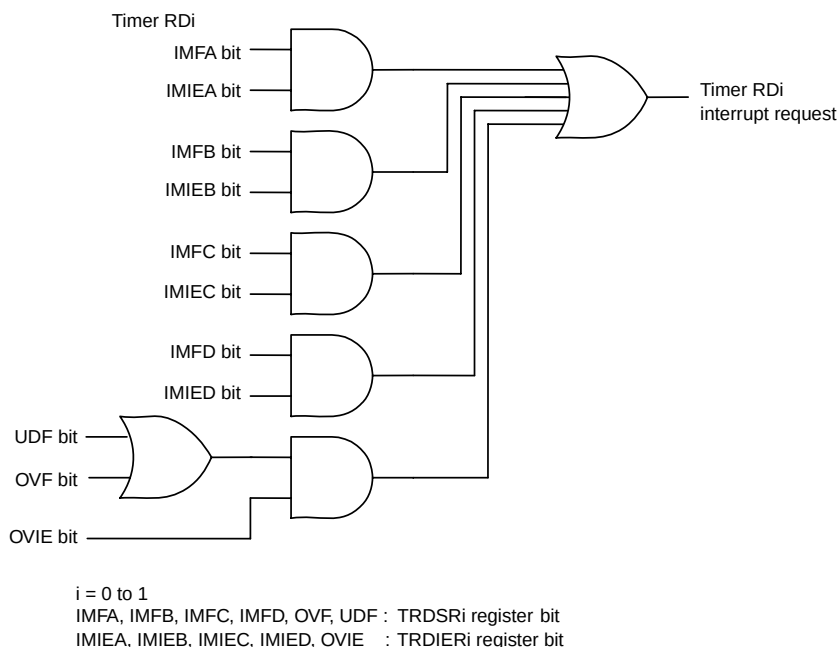
定时器 RD 可按每个定时器 RD0 和定时器 RD1 分为 6 个源，并从中产生定时器 RD_i ($i = 0$ 至 1) 中断请求。

与定时器 RD 中断相关的寄存器如表 8-18 所示，定时器 RD 中断的框图如图 8-61 所示。

表 8-18. 与定时器 RD 中断相关的寄存器

	定时器 RD 状态寄存器	定时器 RD 中断允许寄存器	中断请求标志 (寄存器)	中断屏蔽标志 (寄存器)	优先指定标志 (寄存器)
定时器 RD0	TRDSR0	TRDIER0	TRDIF0 (IF2H)	TRDMK0 (MK2H)	TRDPR00 (PR02H) TRDPR10 (PR12H)
定时器 RD1	TRDSR1	TRDIER1	TRDIF1 (IF2H)	TRDMK1 (MK2H)	TRDPR01 (PR02H) TRDPR11 (PR12H)

图 8-61. 定时器 RD 中断的框图



由于中断源（定时器 RD 中断）由定时器 RD 的多个中断请求源的组合产生，因而适用下述与其他可屏蔽中断的差异：

- 当 TRDSR_i 寄存器的位为 1，TRDIER_i 寄存器的对应位为 1 (中断允许) 时，IF2H 寄存器的 TRDIF_i 位设置为 1 (中断请求)。
- 如果 TRDIER_i 寄存器中的多个位被设置为 1，则用 TRDSR_i 寄存器来确定中断请求源。
- 由于即使中断被受理，TRDSR_i 寄存器中的位也不会自动设置为 0，因此，须在中断程序中将对应的位设置为 0。
- 当 TRDIER_i 寄存器中的多个位被设置为 1 时，如果第一请求源得到满足且 TRDIF_i 位被设置为 1，然后下一个请求源得到满足，则在中断被受理时，TRDIF_i 位将清除为 0。然而，如果前面满足的请求源被清除，则 TRDIF_i 位将在产生的下一个请求源被设置为 1。

8.5 定时器 RD 的注意事项

8.5.1 SFR 读/写存取

当用户选项字节(000C2H/010C2H)的 FRQSEL4 = 1 且 PER1 寄存器的 TRD0EN = 0 时, 定时器 RD 的 SFR 成为不确定。如果需要读取初始值, 开始读取前设置 f_{CLK} 为 f_H 且设置 TRD0EN = 1。

在设置定时器 RD 时, 要首先将 PER 1 寄存器的 TRD0EN 位设置为 1。如果 TRD0EN 位为 0, 向定时器 RD 控制寄存器的写入操作将被忽略, 且所有读取值均为初始值(端口寄存器和端口模式寄存器除外)。

计数操作时, 以下的寄存器为禁止重写的寄存器:

TRDEL_C、TRDMR、TRDPMR、TRDFCR、TRDOER1、TRDOER2 的 PTO 位、TRDDFi、TRDCR_i、TRDIOR_{Ai}、TRDIOR_{Ci}、TRDPOCR_i

(1) TRDSTR 寄存器

- TRDSTR 寄存器可利用一条 8 位存储器操作指令进行设置。
- 当 TRDSTR 寄存器中的 CSEL_i 位 (i = 0 或 1) 被设置为 0 (在寄存器 TRD_i 和 TRDGRA_i 比较匹配时停止计数) 时, 即使 0 (停止计数) 被写入 TSTART_i 位, 也不停止计数且 TSTART_i 位保持不变。
仅当与 TRDGRA_i 寄存器比较匹配时, TSTART_i 位才被设置为 0 (停止计数)。
重写 TRDSTR 寄存器时如果 CSEL_i 位为 0, 将 0 写入 TSTART_i 位以使 CSEL_i 位变成 1 而不影响计数操作。
如果在计数器停止期间将 1 写入 TSTART_i 位, 则可开始计数。
要通过程序停止计数, 须在将 CSEL_i 位设置为 1 之后设置 TSTART_i 位。即使将 1 写入 CSEL_i 位且同时将 0 写入 TSTART_i 位 (使用一条指令), 也不能停止计数。
- 表 8-19 列出了停止计数时的 TRDIO_{ji} (j = A、B、C 或 D) 引脚输出电平, 其中, TRDIO_{ji} (j = A、B、C 或 D) 引脚被用于定时器 RD 输出。

表 8-19. 计数停止时的 TRDIO_{ji} (j = A、B、C 或 D) 引脚输出电平

计数停止	计数停止时的 TRDIO _{ji} 引脚输出
CSEL _i 位设置为 1 时, 向 TSTART _i 位写入 0, 计数停止。	引脚保持计数停止前的输出电平。(在定时器 RD 互补和复位同步 PWM 模式下, 引脚输出由 TRDFCR 寄存器中的 OLS0 和 OLS1 位选择的初始输出电平。)
CSEL _i 位设置为 0 时, 与 TRD _i 和 TRDGRA _i 寄存器比较匹配时计数停止。	因比较匹配导致输出变化之后, 引脚保持输出电平。(在定时器 RD 互补和复位同步 PWM 模式下, 引脚输出由 TRDFCR 寄存器中的 OLS0 和 OLS1 位选择的初始输出电平。)

备注 i = 0 或 1, j = A、B、C 或 D

(2) TRDDFi 寄存器(i = 0 或 1)

设置 TRDDFi 寄存器的 DFCK0 和 DFCK1 位后, 开始计数操作。

8.5.2 模式切换

- 在操作过程中, 将计数设置为在切换模式之前停止工作 (将 TSTART0 和 TSTART1 位设置为 0)。
- 在将 TSTART0 和 TSTART1 位从 0 改变为 1 之前, 将 TRDIF0 和 TRDIF1 位设置为 0。详情参阅 第 21 章中断功能。

8.5.3 计数源

- 停止计数后切换计数源。

[更改步骤]

- (1) 将 TRDSTR 寄存器中的 TSTARTi 位 (i = 0 或 1) 设置为 0 (停止计数)。
 - (2) 更改 TRDCRi 寄存器中的 TCK0 至 TCK2 位。
- 在将 f_{HOCO}(64 MHz 或 48 MHz)选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1)的位 4 (TRD0EN)之前, 将 f_{CLK} 设置为 f_{IH}。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1)的位 4 (TRD0EN)。

8.5.4 输入捕捉功能

- 输入捕捉信号的脉冲宽度设置为定时器 RD 操作时钟的三个或三个以上周期。
- 在将输入捕捉信号施加于 TRDIOji 引脚 (i = 0 或 1, j = A、B、C 或 D) 之后 (当不使用数字滤波器时), TRDi 寄存器的值将在两个或三个定时器 RD 操作时钟(f_{CLK})周期后被传送至 TRDGRji 寄存器。
- 在输入捕捉模式下, 如果由 TRDIORji 寄存器中的 TRDIOj0 和 TRDIOj1 位选择的边沿被输入 TRDIOji 引脚 (i = 0 或 1; j = A、B、C 或 D), 则当 TRDSTR 寄存器中的 TRDTSTARTi 位为 0 时 (停止计数), 也将在 TRDIOji 输入有效边沿处产生输入捕捉中断请求。

8.5.5 设置 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚的设置步骤 (i = 0 或 1)

复位后, 复用于 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚的 I/O 端口将充当输入端口。

从 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚输出时, 使用以下的设置步骤:

更改步骤

- (1) 设置模式和初始值。
- (2) 允许 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 寄存器的输出 (TRDOER1 寄存器)。
- (3) 设置与引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 相对应的端口寄存器的位为 0。
- (4) 设置与引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 相对应的端口模式寄存器的位为输出模式。(输出从引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 开始)
- (5) 开始计数 (设置 TSTART0 和 TSTART1 位为 1)。

要从输出模式改变与引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 相对应的端口模式寄存器的位到输入模式时, 使用以下的设置步骤:

- (1) 设置与引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 相对应的端口模式寄存器的位到输入模式 (从 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚开始输入)。
- (2) 设置为输入捕捉功能。
- (3) 开始计数 (设置 TSTART0 和 TSTART1 位为 1)。

当从输出模式切换 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚直输入模式时, 可能根据引脚的状态执行输入捕捉操作。数字滤波器不使用时, 经过操作时钟的两个周期或两个周期以上后, 执行沿检测。数字滤波器使用时, 经过采样始终得 5 个或 5 个周期以上后, 执行沿检测。

8.5.6 外部时钟 TRDCLK

设置施加到 TRDCLK 引脚的外部时钟的脉冲宽度为定时器 RD 操作时钟的三个或三个以上周期。

8.5.7 复位同步 PWM 模式

- 当复位同步 PWM 模式使用为发动机控制时, 确认 OLS0 = OLS1。
- 通过以下的步骤设置为复位同步 PWM 模式:

[改变步骤]

- (1) 设置 TRDSTR 寄存器的 TSTART0 位为 0 (停止计数)。
- (2) 设置 TRDFCR 寄存器的 CMD1 和 CMD0 位为 00B (定时器模式、PWM 模式或 PWM3 模式)。
- (3) 设置 CMD1 和 CMD0 位为 01B (复位同步 PWM 模式)。
- (4) 再次设置与定时器 RD 协作的其他寄存器。

8.5.8 互补 PWM 模式

- 当互补 PWM 模式使用为发动机控制时, 确认 OLS0 = OLS1。
- 通过以下的步骤设置更改 TRDFCR 寄存器的 CMD0 和 CMD1 位。

更改步骤: 当设置为互补 PWM 模式 (包括重设), 或在互补 PWM 模式下更改从缓冲寄存器到通用寄存器的传输时序时。

- (1) 设置 TRDSTR 寄存器的 TSTART0 和 TSTART1 的位为 0 (计数停止)。
- (2) 设置 TRDFCR 寄存器的 CMD1 and CMD0 的位为 00B (定时器模式、PWM 模式和 PWM3 模式)。
- (3) 设置 CMD1 和 CMD0 位为 10B 或 11B (互补 PWM 模式)。
- (4) 再次设置与定时器 RD 协作的其他寄存器。

更改步骤: 当停止互补 PWM 模式时

- (1) 设置 TRDSTR 寄存器的 TSTART0 和 TSTART1 位为 0 (计数停止)。
- (2) 设置 CMD1 至 CMD0 位为 00B (定时器模式、PWM 模式和 PWM3 模式)。

- 操作过程中不要向 TRDGRA0、TRDGRB0、TRDGRA1 或 TRDGRB1 寄存器写入。

更改 PWM 方波时, 使用缓冲操作将写入到 TRDGRD0、TRDGRC 和 TRDGRD1 寄存器的值传输到 TRDGRB0、TRDGRA1、和 TRDGRB1 寄存器。

但是, 写入数据到 TRDGRD0、TRDGRC1 或 TRDGRD1 寄存器时, 设置 TRDBFD0、TRDBFC1 和 TRDBFD1 位设置为 0 (通用寄存器)。之后, TRDBFD0、TRDBFC1 和 TRDBFD1 位可以设置为 1 (缓冲寄存器)。

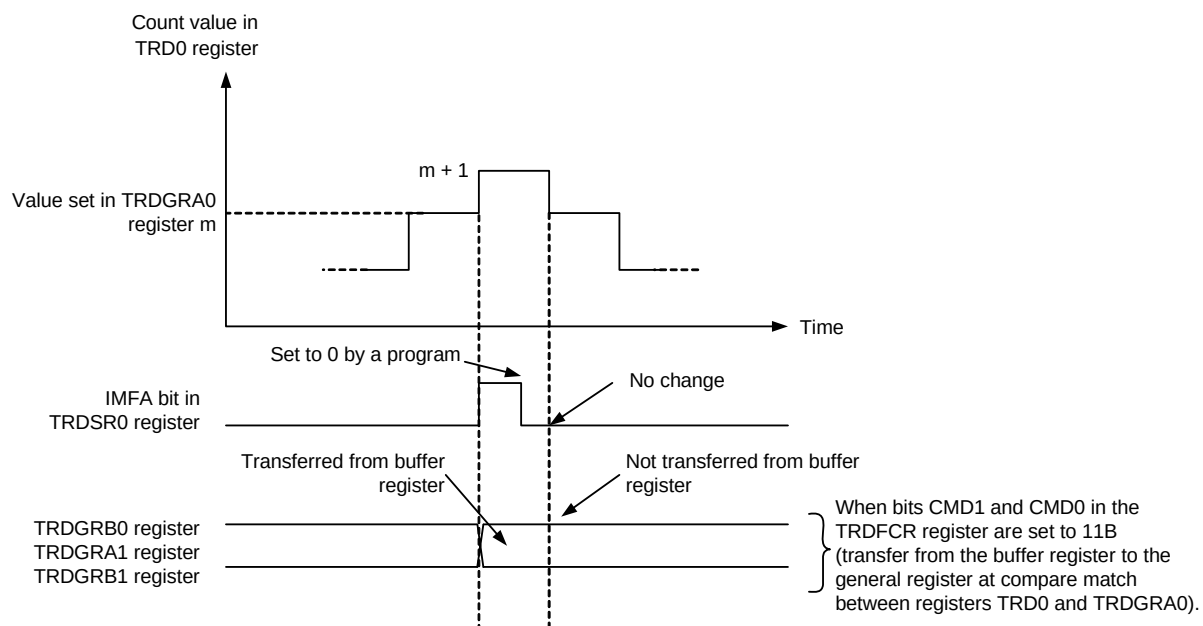
不能更改 PWM 周期。

- 如果假设 TRDGRA0 寄存器的设置值为 m , 则 TRD0 寄存器从递增转为递减时, 以 $m - 1$ 、 m 、 $m + 1$ 、 m 、 $m - 1$ 的顺序来计数。

从 m 更改为 $m + 1$ 时, TRDSRi 寄存器的 IMFA 位设置为 1, 并且 TRDFCR 寄存器的 CMD1 和 CMD0 位设置为 11B (互补 PWM 模式下, 缓冲数据在寄存器 TRD0 和 TRDGRA0 的比较匹配时传输), 缓冲寄存器的内容 (TRDGRD0、TRDGRC1 和 TRDGRD1) 被传出到通用寄存器 (TRDGRB0、TRDGRA1 和 TRDGRB1)。

在 $m + 1$ 、 m 和 $m - 1$ 的操作过程, IMFA 位保持不变, 数据不会传输到 TRDGRA0 等寄存器上。

图 8-62. 互补 PWM 模式下，TRD0 和 TRDGRA0 寄存器比较匹配时的操作



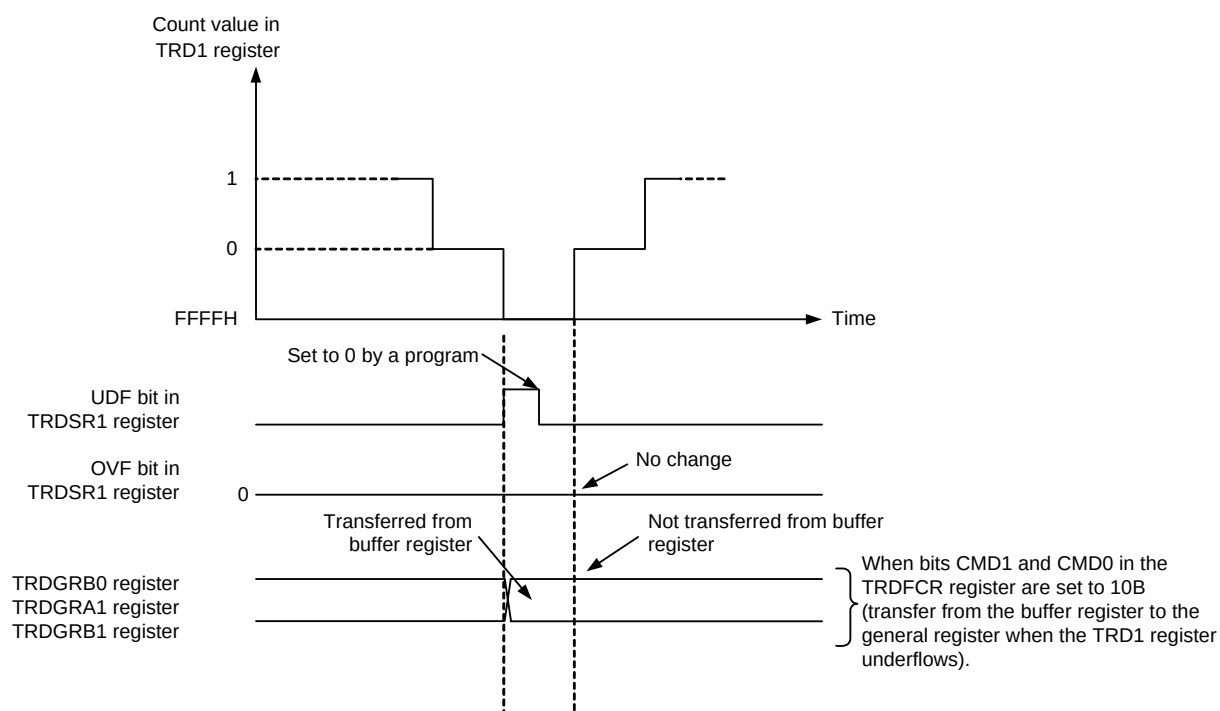
当 TRD1 寄存器从递减改变到递增操作时，以 1、0、FFFFH、0、1 的顺序来计数。

从 1 至 0 至 FFFFH 使 TRDSR_i 寄存器的 UDF 位设置为 1。并且，当 TRDFCR 寄存器的 CMD1 和 CMD0 位被设置为 10B 时(互补 PWM 模式下，缓冲数据在 TRD1 寄存器下溢时传输)，缓冲寄存器的内容 (TRDGRD0、TRDGRC1 和 TRDGRD1) 被传输到通用寄存器(TRDGRB0、TRDGRA1 和 TRDGRB1)。

在 FFFFH、0 和 1 的操作过程中，数据不会传输到 TRDGRB0 等寄存器上。

并且，此时 TRDSR_i 寄存器的 OVF 位保持不变。

图 8-63. 互补 PWM 模式下，TRD1 寄存器下溢时的操作



- 从缓冲寄存器到通用寄存器的数据传输时序，应该使用 TRDFCR 寄存器的 CMD0 和 CMD1 位进行选择。但是，不管 CMD0 和 CMD1 的设置值如何，当占空比周期为 0% 和 100%，按以下的时序来传输。

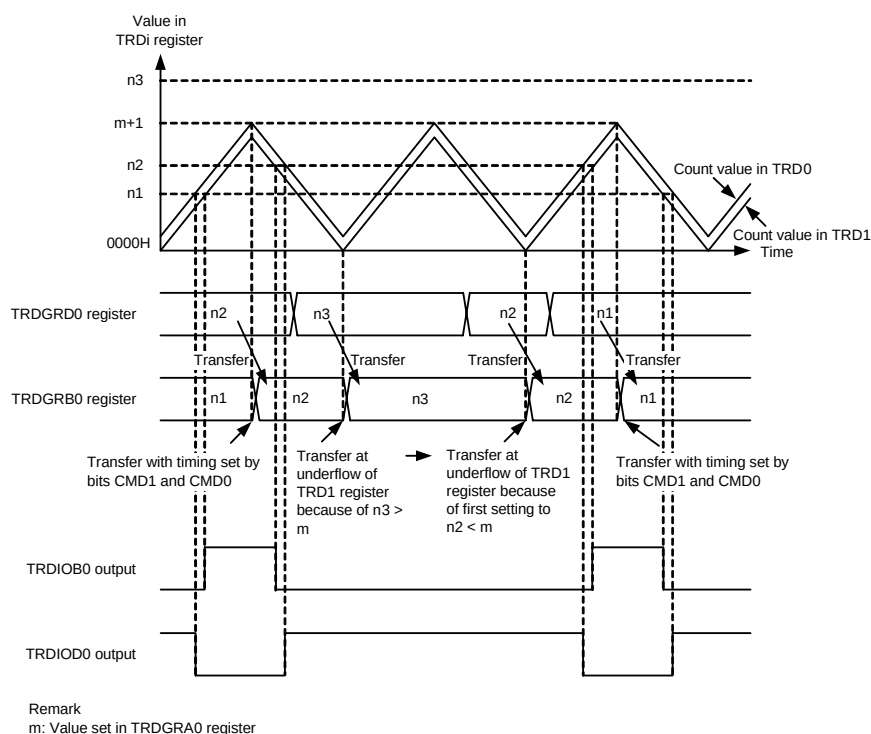
缓冲寄存器的值 $\geq$ TRDGRA0 寄存器的值 (占空比为 0%):

传输发生在 TRD1 寄存器的下溢。

此后，当缓冲寄存器被设置为大于等于 0001H 且小于 TRDGRA0 寄存器的值时，并且 TRD1 寄存器在设置后首次发生下溢，该值将被传送至通用寄存器。之后，该值将在由 CMD1 和 CMD0 位选择的时间被传送。

但是，当缓冲寄存器的初始值是 FFFFH 时，不能产生占空比 0% 的方波。要产生占空比 0% 的方波，通过写入到缓冲寄存器，设置缓冲寄存器的值 $\geq$ TRDGRA0。

图 8-64. 互补 PWM 模式下缓冲寄存器的值 $\geq$ TRDGRA0 寄存器的值时的操作



The above diagram applies under the following conditions:

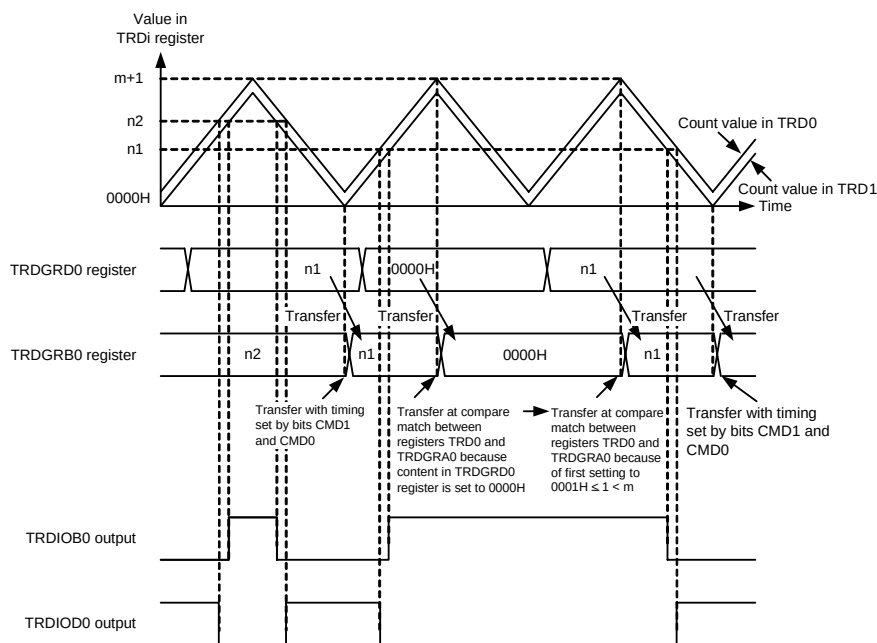
- Bits CMD1 and CMD0 in the TRDFCR register are set to 11B (data in the buffer register is transferred at compare match between registers TRD0 and TRDGRA0 in complementary PWM mode).
- Both the OSL0 and OLS1 bits in the TRDFCR register are set to 1 (active high for normal-phase and counter-phase).

当缓冲寄存器的值设置为 0000H 时(占空比是 100%):

传出发生在 TRD0 和 TRDGRA0 寄存器的比较匹配时。

此后, 当缓冲寄存器被设置为大于等于 0001H 且小于 TRDGRA0 寄存器的值时, 并且寄存器 TRD0 和 TRDGRA0 在设置后首次发生比较匹配, 该值将被传送至通用寄存器。之后, 该值将在由 CMD0 和 CMD1 位选择的时间被传送。

图 8-65. 互补 PWM 模式下缓冲寄存器的值设置为 0000H 的操作



Remark

m: Value set in TRDGRA0 register

The above diagram applies under the following conditions:

- Bits CMD1 and CMD0 in the TRDFCR register are set to 10B (data in the buffer register is transferred at underflow of the TRD1 register in complementary PWM mode).
- Both the OLS0 and OLS1 bits in the TRDFCR register are set to 1 (active high for normal-phase and counter-phase).

第九章 定时器 RG

定时器 RG 是具有两个输入引脚和两个输入/输出引脚的 16 位定时器。

9.1 概要

定时器 RG 使用 f_{CLK} 作为操作时钟。

定时器 RG 的框图如图 9-1 所示，定时器 RG 的引脚配置如表 9-1 所示。

定时器 RG 支持以下三种模式：

- 定时器模式
 - 输入捕捉功能：上升沿、下降沿或上升/下降双沿处计算
 - 输出比较功能：低输出/高输出/交替输出
- PWM 模式：可进行任何占空比的 PWM 输出
- 相位计数模式：可自动测量二相编码器的计数

图 9-1. 定时器 RG 的框图

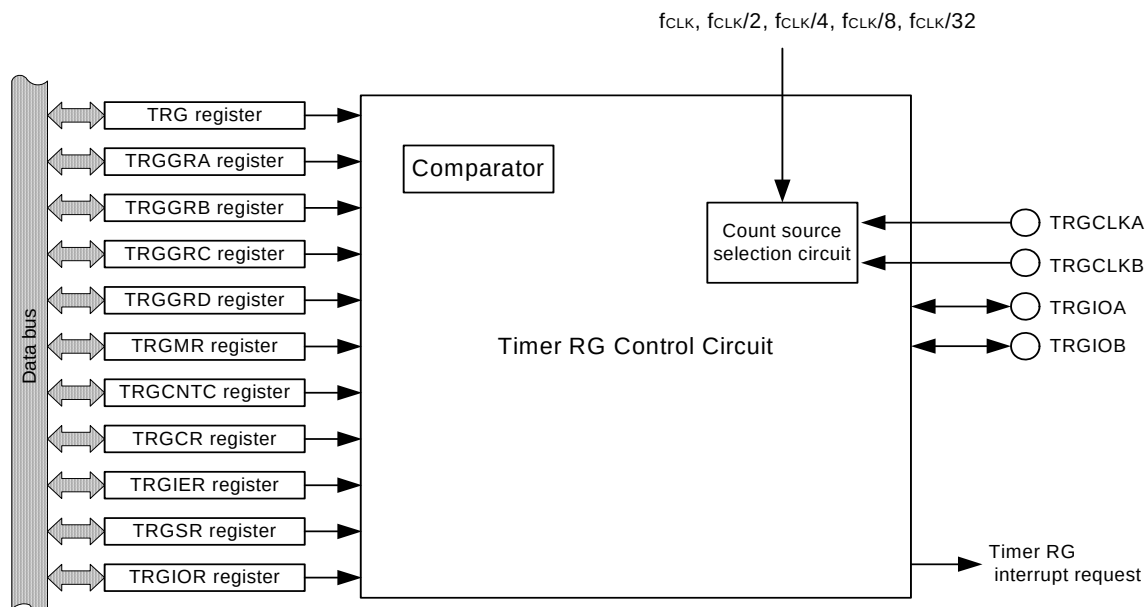


表 9-1. 定时器 RG 的引脚配置

引脚名称	配置引脚	输入/输出	功能
TRGCLKA	P00	输入	- 相位计数模式下 A相输入 - 相位计数模式之外 外部时钟A输入
TRGCLKB	P01	输入	- 相位计数模式下 B相输入 - 相位计数模式之外 外部时钟B输入
TRGIOA	P50	输入/输出	- 定时器模式下 (输出比较功能) TRGGRA输出比较输出 - 定时器模式下 (输入捕捉功能) TRGGRA输入捕捉输入 - PWM模式下 PWM输出
TRGIOB	P51	输入/输出	- 定时器模式下 (输出比较功能) TRGGRB输出比较输出 - 定时器模式下 (输入捕捉功能) TRGGRB输入捕捉输入

9.2 寄存器

定时器RG寄存器的配置如表 9-2 所示。

表 9-2. 定时器RG寄存器的配置

寄存器名称	符号	复位后	地址	存取大小
外围允许寄存器1	PER1	00H	F007AH	8
定时器RG模式寄存器	TRGMR	00H	F0250H	8
定时器RG计数控制寄存器	TRGCNTC	00H	F0251H	8
定时器RG控制寄存器	TRGCR	00H	F0252H	8
定时器RG 中断允许寄存器	TRGIER	00H	F0253H	8
定时器RG状态寄存器	TRGSR	00H	F0254H	8
定时器RG输入/输出控制寄存器	TRGIOR	00H	F0255H	8
定时器RG计数器	TRG	0000H	F0256H	16
定时器RG 通用寄存器A	TRGGRA	FFH	F0258H	16
		FFH	F0259H	
定时器RG 通用寄存器B	TRGGRB	FFH	F025AH	16
		FFH	F025BH	
定时器RG 通用寄存器C	TRGGRC	FFH	FFF60H	16
		FFH	FFF61H	
定时器RG 通用寄存器D	TRGGRD	FFH	FFF62H	16
		FFH	FFF63H	
端口寄存器0	P0	00H	FFF00H	8
端口寄存器5	P5	00H	FFF05H	8
端口模式寄存器0	PM0	FFH	FFF20H	8
端口模式寄存器5	PM5	FFH	FFF25H	8

9.2.1 外围允许寄存器(PER1)

PER1 寄存器用于允许或禁止向外围硬件供应时钟。同时停止向未使用的硬件供应时钟，以减少功耗和噪声。

要使用定时器 RD，务必首先将位 6(TRGEN)置“1”。

PER1 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号，将该寄存器清除为 00H。

图 9-2. 外围允许寄存器 1 的格式 (PER1)

地址: F007AH 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	2	1	<0>
PER1	DACEN [※]	TRGEN	CMPEN [※]	TRD0EN	DTCEN	0	0	TRJ0EN

TRGEN	定时器 RG 输入时钟供应的控制
0	停止输入时钟供应。 - 不能写入定时器 RG 所使用的 SFR。 - 定时器 RD 处于复位状态。
1	允许输入时钟供应。 可以读取/写入定时器 RJ0 所使用的 SFR。

注 仅限代码闪存为 96 KB 或更大的产品。

注意事项 1. 要设置定时器 RJ，务必首先将 TRGEN 位设置为“1”。若 TRGEN = 0 时，写入到定时器 RG 的控制寄存器会被忽略，并且所有的读取值均变为初始值 (除端口模式寄存器 0、5 (PM0, PM5)和端口寄存器 0、5 (P0, P5)以外)。

2. 确保下列位清为 0。

代码闪存为 64 KB 或更小的产品: 位 1、2、5 和 7

代码闪存为 96 KB 或更大的产品: 位 1 和 2

9.2.2 定时器RG模式寄存器(TRGMR)

图 9-3. 定时器 RG 模式寄存器的格式 (TRGMR)

地址: F0250H 复位后: 00H

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TRGMR	TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFB	TRGDFA	TRGMDF	TRGPWM

TRGST ART	TRG开始计数							R/W
0	停止计数, 且PWM输出信号 (TRGIOA引脚)被初始化 (PWM模式下)							R/W
1	开始计数							

TRGELC ICE	ELC输入捕捉请求选择 ^{註1, 2}							R/W
0	选择外部输出信号 B/数字滤波信号 B							R/W
1	选择来自 ELC的事件输入(输入捕捉)							

TRGDF CK1	TRGDF CK0	数字滤波器功能时钟选择 ^{註1}					R/W
0	0	f _{CLK} /32					R/W
0	1	f _{CLK} /8					
1	0	f _{CLK}					
1	1	TRGCR寄存器的TRGTCK0至TRGTCK2位选择的时钟					

TRGDF B	TRGIOB引脚的数字滤波器功能选择							R/W
0	不使用数字滤波器功能							R/W
1	使用数字滤波器功能							
如果数字滤波器有效, 经过数字滤波器采样时钟的5个或5个以上的周期时, 会执行边沿检测。								

TRGDF A	TRGIOA 引脚的数字滤波器功能选择							R/W
0	不使用数字滤波器功能							R/W
1	使用数字滤波器功能							
如果数字滤波器有效, 经过数字滤波器采样时钟的5个或5个以上的周期时, 会执行边沿检测。								

TRGM DF	相位计数模式选择							R/W
0	递增							R/W
1	相位计数模式							
当TRGMDF位被设置为0 时, 计数器对通过TRGCR寄存器的TRGTCK0至TRGTCK2位设置的计数源进行计数。 当TRGMDF位被设置为1时, 计数器对来自TRGCLKj引脚 (j = A或B) 的输入信号的相位进行计数, 详见表 9-15 TRG寄存器的递增/递减条件。								

TRGPWM	PWM模式选择							R/W
0	定时器模式							R/W
1	PWM模式							

- 注1. 当 TRGSTART位为0 (停止计数)时，设置此位。
2. 将TRGIOR寄存器中的TRGIOB2设置为1且TRGIOB1和TRGIOB0设置为00B（上升沿），从而通过事件连接控制器(ELC)来允许事件输入（输入捕捉）。

9.2.3 定时器RG计数控制寄存器(TRGCNTC)

TRGCNTC 寄存器使用在位相计数模式下。该寄存器用于设置位相计数模式下的计数条件。

图 9-4. 定时器 RG 计数控制寄存器的格式 (TRGCNTC)

地址: F0251H 复位后: 00H

符号	7	6	5	4	3	2	1	0
TRGCNTC	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0

CNTEN 7	允许计数7	R/W
0	无效	R/W
1	递增 当TRGCLKA输入为低电平且处于TRGCLKB输入的上升沿时	

CNTEN 6	允许计数6	R/W
0	无效	R/W
1	递增 当TRGCLKB输入为高电平且处于TRGCLKA输入的上升沿时	

CNTEN 5	允许计数5	R/W
0	无效	R/W
1	递增 当TRGCLKA输入为高电平且处于TRGCLKB输入的下降沿时	

CNTEN 4	允许计数4	R/W
0	无效	R/W
1	递增 当TRGCLKB输入为低电平且处于TRGCLKA输入的下降沿时	

CNTEN 3	允许计数3	R/W
0	无效	R/W
1	递减 当TRGCLKB输入为高电平且处于TRGCLKA输入的下降沿时	

CNTEN 2	允许计数2	R/W
0	无效	R/W
1	递减 当TRGCLKA输入为低电平且处于TRGCLKB输入的下降沿时	

CNTEN 1	允许计数1	R/W
0	无效	R/W
1	递减 当TRGCLKB输入为低电平且处于TRGCLKA输入的上升沿时	

CNTEN0	允许计数0	R/W
0	无效	R/W
1	递减 当TRGCLKA输入为高电平且处于TRGCLKB输入的上升沿时	

9.2.4 定时器RG控制寄存器(TRGCR)

写入 TRGCR 寄存器时, 务必确认 TRGMR 寄存器的 TRGSTART 位为 0 (停止计数)。

图 9-5. 定时器 RG 控制寄存器的格式 (TRGCR)

地址: F0252H 复位后: 00H

符号	7	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TRGCR	-	TRGCCLR1	TRGCCLR0	TRGCKEG1	TRGCKEG0	TRGTCK2	TRGTCK1	TRGTCK0

位7	没有任何配置						
-	写入值必须为0。读取值为0。						R

TRGCC LR1	TRGCC LR0	选择TRG寄存器清除源	R/W
0	0	禁止清除	R/W
0	1	输入捕捉/与TRDGRBi比较匹配时清除	
1	0	输入捕捉/与TRGGRB比较匹配时清除	
1	1	不要设置	

TRGCK EG1	TRGCK EG0	选择外部时钟有效边沿 ^{注1, 2}	R/W
0	0	在上升沿计数	R/W
0	1	在下降沿计数	
1	0	在上升/下降双沿计数	
1	1	不要设置	

TRGTC K2	TRGTC K1	TRGTC K0	选择计数源 ^{注1}	R/W
0	0	0	f _{CLK}	R/W
0	0	1	f _{CLK} /2	
0	1	0	f _{CLK} /4	
0	1	1	f _{CLK} /8	
1	0	0	f _{CLK} /32	
1	0	1	TRGCLKA输入	
1	1	0	不要设置	
1	1	1	TRGCLKB输入	

- 注 1. 在相位计数模式下, TRGTCK0 至 TRGTCK2 位以及 TRGCKEG0 和 TRGCKEG1 位的设置被禁止, 相位计数模式操作优先。
2. 当 TRGTCK0 至 TRGTCK2 位被设为外部时钟 (TRGCLKA 或 TRGCLKB) 时, TRGCKEG0 和 TRGCKEG1 位启用。当不设置为外部时钟时禁止设置这些寄存器。

9.2.5 定时器RG 中断允许寄存器(TRGIER)

图 9-6. 定时器 RG 中断允许寄存器的格式 (TRGIER)

地址: F0253H 复位后: 00H

符号	7	6	5	4	<3>	<2>	<1>	<0>
TRGIER	-	-	-	-	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA

位7 to 4	没有任何配置							
-	写入值必须为0。读取值为0。							R

TRGOVIE	允许溢出中断							R/W
0	禁止通过TRGOVF位的中断							R/W
1	允许通过TRGOVF位的中断							

TRGUDIE	允许下溢中断							R/W
0	禁止通过TRGOVF位的中断							R/W
1	允许通过TRGOVF位的中断							

TRGIMIE B	输入捕捉/比较匹配中断允许B							R/W
0	禁止通过TRGIMFB位的中断							R/W
1	允许通过TRGIMFB位的中断							

TRGIMIE A	输入捕捉/比较匹配中断允许A							R/W
0	禁止通过TRGIMFA位的中断							R/W
1	允许通过TRGIMFA位的中断							

备注 TRGIMFA, TRGIMFB, TRGUDF, TRGOVF: TRGSR 寄存器的位

9.2.6 定时器RG状态寄存器(TRGSR)

图 9-7. 定时器 RG 状态寄存器的格式 (TRGSR)

地址: F0254H 复位后: 00H

符号	7	6	5	<4>	<3>	<2>	<1>	<0>
TRGSR	-	-	-	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA

位7至5	没有任何设置						
-	写入值必须为0。读取值为0。						R

TRGDIRF	计数方向标志		
0	TRG寄存器在递减	R	
1	TRG寄存器在递增		

TRGOVF	溢出标志 ^{注1}						R/W
[置0条件] 读取后, 写入0 ^{注2} [置1条件] 参阅表9-3. 各标志设为1的条件						R/W	

TRGUDF	下溢标志						R/W
[置0条件] 读取后, 写入0 ^{注2} [置1条件] 参阅表9-3. 各标志设为1的条件						R/W	

TRGIMFB	输入捕捉/比较匹配标志 B						R/W
[置0条件] 读取后, 写入0 ^{注2,3} [置1条件] 参阅表9-3. 各标志设为1的条件						R/W	

TRGIMFA	输入捕捉/比较匹配标志 A						R/W
[置0条件] 读取后, 写入0 ^{注2,3} [置1条件] 参阅表9-3. 各标志设为1的条件						R/W	

- 注 1. 当定时器 RG 的计数器值从 FFFFH 变为 0000H 时, TRGOVF 位被设置为 1。同时, 如果根据 TRGCR 寄存器中的 TRGCCLR0 和 TRGCCLR1 位的设置, 定时器 RG 计数器值因在操作过程中的输入捕捉/比较匹配而从 FFFFH 变为 0000H, 则 TRGOVF 位被设置为 1。
2. 写入结果如下:
- 如果读取值为 1, 将 0 写入该位将把其设置为 0。
 - 如果读取值为 0, 即使将 0 写入该位, 其也保持不变。(即使在读取后该位从 0 变为 1 然后写入 0, 该位仍将保持 1。)
 - 写入 1 的操作无效。
3. 当使用 DTC 时, TRGIMFA 和 TRGIMFB 位将在 DTC 传送完成后被设置为 1。

表 9-3. 各标志设为 1 的条件

位符号	定时器模式 ^{注 1}		PWM模式
	输入捕捉功能	输出比较功能	
TRGOVF	当TRG寄存器溢出时。		
TRGUDF	当TRG寄存器下溢时(仅在相位计数模式下)。		
TRGIMFB	TRGIOB引脚的输入沿 ^{注 2}	当TRG寄存器的值和TRGGRB 匹配时。	
TRGIMFA	TRGIOA引脚的输入沿 ^{注 2}	当TRG寄存器的值和TRGGRA 匹配时。	

- 注 1. 相位计数模式是定时器 RG 计数寄存器的计数方法。可以通过相应的设置来使用上述定时器模式和 PWM 模式。
2. 由 TRGIOR 寄存器中的 TRGIOj0 和 TRGIOj1 位 (j = A 或 B) 选择的边沿。

9.2.7 定时器RG输入/输出控制寄存器(TRGIOR)

图 9-8. 定时器 RG 输入/输出控制寄存器的格式 (TRGIOR)

地址: F0255H 复位后: 00H

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TRGIOR	TRGBUFB	TRGIOB2	TRGIOB1	TRGIOB0	TRGBUFA	TRGIOA2	TRGIOA1	TRGIOA0

TRGBUFB	TRGGRD寄存器功能选择	R/W
0	不作为TRGGRB寄存器的缓冲寄存器来使用	R/W
1	作为TRGGRB寄存器的缓冲寄存器来使用	

TRGIOB2	TRGGRB模式选择 ^{註1,2}	R/W
0	输出比较功能	R/
1	输入捕捉功能	W

TRGIOB1	TRGIOB0	TRGGRB控制	R/W
0	0	禁止比较匹配引脚输出	R/
0	1	低输出	
1	0	高输出	
1	1	交替输出	
在输出比较功能中, 在寄存器TRG和TRGGRB 比较匹配时输出			

TRGIOB1	TRGIOB0	TRGGRB控制	R/W
0	0	TRGIOB的上升沿	R/
0	1	TRGIOB的下降沿	
1	0	TRGIOB的双沿	
1	1	不要设置	
输入捕捉功能中, 输入捕捉TRG寄存器的内容到TRGGRB寄存器			

TRGBUFA	选择TRGGRC寄存器功能	R/W
0	不作为TRGGRA寄存器的缓冲寄存器来使用	R/
1	作为TRGGRA寄存器的缓冲寄存器来使用	W

TRGIOA2	选择TRGGRA模式 ^{註1,2}	R/W
0	输出比较功能	R/
1	输入捕捉功能	W

TRGIOA1	TRGIOA0	TRGGRA控制	R/W
0	0	禁止比较匹配引脚输出	R/W
0	1	低输出	
1	0	高输出	
1	1	交替输出	
在输出比较功能中，在寄存器TRG和TRGGRA比较匹配时输出			

TRGIO A1	TRGIO A0	TRGGRA控制	R/ W
0	0	TRGIOA的上升沿	R/ W
0	1	TRGIOA的下降沿	
1	0	TRGIOA的双沿	
1	1	不要设置。	
输入捕捉功能中，输入捕捉TRG寄存器的内容到TRGGRA寄存器			

- 注 1. 当 TRGIOj2 (j = A 或 B) 位为 1 时 (输入捕捉功能)，TRGGRj 寄存器用作输入捕捉寄存器。
2. 当 TRGIOj2 (j = A 或 B) 位为 0 时 (输出捕捉功能)，TRGGRj 寄存器用作比较匹配寄存器。复位后设置 TRGIOj0 和 TRGIOj1 位，直到发生第一次比较匹配为止，TRGIOj 引脚按以下方式输出：
 TRGIOj1 和 TRGIOj0 = 01B: 高输出
 10B: 低输出
 11B: 低输出

该 TRGIOR 寄存器在定时器模式下控制 I/O 引脚。在 PWM 模式下变为无效。当计数停止时，设置 TRGIOR 寄存器 (TRGMR 寄存器的 TRGSTART = 0)。

9.2.8 定时器RG计数器(TRG)

TRG 寄存器通过内部 16 位总线连接至 CPU，且须始终按 16 位单位存取。该寄存器支持递增、自由运行、周期计数或外部事件计数等操作模式。可以通过与对应 TRGGRA 或 TRGGRB 寄存器的比较匹配，或者输入捕捉至寄存器 TRGGRA 和 TRGGRB 来清除至 0000H（计数清除功能）。

当 TRG 寄存器发生溢出(FFFFH → 0000H)时，TRGSR 寄存器的 TRGOVF 标志设为 1。

当 TRG 寄存器发生下溢(0000H → FFFFH)时，TRGSR 寄存器的 TRGUDF 标志设为 1。

图 9-9. 定时器 RG 计数器的格式 (TRG)

地址: F0256H 复位后: 0000H

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRG	TRG 15	TRG 14	TRG 13	TRG 12	TRG 11	TRG 10	TRG 9	TRG 8	TRG 7	TRG 6	TRG 5	TRG 4	TRG 3	TRG 2	TRG 1	TRG 0

TRG15至TRG0	功能	设置范围	R/W
位15至0	相位计数模式下，计数操作在递增/递减。 其他模式下，计数操作在递增。	0000H至FFFFH	R/W

9.2.9 定时器RG 通用寄存器A、B、C和D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)

寄存器 TRGGRA 和 TRGGRB 为 16 位可读/写寄存器，支持输出比较和输入捕捉寄存器功能。这些功能通过设置 TRGIOR 寄存器来进行切换。

当寄存器 TRGGRA 和 TRGGRB 用作输出比较寄存器时，始终比较寄存器 TRGGRA 和 TRGGRB 的值与 TRG 寄存器的值。当其值匹配时（比较匹配），TRGSR 寄存器中的 TRGIMFA 和 TRGIMFB 位被设置为 1。可以通过 TRGIOR 寄存器来设置比较匹配输出。

当寄存器 TRGGRA 和 TRGGRB 用作输入捕捉寄存器时，在检测到外部输入的捕捉信号时存储 TRG 寄存器的值。此时，TRGIMFA/TRGIMFB 位被设置为 1。通过设置 TRGIOR 寄存器来选择输入捕捉信号的检测边沿。

TRGGRC 寄存器也可用作 TRGGRA 寄存器的缓冲寄存器，TRGGRD 寄存器可用作 TRGGRB 寄存器的缓冲寄存器。这些功能可通过设置 TRGIOR 寄存器的 TRGBUFA 和 TRGBUFB 位来进行选择切换。

例如，当 TRGGRA 寄存器被设置为输出比较寄存器且 TRGGRC 寄存器被设置为 TRGGRA 寄存器的缓冲寄存器时，每当发生比较匹配 A 时，TRGGRC 寄存器的值将被传送至 TRGGRA 寄存器。

当 TRGGRA 寄存器被设置为输入捕捉寄存器且 TRGGRC 寄存器被设置为 TRGGRA 寄存器的缓冲寄存器时，每当发生输入捕捉时，TRG 寄存器的值被传送至 TRGGRA 寄存器，且 TRGGRA 寄存器的值将被传送至 TRGGRC 寄存器。

按 16 位单位读取或者写入寄存器 TRGGRA、TRGGRB、TRGGRC 和 TRGGRD。

图 9-10. 定时器 RG 通用寄存器 A、B、C 和 D 的格式 (TRGGRA, TRGGRB, TRGGRC, TRGGRD)

地址：F0258H (TRGGRA), F025AH (TRGGRB), FFF60H (TRGGRC), FFF62H (TRGGRD)

复位后：FFFFH

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGGRi	TRG GRi15	TRG GRi14	TRG GRi13	TRG GRi12	TRG GRi11	TRG GRi10	TRG GRi9	TRG GRi8	TRG GRi7	TRG GRi6	TRG GRi5	TRG GRi4	TRG GRi3	TRG GRi2	TRG GRi1	TRG GRi0

备注 i = A, B, C, D

TRGGRi15 至TRGGRi0	功能	R/W
位15至0	功能根据模式或功能而异。 表 9-4 显示TRGGRA、TRGGRB、TRGGRC和TRGGRD寄存器功能。	R/W

表 9-4. TRGGRA、TRGGRB、TRGGRC 和 TRGGRD 寄存器功能

模式、功能	寄存器	设置	功能
输入捕捉	TRGGR A	TRGIOR (TRGIOA2 = 1) TRGMR (TRGPWM = 0)	输入捕捉寄存器(保存TRG寄存器的值)
	TRGGR B	TRGIOR (TRGIOB2 = 1) TRGMR (TRGPWM = 0)	输入捕捉寄存器(保存TRG寄存器的值)
输出比较	TRGGR A	TRGIOR (TRGIOA2 = 0) TRGMR (TRGPWM = 0)	输出比较寄存器(保存与TRG寄存器的比较值, 输出比较匹配时 TRGIOA 的设置值)
	TRGGR B	TRGIOR (TRGIOB2 = 0) TRGMR (TRGPWM = 0)	输出比较寄存器(保存与TRG寄存器的比较值, 输出比较匹配时 TRGIOB 的设置值)
PWM	TRGGR A	TRGMR (TRGPWM = 1)	输出比较寄存器(比较匹配时向TRGIOA输出高电平)
	TRGGR B		输出比较寄存器(比较匹配时向TRGIOA输出低电平)
共通	TRGGR C	TRGIOR (TRGBUFA = 0)	不使用
	TRGGR D	TRGIOR (TRGBUFB = 0)	不使用
	TRGGR C	TRGIOR (TRGBUFA = 1)	TRGGRA的缓冲寄存器(从TRGGRA传输, 或传输到TRGGRA) • 当TRGIOA2 = 1时 输入捕捉信号: 从TRGGRA接收到之前的输入捕捉值 • 当 TRGIOA2 = 0时 TRG和TRGGRA 比较匹配: 向TRGGRA传送下一个期待比较值
	TRGGR D	TRGIOR (TRGBUFB = 1)	TRGGRB的缓冲寄存器(从TRGGRB传输, 或传输到TRGGRB) • 当TRGIOB2 = 1 时 输入捕捉信号: 从TRGGRB接收到之前的输入捕捉值 • 当TRGIOB2 = 0时 TRG和TRGGRB 比较匹配: 向TRGGRB传送下一个期待比较值

注意事项 当 TRGCR 寄存器中的 TRGTCK2 至 TRGTCK0 位为 000B (f_{CLK}) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至数据传输控制器(DTC)和事件连接控制器(ELC)的请求信号。

当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

9.2.10 端口模式寄存器 0、5 (PM0, PM5)

这些寄存器以 1 位宽度设置端口 0 和 5 的输入/输出。

在将与定时器输出引脚共用的端口 (P50/TRGIOA, P51/TRGIOB) 用作定时器输出时, 将对应于各端口的端口模式寄存器(PMxx)位和端口寄存器(Pxx)位设为 0。

示例: 当使用 P50/TRGIOA 用作定时器输出
将端口模式寄存器 5 的 PM50 位设为 0。
将端口寄存器 5 的 P50 位设为 0。

在将与定时器输入引脚共用的端口 (P50/TRGIOA、P51/TRGIOB) 用作定时器输入时, 将对应于各端口的端口模式寄存器(PMxx)位设为 1。此时, 端口寄存器(Pxx)位可以是 0 或 1。

示例: 当将 P50/TRGIOA 用作定时器输入时
将端口模式寄存器 5 的 PM50 位设为 1。
将端口寄存器 5 的 P50 位设为 0 或 1。

PM0 和 PM5 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。
产生复位信号时会将这些寄存器设置为 FFH。

图 9-11. 端口模式寄存器 0、5 的格式 (PM0, PM5) (100 针产品)

地址: FFF20H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

地址: FFF25H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PMmn	Pmn 引脚 I/O 模式选择 (m = 0, 5; n = 0 至 7)
0	输出模式 (输出缓冲上电)
1	输入模式 (输出缓冲上电)

备注 100 针产品的端口模式寄存器 0 和 5 的格式如上图所示。关于其他产品的端口模式寄存器的格式详情, 参阅表 4-22. 或表 4-23. 安装在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCx 寄存器和其的位。

9.3 操作

9.3.1 复数个模式和功能的共通事项

(1) 计数源

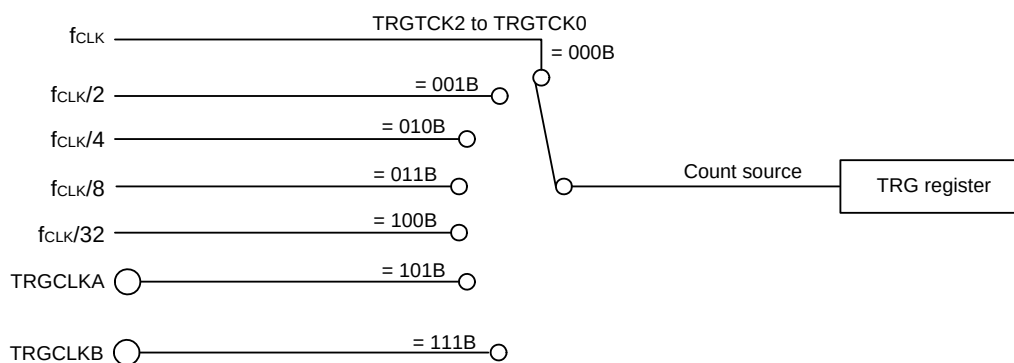
计数源的选择如表 9-5 所示，计数源的框图如图 9-12 所示。

当选择相位计数模式时，禁止设置 TRGCR 寄存器中的 TRGTCK0 至 TRGTCK2 位以及 TRGCKEG0 和 TRGCKEG1 位。

表 9-5. 计数源的选择

计数源	选择方式
f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$	通过TRGCR寄存器的TRGTCK0至TRGTCK2位来选择计数源。
输入到TRGCLKA 或 TRGCLKB引脚的外部信号	设置TRGCR寄存器的TRGTCK2至TRGTCK0位为101B (TRGCLKA输入) 或 111B (TRGCLKB输入)。 通过TRGCR寄存器的TRGCKEG0和TRGCKEG1来选择有效源。 设置对应端口模式寄存器的位为1(输入模式)。

图 9-12. 计数源的框图



Remark TRGTCK0 to TRGTCK2: Bits in TRGCR register

输入到 TRGCLKj 引脚(j = A 或 B)的外部时钟的脉冲宽度要设置在定时器 RG 操作时钟的三个或三个周期 (f_{CLK})。

(2) 缓冲操作

可以使用 TRGIOR 寄存器中的 TRGBUFA 或 TRGBUFB 位来选择 TRGGRC 或 TRGGRD 寄存器作为 TRGGRA 或 TRGGRB 寄存器的缓冲寄存器。

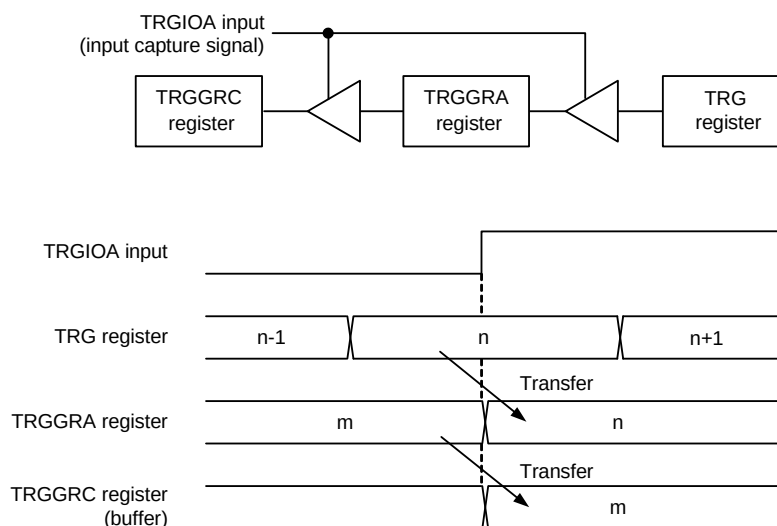
- TRGGRA 寄存器的缓冲寄存器: TRGGRC 寄存器
- TRGGRB 寄存器的缓冲寄存器: TRGGRD 寄存器

缓冲操作因模式而异。各模式的缓冲操作如表 9-6 所示, 输入捕捉功能的缓冲操作如图 9-13 所示, 输出比较功能的缓冲操作如图 9-14 所示。

表 9-6. 各模式的缓冲操作

功能、模式	传输时序	传输目标寄存器
输入捕捉功能	输入捕捉信号输入	TRGGRA (TRGGRB)寄存器的内容传送到缓冲寄存器。
输出比较功能	TRG寄存器和TRGGRA (TRGGRB)寄存器的	缓冲寄存器的内容传送到TRGGRA (TRGGRB)寄存器。
PWM模式	比较匹配	

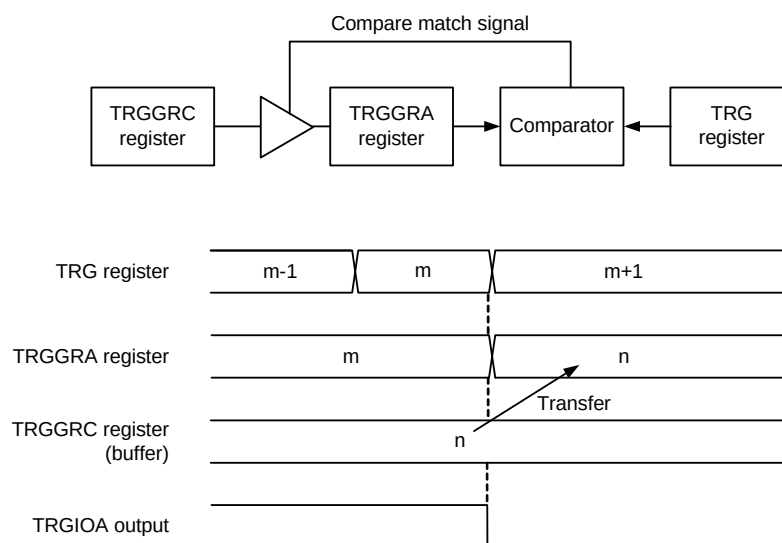
图 9-13. 输入捕捉功能的缓冲操作



The above diagram applies under the following conditions:

- The TRGBUFA bit in the TRGIOR register is set to 1 (TRGGRC register is used as buffer register for TRGGRA register).
- Bits TRGIOA2 to TRGIOA0 in the TRGIOR register are set to 100B (input capture at the rising edge).

图 9-14. 输出比较功能的缓冲操作



The above diagram applies under the following conditions:

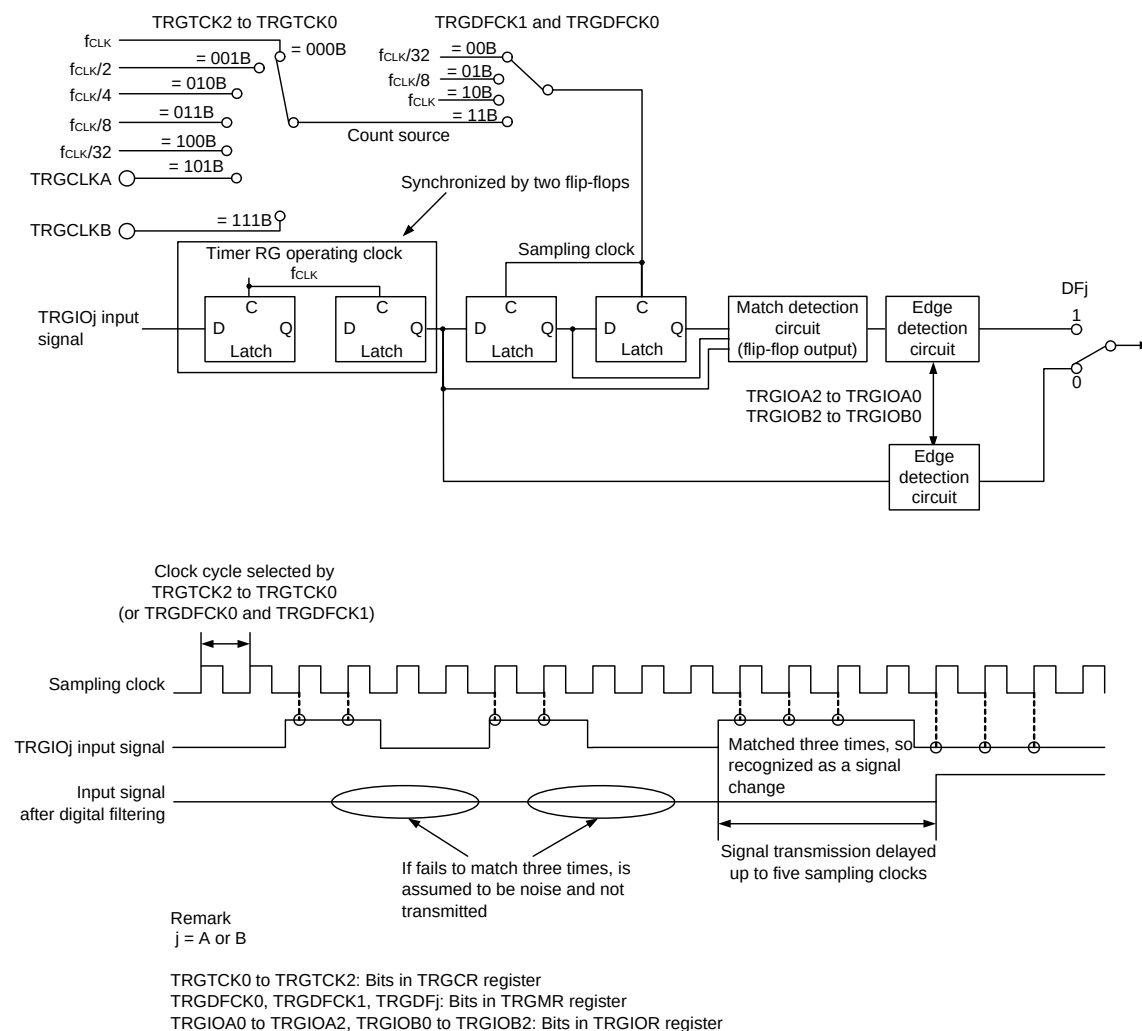
- The TRGBUFA bit in the TRGIOR register is set to 1 (TRGGRC register is used as buffer register for TRGGRA register).
- Bits TRGIOA2 to TRGIOA0 in the TRGIOR register are set to 001B (low output by compare match).

(3) 数字滤波器

TRGIOj 输入(j = A 或 B)被采样, 当采样的输入电平匹配了三次时就被视为确定。使用 TRGMR 寄存器来选择数字滤波器功能和采样时钟。

图 9-15 显示数字滤波器的框图。

图 9-15. 数字滤波器的框图



(4) 从事件连接控制器的事件输入(ELC)

定时器 RG 在 ELC 输入事件时执行输入捕捉操作 B。此时，TRGSR 寄存器中的 TRGIMFB 位被设置为 1。

要使用该功能，则须选择定时器模式/相位计数模式的输入捕捉功能，并将 TRGMR 寄存器中的 TRGELCICE 位设置为 1。其他模式下禁止该功能（定时器模式/相位计数模式的输出比较功能以及 PWM 模式）。

设置步骤

<1> 设置定时器 RG 为 ELC 事件链接目标。

<2> 设置 TRGMR 寄存器的 TRGELCICE 位为 1。

(5) 向事件链接控制器(ELC)的事件输出

通过 TRGIMFA 位向 ELC 的事件输出如表 9-7 所示，通过 TRGIMFB 位向 ELC 的事件输出如表 9-8 所示。

表 9-7. 通过 TRGIMFA 位向 ELC 的事件输出

功能、模式	ELC 源
输入捕捉功能 (TRGPWM = 0, TRGIOA2 = 1)	通过TRGIOA0和TRGIOA1位设置的TRGIOA的边沿检测
输出比较功能 (TRGPWM = 0, TRGIOA2 = 0)	TRG和TRGGRA寄存器之间的比较匹配
PWM模式 (TRGPWM = 1)	TRG和TRGGRA寄存器之间的比较匹配

备注 TRGPWM: TRGMR 寄存器的位
TRGIOA0、TRGIOA1、TRGIOA2: TRGIOR 寄存器的位

表 9-8. 通过 TRGIMFB 位向 ELC 的事件输出

功能、模式	ELC 源
输入捕捉功能 (TRGPWM = 0, TRGIOB2 = 1)	通过TRGIOB0和TRGIOB1位设置的TRGIOB的边沿检测
输出比较功能 (TRGPWM = 0, TRGIOB2 = 0)	TRG和TRGGRB寄存器之间的比较匹配
PWM模式 (TRGPWM = 1)	TRG和TRGGRB寄存器之间的比较匹配

备注 TRGPWM: TRGMR 寄存器的位
TRGIOB0、TRGIOB1、TRGIOB2: TRGIOR 寄存器的位

9.3.2 定时器模式 (输入捕捉功能)

可以在检测到输入捕捉/输出比较引脚 (TRGIOA 和 TRGIOB) 的输入边沿时, 将 TRG 寄存器的值传送至寄存器 TRGGRA 和 TRGGRB。检测边沿可从上升沿/下降沿/双边沿三个选项中选择。

输入捕捉功能可用于测量脉冲宽度和周期。

输入捕捉功能的规格如表 9-9 所示。

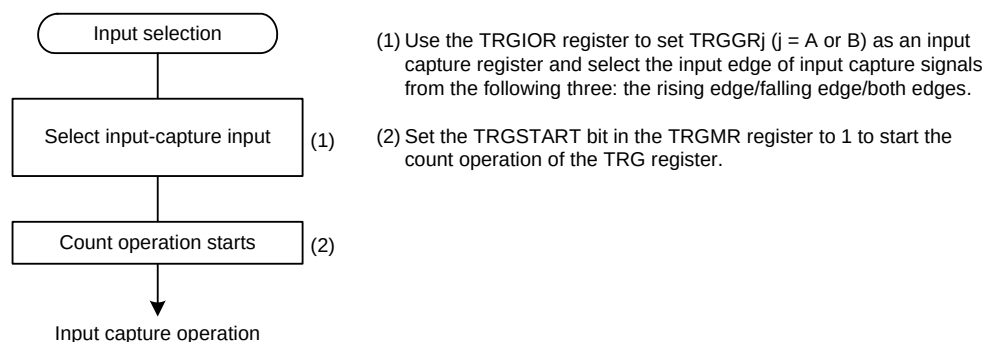
表 9-9. 输入捕捉功能的规格

项目	规格
计数源	f _{CLK} , f _{CLK} /2, f _{CLK} /4, f _{CLK} /8, f _{CLK} /32 输入到TRGCLKA 或TRGCLKB引脚的外部信号 (通过程序选择有效沿)
计数操作	递增
计数周期	当TRGCR寄存器的TRGCCLR1至TRGCCLR0位设置为00B (自由运行操作)。 1/f _k × 65,536 f _k : 计数源的频率
计数开始条件	向TRGMR寄存器的TRGSTART位写入1 (开始计数)。
计数停止条件	向TRGMR寄存器的TRGSTART位写入0(停止计数)。
中断请求产生时序	- 输入捕捉(TRGIOA和TRGIOB引脚输入的有效沿) - TRG 寄存器溢出
TRGIOA, TRGIOB引脚功能	I/O端口或输入捕捉输入(每个引脚可分别选择)
TRGCLKA, TRGCLKB引脚功能	I/O端口或外部时钟输入
从定时器读取	通过读取TRG 寄存器可读取计数值。
写入到定时器	写入到TRG 寄存器。
选择功能	- 输入-捕捉输入引脚选择 TRGIOA和TRGIOB引脚的任何一方或双方 - 输入-捕捉输入的有效沿选择 上升沿, 下降沿或上升下降沿双方 - 设置TRG 寄存器为0000H的时序 溢出或输入捕捉 - 缓冲操作 (参阅 9.3.1. (2) 缓冲操作) - 数字滤波器(参阅 9.3.1. (3) 数字滤波器) - 通过来自事件连接控制器(ELC)的事件输入信号(输入捕捉)的输入捕捉操作

(1) 设置输入捕捉操作的步骤示例

输入捕捉操作的设置步骤示例如图 9-16 所示。

图 9-16. 输入捕捉操作的设置步骤示例



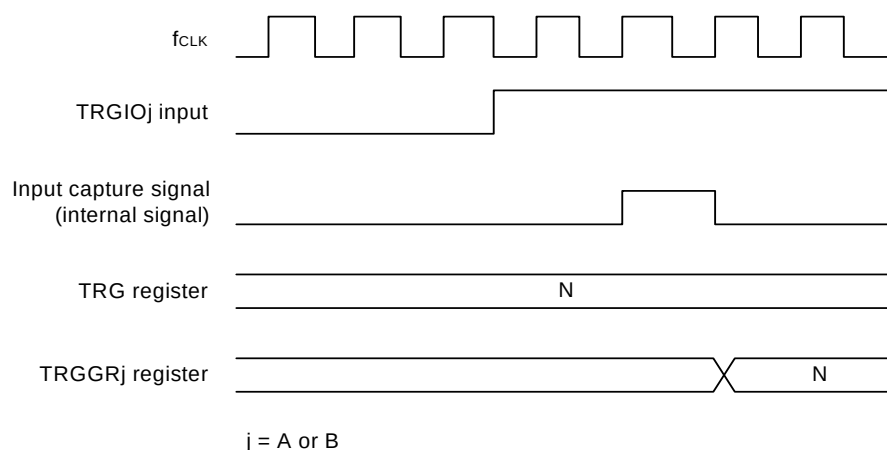
(2) 输入捕捉信号时序

输入-捕捉输入可通过设置 TRGIOR 寄存器来选择上升沿/下降沿/上升下降双沿。

输入捕捉输入信号时序如图 9-17 所示。

对于单边沿，输入捕捉输入信号的脉冲宽度应为 $1.5f_{CLK}$ 或更大，双边沿则应为 $2.5f_{CLK}$ 或更大。

图 9-17. 输入捕捉输入信号时序



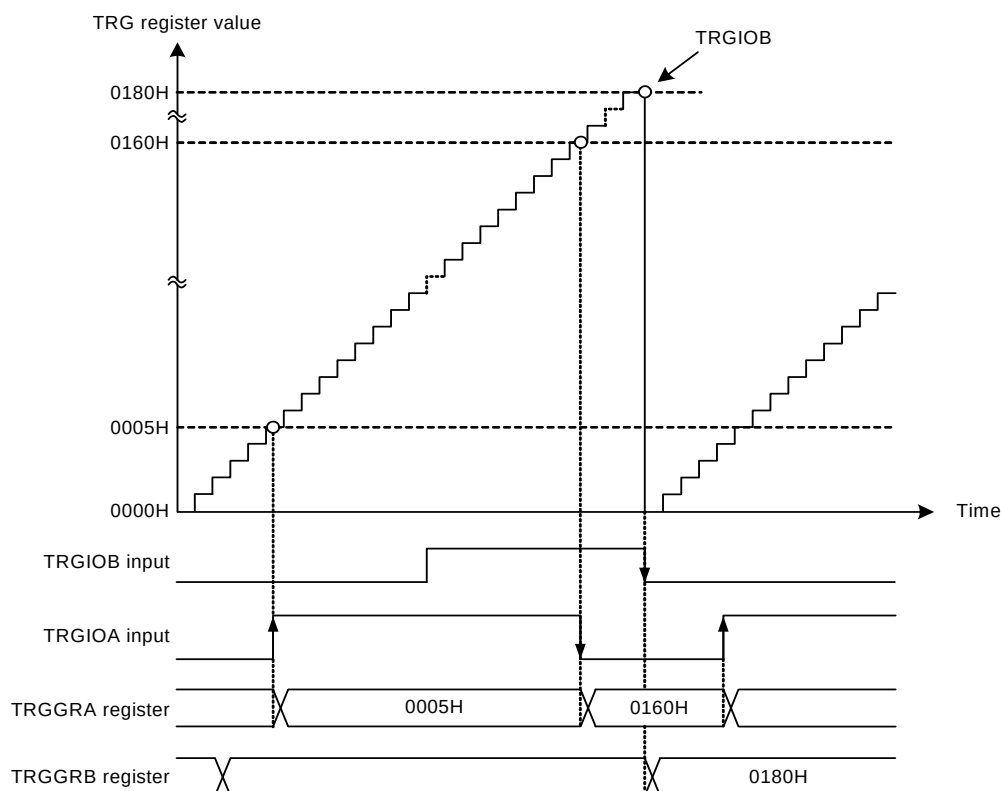
(3) 操作示例

输入捕捉的操作示例如图 9-18 所示。

该示例适用于以下情况：上升/下降沿被同时选为 TRGIOA 引脚的输入捕捉输入边沿，下降沿被选为 TRGIOB 引脚的输入捕捉输入边沿，且通过输入捕捉至 TRGGRB 寄存器来清除 TRG 寄存器。

- (a) 用 TRGIOR 寄存器将寄存器 TRGGRA 和 TRGGRB 设置为输入捕捉寄存器，并从以下三个选项中选择输入捕捉信号的输入边沿：上升沿/下降沿/双边沿。
- (b) 将 TRGMCR 中的 TRGSTART 位设置为 1，并开始 TRG 寄存器的计数操作。

图 9-18. 输入捕捉的操作示例



通过设置 TRGCR 寄存器中的 TRGCCLR0 和 TRGCCLR1 位，可由输入捕捉 A 或 B 来清除计数。

图 9-18 显示 TRGCCLR1 和 TRGCCLR0 位被设置为 10B 时的操作示例。如果已将输入捕捉操作设置为在操作期间清除计数并在定时器计数值为 FFFFH 时执行，依据计数源与输入捕捉操作的时序，可以同时将 TRGIMFA、TRGIMFB 和 TRGOVF 位设置为 1。

9.3.3 定时器模式 (输出比较功能)

此模式 (输出比较功能) 检测 TRG 寄存器的内容和 TRGGRA 或 TRGGRB 寄存器内容的匹配 (比较匹配)。当发生匹配时, 将从 TRGIOA 或 TRGIOB 引脚输出指定电平的信号。

输出比较功能的规格如表 9-10 所示。

表 9-10. 输出比较功能的规格

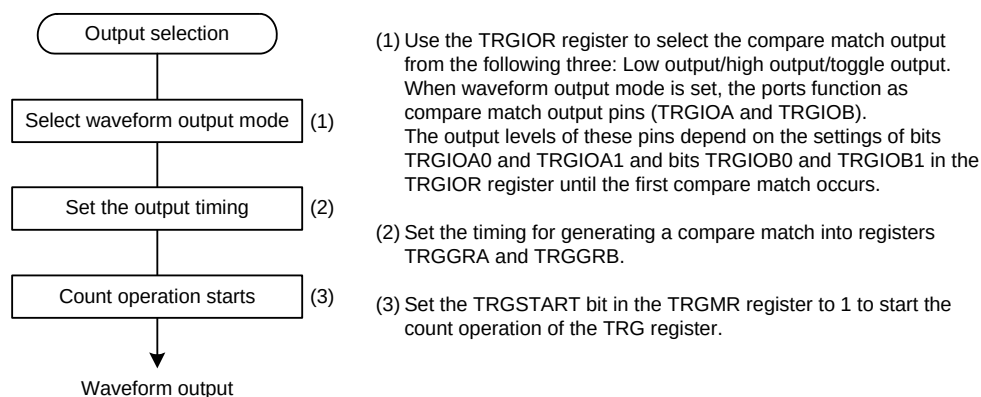
项目	规格
计数源	f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$ 输入到TRGCLKj引脚的外部信号 (通过程序选择有效沿)
计数操作	递增
计数周期	- 当TRGCR寄存器的TRGCCLR1和TRGCCLR0位设置为00B时(自由运行操作)。 $1/f_k \times 65,536 f_k$: 计数源的频率 - 当TRGCR寄存器的TRGCCLR1和TRGCCLR0位设置为01B 或 10B (当与TRGGRj的比较匹配时, TRG 设置为0000H) $1/f_k \times (n + 1)$ n: TRGGRj寄存器的设置值
波形输出时序	比较匹配 (TRG和TRGGRj寄存器的内容匹配)
计数开始条件	向TRGMR寄存器的TRGSTART位写入1 (开始计数)。
计数停止条件	向TRGMR寄存器的TRGSTART位写入0 (停止计数)。
中断请求发生时序	- 比较匹配 (TRG和TRGGRj寄存器的内容匹配) - TRG 寄存器溢出
TRGIOA, TRGIOB引脚功能	I/O端口或输出比较输出 (每个引脚可分别选择)
TRGCLKA, TRGCLKB引脚功能	I/O端口或外部时钟输入
从定时器读取	通过读取TRD寄存器可读取计数值。
写入到定时器	能写入到TRG寄存器。
选择功能	- 选择输出比较输出引脚 可选择TRGIOA和TRGIOB引脚的任意一个或双方 - 选择比匹配时的输出电位 低输出、高输出或输出电位反转 - 设置 TRG 寄存器为 0000H 的时序。 溢出或与TRGGRj寄存器的比较匹配 - 缓冲操作 (参阅 9.3.1. (2) 缓冲操作)

备注 j = A 或 B

(1) 比较匹配波形输出的设置步骤示例

比较匹配波形输出的设置步骤示例如图 9-19 所示。

图 9-19. 比较匹配波形输出的设置步骤示例

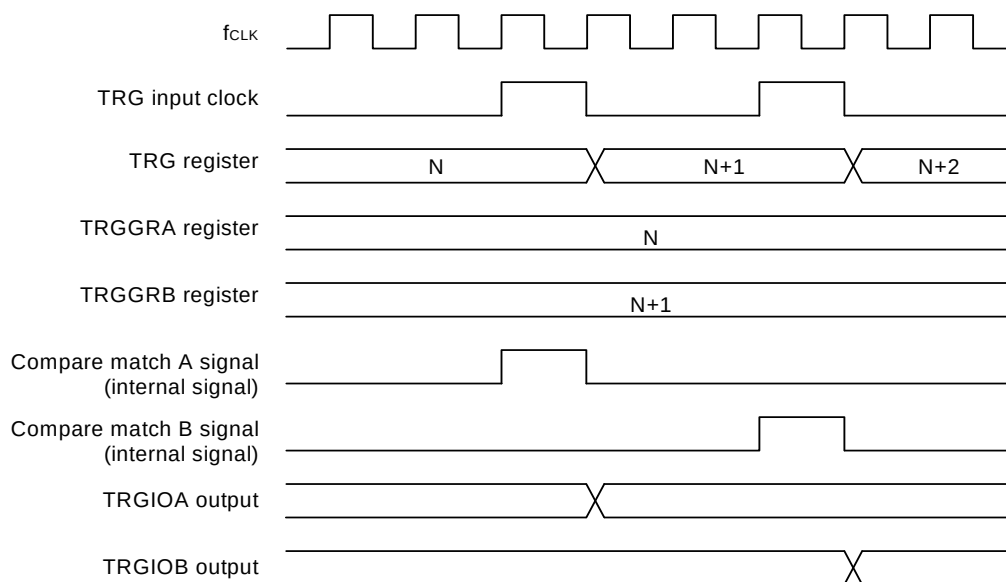


(2) 输出比较输出时序

当 TRG 寄存器和 TRGGRA 或 TRGGRB 寄存器匹配时（在更新 TRG 寄存器所匹配的计数值的时序），将在最后状态产生一个比较匹配信号。当产生比较匹配信号时，由 TRGIOR 寄存器设置的输出值被输出至输出比较输出引脚（TRGIOA 或 TRGIOB）。在 TRG 寄存器和 TRGGRA 或 TRGGRB 寄存器匹配之后，在产生 TRG 输入时钟之前不会产生比较匹配信号。

输出比较输出时序如图 9-20 所示。

图 9-20. 输出比较输出时序

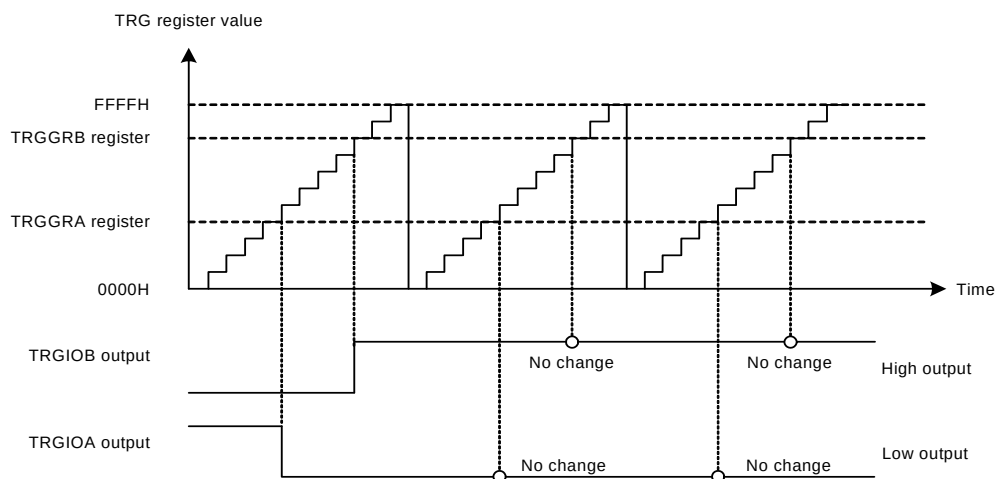


(3) 操作示例

低输出和高输出的操作示例如图 9-21 所示。

该示例适用于以下情况：**TRG** 寄存器设置为自由运行操作模式，在发生比较匹配 **A** 时设置低输出，并在发生比较匹配 **B** 时设置高输出。当设置电平与引脚电平匹配时，引脚电平保持不变。

图 9-21. 低输出和高输出的操作示例

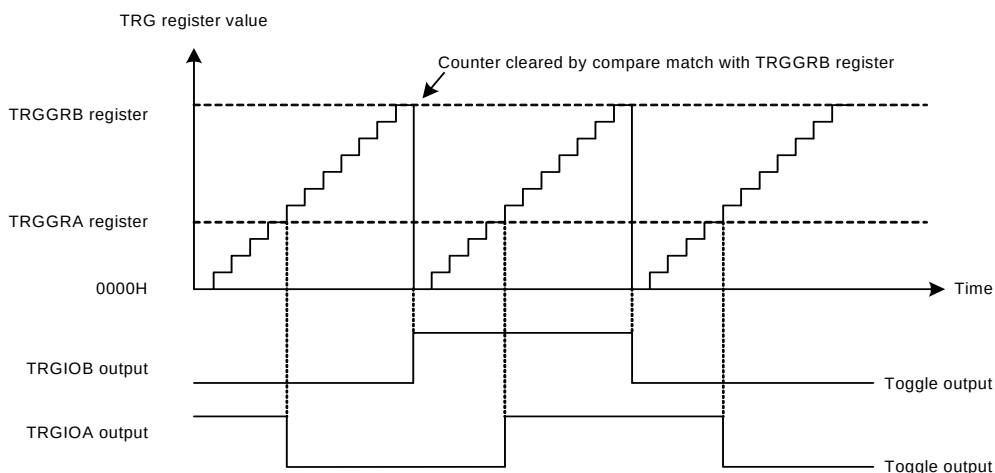


交替输出的操作示例如图 9-22 所示。该示例适用于以下情况：TRG 寄存器设置为周期计数操作模式（发生比较匹配 B 时清除计数器），发生比较匹配 A 和 B 时设置交替输出。

- 用 TRGIOR 寄存器从以下三个选项中选择比较匹配输出：低输出/高输出/交替输出。当设置波形输出模式时，端口用作比较匹配输出引脚（TRGIOA 和 TRGIOB）。
- 在寄存器 TRGGRA 和 TRGGRB 中设置产生比较匹配的时序。
- 将 TRGMR 寄存器中的 TRGSTART 位设置为 1，并开始 TRG 寄存器的计数操作。

在操作期间，将 TRGSTART 位设置为 0 不会导致比较匹配输出引脚（TRGIOA 和 TRGIOB）被初始化。要返回初始值，须写入 TRGIOR 寄存器以初始化输出。（仅当 TRGIOR 寄存器中的 TRGIOA0、TRGIOA1、TRGIOB0 和 TRGIOB1 位被设置为低输出或高输出时，输出才会被初始化。）通过设置 TRGCR 寄存器中的 TRGCCLR0 和 TRGCCLR1 位，定时器 RG 计数器值在输入捕捉/比较匹配（与 TRGGRA 或 TRGGRB 寄存器匹配）时复位。如果此时的预期比较值为 FFFFH，FFFFH 将变为 0000H，与溢出操作相同，TRGOVF 位被设置为 1。将输出比较功能用于定时器 RG 计数器值和预期比较值的模式中，该操作相同。

图-22. 交替输出的操作示例



9.3.4 PWM模式

在 PWM 模式下，成对使用 TRGGRA 和 TRGGRB 寄存器，并从 TRGIOA 输出引脚输出 PWM 波形。TRGIOR 寄存器的输出设置对于设置为 PWM 模式的引脚无效。在 TRGGRA 寄存器中设置 PWM 波形的高输出时序，将在 TRGGRB 寄存器中设置 PWM 的低输出时序。

通过将 TRGGRA 或 TRGGRB 寄存器的比较匹配设置为 TRG 寄存器的计数器清除源，则可从 TRGIOA 引脚中输出占空比为 0%至 100%的 PWM 波形。

PWM 模式的规格如表 9-11 所示，PWM 输出引脚和寄存器的组合如表 9-12 所示。当寄存器 TRGGRA 和 TRGGRB 的设置值相同时，即使发生比较匹配，输出值也不会变化。

表 9-11. PWM 模式的规格

项目	规格
计数源	f _{CLK} , f _{CLK} /2, f _{CLK} /4, f _{CLK} /8, f _{CLK} /32 输入到TRGCLK引脚的外部信号 (通过程序选择有效沿)
计数操作	递增
PWM 波形	- 一个PWM 波形的高输出时序设置到TRGGRA寄存器。 - 一个PWM 波形的高输出时序设置到TRGGRB寄存器。
计数开始条件	向TRGMR寄存器的TRGSTART位写入1 (开始计数)。
计数停止条件	向TRGMR寄存器的TRGSTART位写入0 (停止计数)。
中断请求发生时序	- 比较匹配 (TRG和TRGGRj寄存器内容的匹配) - TRG寄存器溢出
TRGIOA引脚功能	PWM输出
TRGIOB引脚功能	I/O端口
TRGCLKA, TRGCLKB引脚功能	I/O端口或外部时钟输入
从定时器读取	通过读取TRD寄存器可读取计数值。
写入到定时器	能写入到TRG寄存器。
选择功能	- 设置TRG寄存器为0000H的时序。 - 溢出或与TRGGRj寄存器的比较匹配 - 缓冲操作 (参阅 9. 3. 1. (2) 缓冲操作)

备注 j = A 或 B

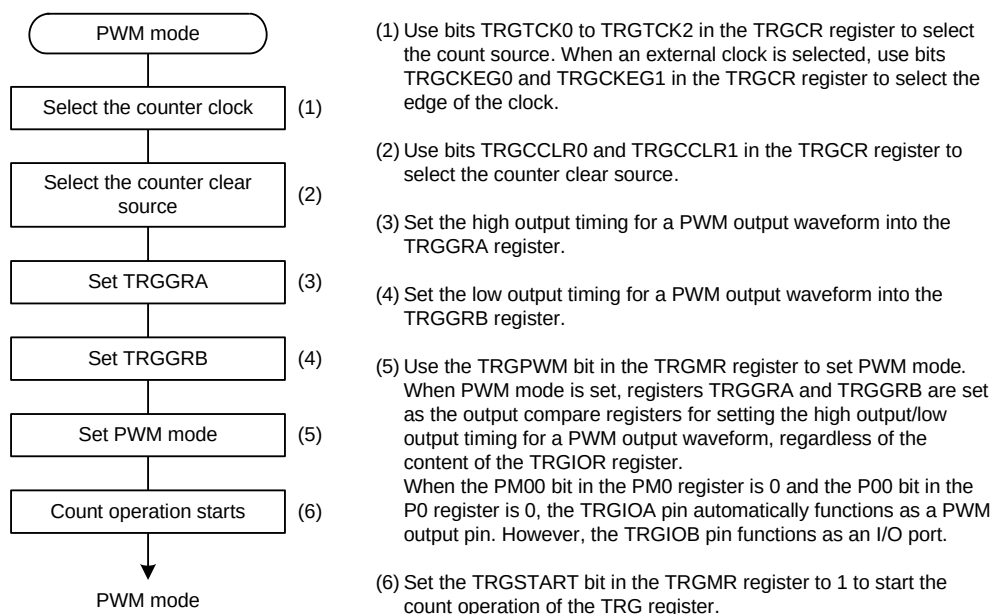
表 9-12. PWM 输出引脚和寄存器的组合

输出引脚	高输出	低输出
TRGIOA	TRGGRA	TRGGRB
TRGIOB	I/O端口功能	

(1) PWM 模式的设置步骤示例

PWM 模式的设置步骤示例如图 9-23 所示。

图 9-23. PWM 模式的设置步骤示例



(2) 操作示例

PWM 模式的操作示例(1)如图 9-24 所示。

当 PM0 寄存器中的 PM00 位为 0 且 P0 寄存器中的 P00 位为 0 时, TRGIOA 引脚将自动用作输出引脚, 在与 TRGGRA 寄存器比较匹配时设置高输出, 在 TRGGRB 寄存器比较匹配时设置低输出。然而, 无论 TRGIOR 寄存器怎样设置, TRGIOB 引脚充当 I/O 端口。

该示例适用于与 TRGGRA 或 TRGGRB 寄存器的比较匹配被设置为 TRG 寄存器的计数器清除源的情况。TRGIOA 引脚的初始状态仅取决于计数器清除源。对应关系如表 9-13 所示。

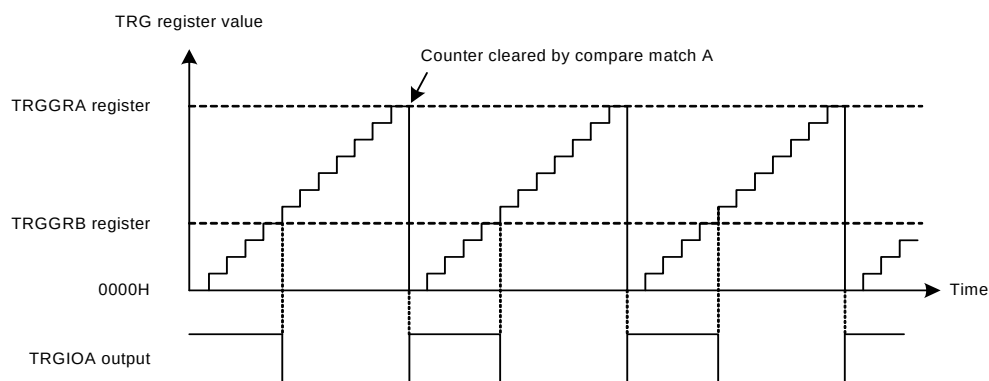
当 TRGMR 寄存器中的 TRGSTART 位为 0 (计数停止) 时执行该初始化。

表 9-13. TRGIOA 引脚的初始状态和计数器清除源的对应关系

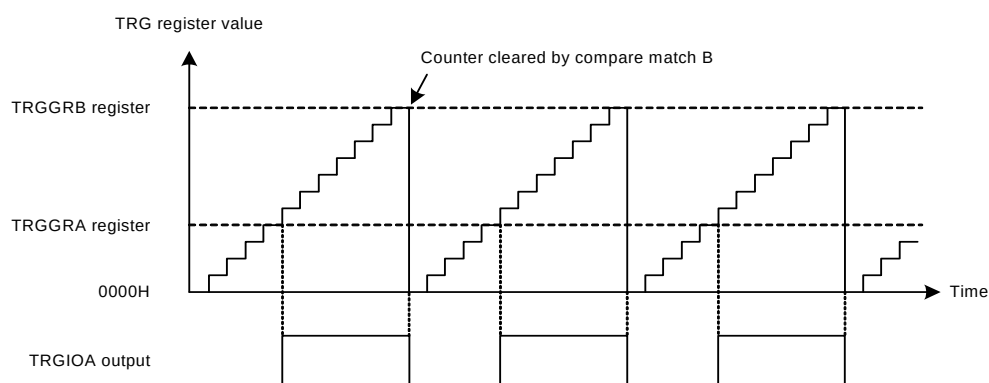
计数器清除源	TRGIOA 引脚的初始状态
与 TRGGRA 寄存器的比较匹配	高
与 TRGGRB 寄存器的比较匹配	低

当 TRGCR 寄存器的 TRGCCLR1 和 TRGCCLR0 位设置为 00B (禁止清除) 时, TRGIOA 引脚的初始状态变为高。

图 9-24. PWM 模式的操作示例(1)



(a) Counter clear by the compare match with the TRGGRA register



(b) Counter clear by the compare match with the TRGGRB register

图 9-25 显示输出占空比 0%和占空比 100%的 PWM 波形的示例。

在以下条件下，当与 TRGGRB 寄存器的比较匹配被设置为计数器清除源时，PWM 波形的占空比被设置为 0%:

- TRGGRA 寄存器的设置值 > TRGGRB 寄存器的设置值

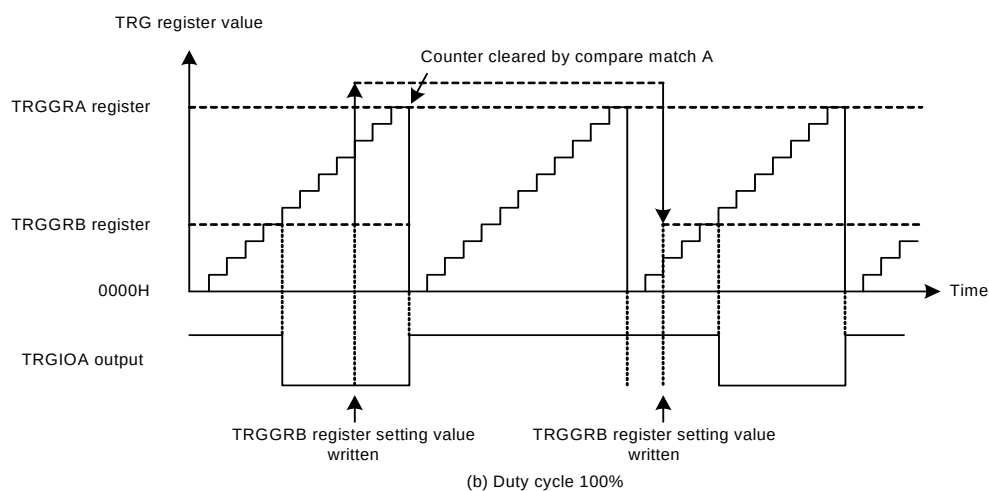
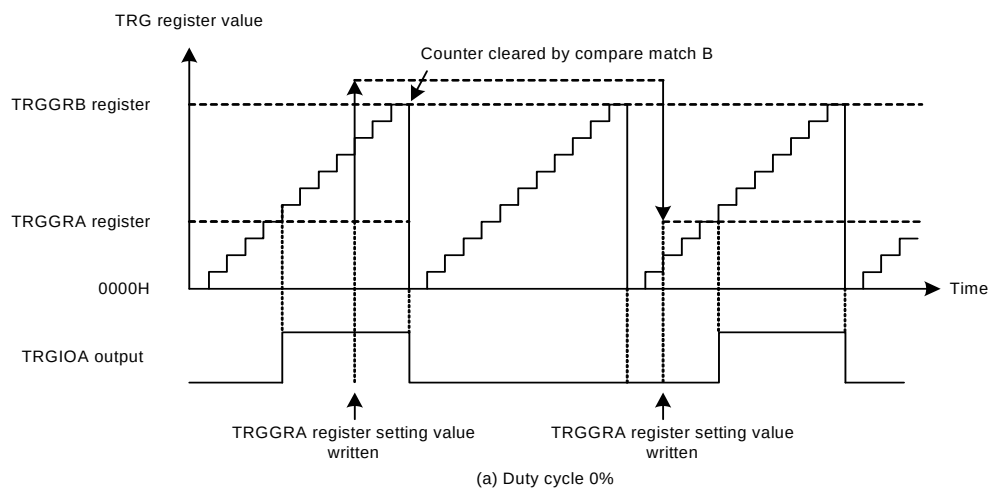
在以下条件下，当与 TRGGRA 寄存器的比较匹配被设置为计数器清除源时，PWM 波形的占空比被设置为 100%:

- TRGGRB 寄存器的设置值 > TRGGRA 寄存器的设置值

在以下条件下，即使发生比较匹配，输出值也保持不变:

- TRGGRA 寄存器的设置值 = TRGGRB 寄存器的设置值

图 9-25. PWM 模式的操作示例(2)



9.3.5 相位计数模式

在相位计数模式下，将检测来自 TRGCLKA 和 TRGCLKB 两个引脚的外部输入信号之间的相位差，TRG 寄存器递增/递减。

如果在 PM0 寄存器中的 PM00 和 PM01 位为 1 时设置相位计数模式，则无论 TRGCR 寄存器中的 TRGTCK0 至 TRGTCK2 位以及 TRGCKEG0 和 TRGCKEG1 位的设置如何，TRGCLKA 和 TRGCLKB 引脚都将自动充当外部时钟输入引脚，TRG 寄存器依据 TRGCNTC 寄存器中的 CNTEN0 至 CNTEN7 位来递增/递减。然而，TRGCR 寄存器中的 TRGCCLR0 和 TRGCCLR1 位以及寄存器 TRGIOR、TRGIER、TRGSR、TRGGRA 和 TRGGRB 被启用。这样，就可使用输入捕捉/输出比较功能、PWM 输出功能和中断源。

TRG 寄存器在引脚 TRGCLKA 和 TRGCLKB 的上升/下降沿通过 CNTEN0 至 CNTEN7 位进行计数操作。

相位计数模式的规格如表 9-14 所示，寄存器的递增/递减条件如表 9-15 所示。

表 9-14. 相位计数模式的规格

项目	规格
计数源	输入到TRGCLKj引脚的外部信号
计数操作	递增/递减
计数开始条件	向TRGMR寄存器的TRGSTART位写入1 (开始计数)。
计数停止条件	向TRGMR寄存器的TRGSTART位写入0 (停止计数)。
中断请求发生时序	• 输入捕捉(TRDIO)输入的有效沿 • 比较匹配 (TRG寄存器和TRGGRj的内容匹配) • TRG寄存器溢出 • TRG寄存器下溢
TRGIOA引脚功能	I/O端口、输入-捕捉输入、输出-比较输出或 PWM输出
TRGIOB引脚功能	I/O端口、输入-捕捉输入或输出-比较输出
TRGCLKA, TRGCLKB引脚功能	外部时钟输入
从定时器读取	通过读取TRG寄存器可读取计数值。
写入到定时器	TRG寄存器可写入0。
选择功能	• 计数器的递增/递减条件的选择 通过TRGCNTC寄存器的CNTEN0至CNTEN7位可进行选择。 • 可使用输入捕捉/输出比较功能和PWM功能。

备注 j = A 或 B

表 9-15. 寄存器的递增/递减条件

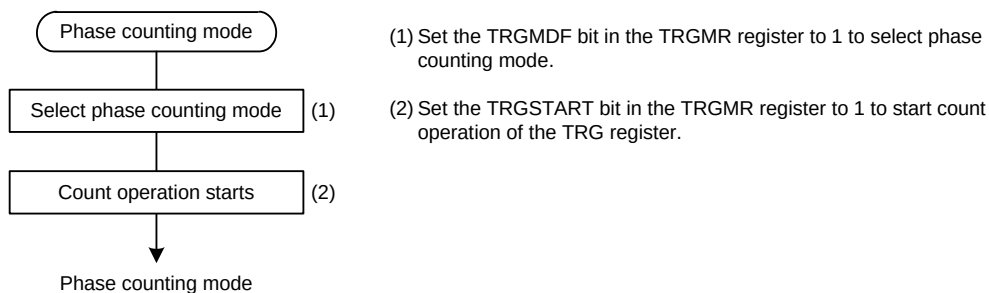
TRGCLKB 引脚		高		低	高		低	
TRGCLKA 引脚	低		高			低		高
TRGCNTC 寄存器的 位 CNTEN7 至 CNTEN0	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
计数方向 [※]	+1	+1	+1	+1	-1	-1	-1	-1

注 显示 TRGCNTC 寄存器中的各个位为 1 时的计数方向（递增/递减）。当某个位为 0 时（禁止），不执行计数。

(1) 相位计数模式的设置步骤示例

相位计数模式的设置步骤示例如图 9-26 所示。

图 9-26. 相位计数模式的设置步骤示例



(2) 操作示例

相位计数模式下的操作示例如图 9-27 至图 9-30 所示。

在相位计数模式下，TRG 寄存器在 TRGCLKA 和 TRGCLKB 引脚的上升(▲)/下降(▼)沿依据 TRGCNTC 寄存器中的 CNTEN0 至 CNTEN7 位进行递增/递减。

图 9-27. 相位计数模式的操作示例 1

- When the TRGCNTC register value is FFH

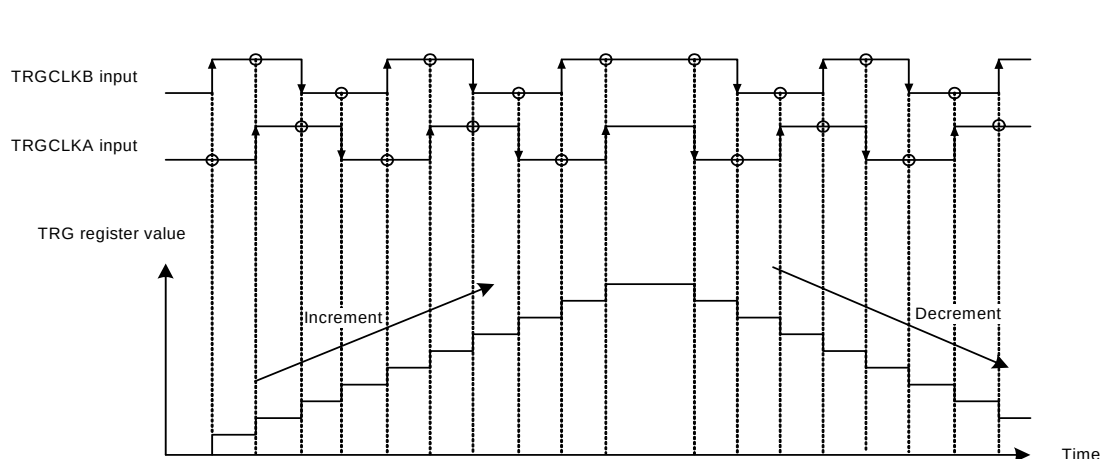


图 9-28. 相位计数模式的操作示例 2

- When the TRGCNTC register value is 24H

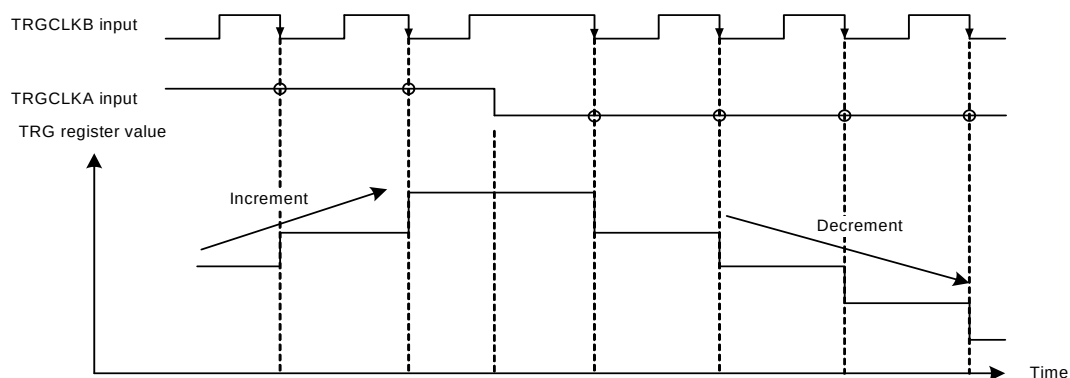


图 9-29. 相位计数模式的操作示例 3

- When the TRGCNTC register value is 28H

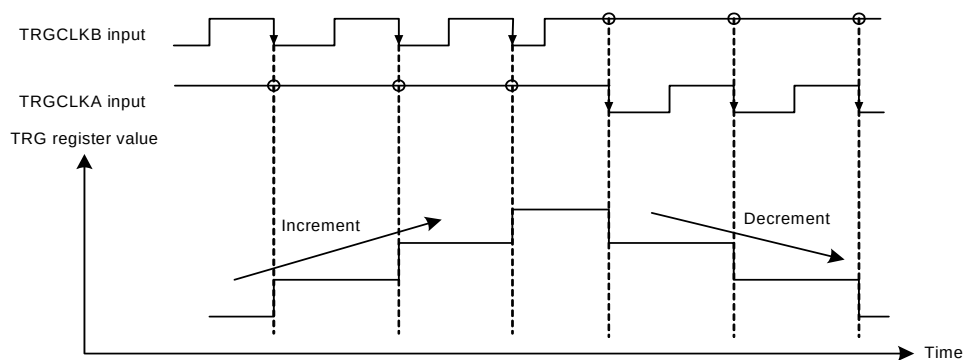
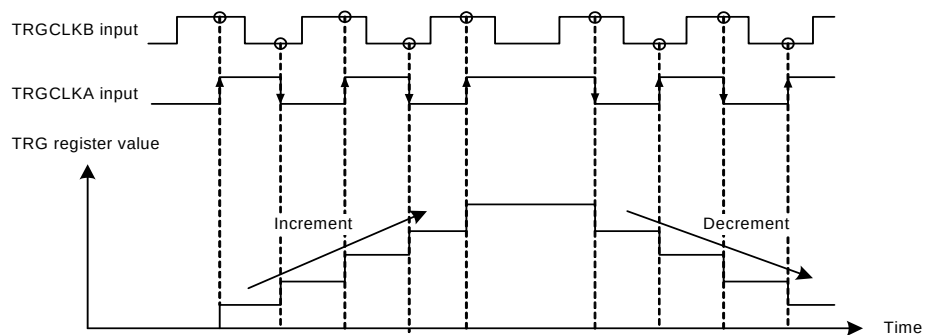


图 9-30. 相位计数模式的操作示例 4

- When the TRGCNTC register value is 5AH



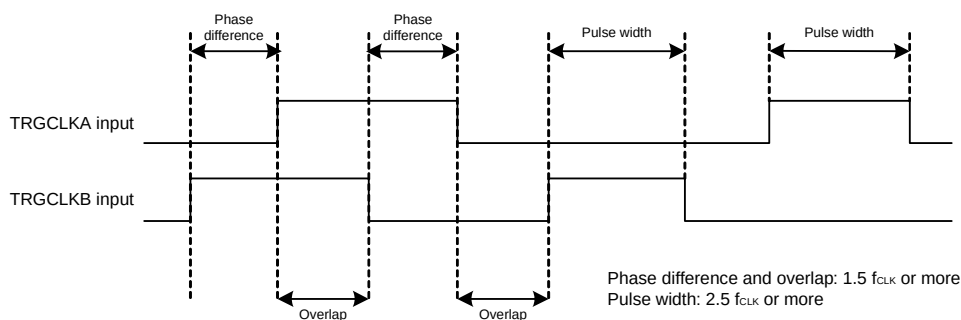
9.4 定时器RG使用上的注意事项

9.4.1 相位计数模式下的相位差、重叠和脉冲宽度

来自 TRGCLKA 和 TRGCLKB 引脚的外部输入信号之间的相位差和重叠应该分别为 $1.5f_{CLK}$ 或更大。脉冲宽度应为 $2.5f_{CLK}$ 或更大。

相位计数模式下的相位差、重叠和脉冲宽度如图 9-31 所示。

图 9-31. 相位计数模式下的相位差、重叠和脉冲宽度



9.4.2 模式切换

- 操作中切换模式时，开始切换前设置 TRGMR 寄存器的 TRGSTART 位为 0 (停止计数)。
 - 切换模式后，开始操作前设置 TRGIF 位为 0。
- 详情参阅 第二十一章 中断功能。

9.4.3 计数源切换

- 计数源切换时，开始切换计数模式前停止计数[※]。

更改步骤

- (1) 设置 TRGMR 寄存器的 TRGSTART 位为 0 (停止计数)。
- (2) 更改 TRGCR 寄存器的 TRGTCK0 至 TRGTCK2 的位。

注 计数操作期间不能重写的寄存器和位如下所示：

- 除 TRGMR 寄存器的 TRGSTART 位以外的所有位
- TRGCNTC 寄存器
- TRGCR 寄存器
- TRGIOR 寄存器

9.4.4 TRGIOA和TRGIOB引脚的设置步骤

从 TRGIOA 和 TRGIOB 引脚输出时，按照以下步骤进行设置：

更改步骤

- (1) 设置模式和初始值/允许输出（以使用相同的 SFR 进行初始值和允许设置）。
- (2) 设置对应 TRGIOA 和 TRGIOB 引脚的端口寄存器位为 0。
- (3) 设置对应 TRGIOA 和 TRGIOB0 引脚的端口模式寄存器的位为输出模式(从 TRGIOA 和 TRGIOB 引脚开始输出)。
- (4) 开始计数 (TRGMR 寄存器的 TRGSTART 位为 1)。

要使对应于 TRGIOA 和 TRGIOB 引脚的端口模式寄存器位从输出模式更改为输入模式，请按以下步骤设置：

- (1) 设置对应 TRGIOA 和 TRGIOB0 引脚的端口模式寄存器的位为输入模式(从 TRGIOA 和 TRGIOB 引脚开始输入)。
- (2) 设置为输入捕捉功能。
- (3) 开始计数 (TRGMR 寄存器的 TRGSTART 位= 1)。

在使 TRGIOA 和 TRGIOB 引脚从输出模式切换至输入模式时，可以依据这些引脚的状态而执行输入捕捉操作。如果数字滤波器不使用，经过 CPU 时钟的 2 个或 2 个以上的周期时，会执行沿检测。如果数字滤波器使用，经过采样时钟的 5 个或 5 个以上的周期时，会执行沿检测。

9.4.5 外部时钟TRGCLKA、TRGCLKB

输入到 TRGCLKj 引脚(j = A 或 B)的外部时钟的脉冲宽度要设置在定时器 RG 操作时钟的三个或三个周期 (fCLK)。

9.4.6 SFR 读/写存取

要设置定时器 RG，务必首先将 TRGEN 位设置为“1”。如果 TRGEN 位为 0，向定时器 RD 控制寄存器的写入操作将被忽略，且所有读取值均为初始值（端口寄存器和端口模式寄存器除外）。

(1) TRGMR 寄存器

在切换数字滤波器时钟时，请按以下步骤设置：

- (a) 在 TRGSTART 位被设置为 0（停止计数）的情况下，设置 TRGMR 寄存器中的 TRGDFA 和 TRGDFB 位（TRGIOA 和 TRGIOB 引脚的数字滤波器功能选择位），以及 TRGMR 寄存器中的 TRGDFCK0 和 TRGDFCK1 位（数字滤波器功能的时钟选择位）。
- (b) TRGSTART 位设为 0。

然而，当未设置数字滤波器且 TRGDFCK1 和 TRGDFCK0 = 00B 在复位后保持不变时，可以一步完成该设置。

除了外部输入引脚（TRGIOA 和 TRGIOB）以外，来自事件连接控制器(ELC)的事件输入也可以作为输入捕捉的操作源。要使用该功能，须将 TRGMR 寄存器中的 TRGELCICE 位设置为 1，设置输入捕捉功能（上升沿作为输入捕捉的有效边沿（TRGIOB2 至 TRGIOB0 = 100B））。

在 PWM 模式和定时器模式输出比较功能时禁止该功能（TRGPWM = 1 且 TRGIOB2 = 0）。

(2) TRG 寄存器

- 向 TRGMR 寄存器的写入操作优先于定时器 RG 操作条件产生的计数复位操作。

9.4.7 停止计数时的输入捕捉操作

在输入捕捉模式下，如果由 TRGIOR 寄存器中的 TRGIOj0 和 TRGIOj1 位选择的边沿被输入 TRGIOj 引脚（j = A 或 B），则当 TRGMR 寄存器中的 TRGSTART 位为 0（停止计数）时，也将在 TRGIOj 输入有效边沿处产生输入捕捉中断请求。

第十章 实时时钟

10.1 实时时钟的功能

实时时钟具有如下功能。

- 具有年、月、星期、日、小时、分和秒计数器，并且可以计数到 99 年。
- 固定周期中断功能（周期：0.5 秒、1 秒、1 分、1 小时、1 日、1 个月）
- 报警中断功能（报警：星期、小时、分）
- 1 Hz 的引脚输出功能(仅限 40、44、48、52、64、80 和 100 针产品)

注意事项 仅当把一个副系统时钟 ($f_{SUB} = 32.768 \text{ kHz}$) 选为实时时钟的操作时钟时，才可对年、月、星期、日、时、分和秒计数。当选择低速片上振荡器时钟(f_{IL})时，仅能使用固定周期中断功能。30、32 和 36 针产品中，因为没有安装副系统时钟，所以只能使用固定周期中断功能。

然而，选择 f_{IL} 时的固定周期中断间隔按以下方法计算：固定周期（用 RTCC0 寄存器选择的值） $\times f_{SUB}/f_{IL}$ 。

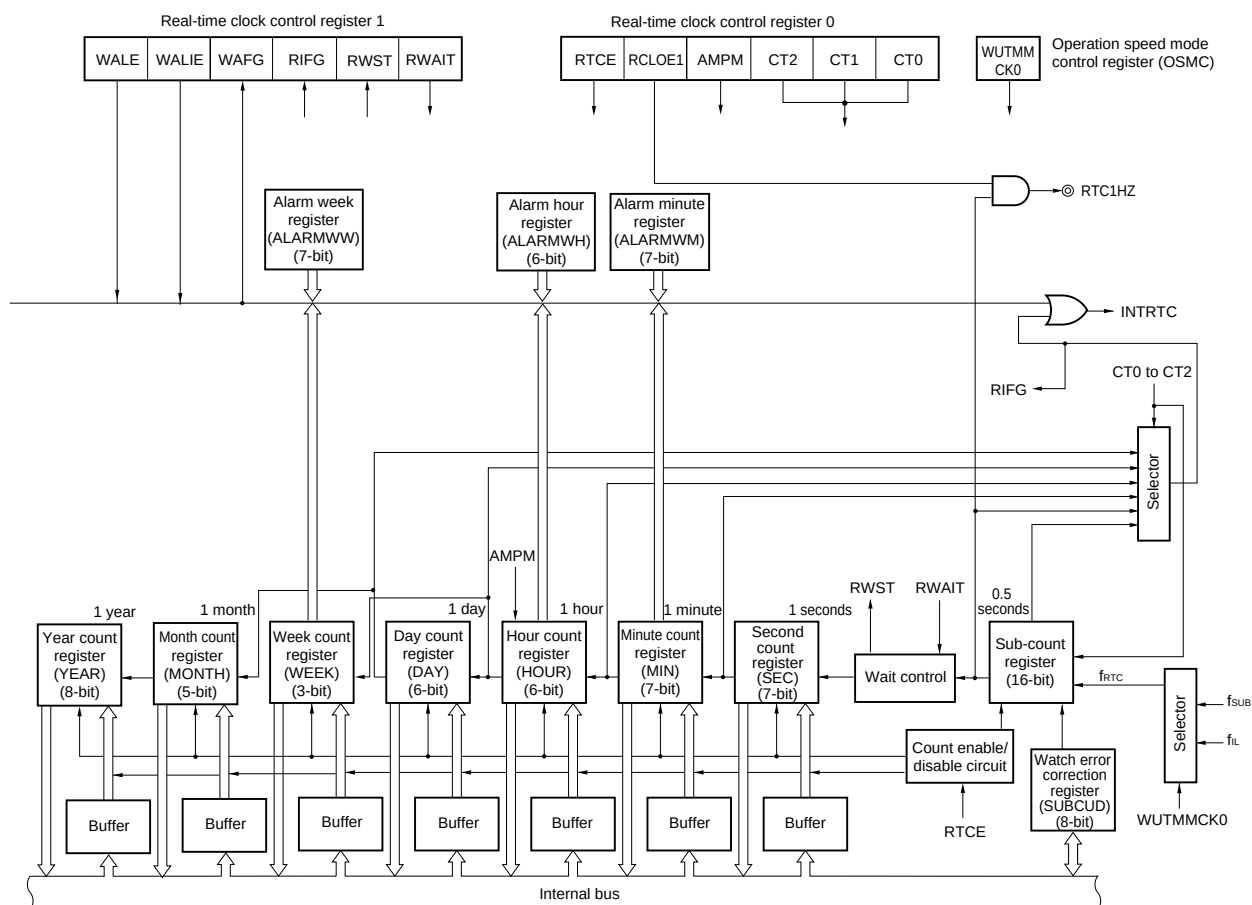
10.2 实时时钟的配置

实时时钟包括下列硬件。

表 10-1. 实时时钟的配置

项目	配置
计数器	副计数寄存器
控制寄存器	外围允许寄存器 0 (PER0)
	操作速度模式控制寄存器(OSMC)
	实时时钟控制寄存器 0 (RTCC0)
	实时时钟控制寄存器 1 (RTCC1)
	秒计数寄存器(SEC)
	分钟计数寄存器(MIN)
	小时计数寄存器(HOUR)
	日计数寄存器(DAY)
	星期计数寄存器(WEEK)
	月计数寄存器(MONTH)
	年计数寄存器(YEAR)
	钟表误差修正寄存器(SUBCUD)
	报警分钟寄存器(ALARMWM)
	报警小时寄存器(ALARMWH)
	报警星期寄存器(ALARMWW)

图 10-1. 实时时钟的框图



注意事项 仅当把一个副系统时钟 ($f_{\text{SUB}} = 32.768 \text{ kHz}$) 选为实时时钟的操作时钟时, 才可对年、月、星期、日、时、分和秒进行计数。当选择低速片上振荡器时钟(f_{IL})时, 仅能使用固定周期中断功能。30、32 和 36 针产品中, 因为没有安装副系统时钟, 所以只能使用固定周期中断功能。

然而, 选择 f_{IL} 时的固定周期中断间隔按以下方法计算: 固定周期 (用 RTCC0 寄存器选择的值) $\times f_{\text{SUB}}/f_{\text{IL}}$ 。

10.3 控制实时时钟的寄存器

以下寄存器用于控制实时时钟。

- 外围允许寄存器 0 (PER0)
- 操作速度模式控制寄存器(OSMC)
- 实时时钟控制寄存器 0 (RTCC0)
- 实时时钟控制寄存器 1 (RTCC1)
- 秒计数寄存器(SEC)
- 分钟计数寄存器(MIN)
- 小时计数寄存器(HOUR)
- 日计数寄存器(DAY)
- 星期计数寄存器(WEEK)
- 月计数寄存器(MONTH)
- 年计数寄存器(YEAR)
- 钟表误差修正寄存器(SUBCUD)
- 报警分钟寄存器(ALARMWM)
- 报警小时寄存器(ALARMWH)
- 报警星期寄存器(ALARMWW)

(1) 外围允许寄存器 0 (PER0)

该寄存器用于允许或禁止供应时钟至外围硬件。并且中止向未使用的硬件供应时钟，以减少电力消耗和噪声。

使用实时时钟时，务必将该寄存器的位 7(RTCEN)设置为 1。

使用 1 位或 8 位存储器操作指令设置 PER0 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-2. 外围允许寄存器 0 (PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCEN	IICA1EN ^{注1}	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN ^{注1}	TAU0EN

RTCEN	控制实时时钟 (RTC) 和 12 位间隔定时器的输入时钟供应 ^{注2}
0	停止输入时钟供应。 - 不能写入用于实时时钟(RTC)和 12 位间隔定时器的 SFR。 - 实时时钟 (RTC) 和 12 位间隔定时器处于复位状态。
1	允许输入时钟供应。 可以读取和写入用于实时时钟(RTC)和 12 位间隔定时器的 SFR。

注 1. 仅限 80 和 100 针产品。

2. 对于使用于实时时钟 (RTC)和 12 位间隔定时器的寄存器，当从 CPU 进行存取时，将使用通过 RTCEN 位控制的输入时钟。RTCEN 位不能控制对于 RTC 和 12 位间隔定时器的操作时钟 (f_{SUB}) 供应。

注意事项 1. 使用实时时钟时，在输入时钟(f_{RTC})处于振荡稳定状态下，首先要将 RTCEN 位设置为 1。当 RTCEN = 0 时，对实时时钟或 12 位间隔定时器的控制寄存器进行的写入操作被忽略，而且读取值总为初始值。

2. 在 STOP 模式以及副系统时钟时的 HALT 模式下，通过将操作速度模式控制寄存器(OSMC)的 RTCLPC 位设置为 1，可以停止向外围功能供应除了实时时钟和 12 位间隔定时器以外的时钟。此时，请将 PER0 寄存器的 RTCEN 位设置为 1，将其它位（位 0 至位 6）设置为 0。

3. 务必将下列位清除为 0。

30、32、36、40、44、48、52、64 针产品：位 1、6

(2) 操作速度模式控制寄存器(OSMC)

可在 WUTMMCK0 位上选择实时时钟的操作时钟 (f_{RTC})。

另外，还可以通过 RTCLPC 位来停止不必要的时钟功能，从而降低功耗。关于设置 RTCLPC 位的详情，请参阅**第五章 时钟发生电路**。

使用 8 位存储器操作指令设置 OSMC 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-3. 操作速度模式控制寄存器(OSMC)的格式

地址: F00F3H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	选择实时时钟、12 位间隔定时器以及定时器 RJ 的操作时钟(f_{RTC})
0	副系统时钟(f_{SUB}) - 低速片上振荡器时钟只能用作实时时钟和 12 位间隔定时器的操作时钟。 - 低速片上振荡器时钟不能选择用作定时器 RJ 的计数源。
1	低速片上振荡器时钟(f_{IL}) - 低速片上振荡器时钟只能用作实时时钟和 12 位间隔定时器的操作时钟。 - 可选择低速片上振荡器或副系统时钟其中之一用作定时器 RJ 的计数源。

注意事项 仅当把一个副系统时钟 ($f_{SUB} = 32.768 \text{ kHz}$) 选为实时时钟的操作时钟时，才可对年、月、星期、日、时、分和秒进行计数。当选择低速片上振荡器时钟 (f_{IL}) 时，仅能使用固定周期中断功能。30、32 和 36 针产品中，因为没有安装副系统时钟，所以只能使用固定周期中断功能。然而，选择 f_{IL} 时的固定周期中断间隔按以下方法计算：固定周期（用 RTCC0 寄存器选择的值） $\times f_{SUB}/f_{IL}$ 。

(3) 实时时钟控制寄存器 0 (RTCC0)

RTCC0 寄存器是 8 位寄存器，用于开始或停止实时时钟操作、控制 RTC1HZ 引脚，设置 12 小时或 24 小时系统，以及设置固定周期中断功能。

使用 1 位或 8 位存储器操作指令设置 RTCC0 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-4. 实时时钟控制寄存器 0 (RTCC0)的格式

地址: FFF9DH 复位后: 00H R/W

符号	<7>	6	<5>	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE	实时时钟的操作控制
0	停止计数器操作。
1	开始计数操作。

RCLOE1	RTC1HZ 引脚的输出控制
0	禁止 RTC1HZ 引脚的输出 (1 Hz)。
1	允许 RTC1HZ 引脚的输出 (1 Hz)。

AMPM	12/24小时系统的选择
0	12 小时系统 (显示 a.m. 和 p.m.。)
1	24 小时系统

- 在将 RWAIT 位(实时时钟控制寄存器 1(RTCC1)的位 0)设置为 1 之后重写 AMPM 位值。如果 AMPM 位的值被改变，则小时计数寄存器(HOUR)的值会依据指定的时间系统而变化。
- 所显示的时间数字如表 10-2 所示。

CT2	CT1	CT0	固定周期中断 (INTRTC)的选择
0	0	0	不使用固定周期中断功能。
0	0	1	0.5 秒一次 (与秒累加同步)
0	1	0	1 秒一次 (与秒累加同时)
0	1	1	1 分钟一次 (每分钟的第 00 秒)
1	0	0	1 小时一次 (每小时的第 00 分钟第 00 秒)
1	0	1	1 天一次 (每日的第 00 小时第 00 分钟第 00 秒)
1	1	×	1 个月一次 (每月的第 1 天第 00 小时第 00 分钟第 00 秒)

在操作计数器期间(RTCE = 1)要更改 CT2 至 CT0 位的值时，使用中断屏蔽标志寄存器将 INTRTC 设置为禁止处理中断之后，重写 CT2 至 CT0 位的值。另外，重写 CT2 至 CT0 位的值之后，先清除 RIFG 和 RTCIF 标志再允许处理中断。

- 注意事项**
1. 当 RTCE = 1 时不要改变 RTCLOE1 位的值。
 2. 在 30、32 和 36 针产品中，设置 RCLOE1 位为 0。

备注 ×: 忽略

(4) 实时时钟控制寄存器 1 (RTCC1)

RTCC1 寄存器是 8 位寄存器，用于控制报警中断功能和计数器的等待时间。

使用 1 位或 8 位存储器操作指令设置 RTCC1 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-5. 实时时钟控制寄存器 1 (RTCC1)的格式(1/2)

地址: FFF9EH 复位后: 00H R/W

符号	<7>	<6>	5	<4>	<3>	2	<1>	<0>
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	报警的操作控制
0	匹配操作无效。
1	匹配操作有效。
在操作计数器期间(RTCE = 1)且 WALIE = 1 的情况下要设置 WALE 位的值时，使用中断屏蔽标志寄存器将 INTRTC 设置为禁止处理中断之后，重写 WALE 位。另外，重写 WALE 位之后，须清除 WAFG 和 RTCIF 标志。在设置各个报警寄存器（实时时钟控制寄存器 1(RTCC1)、报警分寄存器(ALARMWM)、报警小时寄存器(ALARMWH) 和报警星期寄存器(ALARMWW)的 WALIE 标志）时，将 WALE 位设置为匹配操作无效("0")。	

WALIE	报警中断 (INTRTC) 功能的操作控制
0	报警匹配时不产生中断。
1	报警匹配时产生中断。

WAFG	报警检测状态标志
0	报警不匹配
1	报警匹配的检测
这是状态标志，用于表示检测到报警匹配。仅当 WALE = 1 时有效，并在检测到报警匹配并经过一个时钟(f _{RTC})时被设置为“1”。当写入“0”时，该标志被清除。“1”的写入无效。	

图 10-5. 实时时钟控制寄存器 1 (RTCC1)的格式(2/2)

RIFG	固定周期中断状态标志
0	不产生固定周期中断。
1	产生固定周期中断。
该标志表示产生固定周期中断的状态。产生固定周期中断时，该标志被设置为“1”。 当写入“0”时，该标志被清除。“1”的写入无效。	

RWST	实时时钟的等待状态标志
0	计数器操作中。
1	计数器值的读取或写入模式中。
该状态标志表示 RWAIT 位的设置是否有效。 对于计数器值进行读取或写入之前，请先确认该标志的值为 1。	

RWAIT	实时时钟的等待控制
0	设置计数器操作。
1	停止 SEC 至 YEAR 计数器。计数器值的读取或写入模式。
该位控制计数器的操作。 读取或写入计数器值时务必向其写入“1”。 因为持续操作副计数寄存器，请在 1 秒内完成读取或写入，然后返回 0。 设置为 RWAIT = 1 时，最多经过 1 个时钟(f_{RTC})之后，可以读取或写入计数器值(RWST = 1)。 在 RWAIT = 1 的情况下副计数寄存器发生溢出时，保持溢出事件直到 RWAIT = 0 为止，然后递增计数。 然而，向秒计数寄存器写入值时，不保持溢出事件。	

注意事项 如果用 1 位操作指令对 RTCC1 寄存器进行写操作，则可能清除掉 RIFG 和 WAFG 标志。因此，若要对 RTCC1 寄存器进行写操作，务必使用 8 位操作指令。为了避免在写操作期间清除掉 RIFG 和 WAFG 标志，请将相应位设置为 1 以禁止写入。另外，如果不使用 RIFG 和 WAFG 标志且值可以重写的情况下，也可以用 1 位操作指令对 RTCC1 寄存器进行写操作。

备注 固定周期中断和报警匹配中断使用相同的中断源(INTRTC)。当同时使用这两种中断时，可在发生 INTRTC 时通过确认固定周期中断状态标志(RIFG)和报警检测状态标志(WAFG)来判断发生的是哪种中断。

(5) 秒计数寄存器(SEC)

SEC 寄存器是 8 位寄存器，它的值为 0 至 59（十进制），表示秒的当前计数值。

当副计数器溢出时，该计数器累加计数。

当数据写入该寄存器时，数据被写入缓冲器，并在最多 2 个时钟(f_{RTC})后被写入计数器。以 BCD 码格式设置 00 至 59 的十进制数到该寄存器。

使用 8 位存储器操作指令设置 SEC 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-6. 秒计数寄存器(SEC)的格式

地址: FFF92H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意事项 计数器操作期间(RTCE = 1)读取或写入寄存器时，请依据 10.4.3 读/写实时时钟 中所示步骤进行。

(6) 分钟计数寄存器(MIN)

MIN 寄存器是 8 位寄存器，它的值为 0 至 59（十进制），表示分钟的当前计数值。

当秒计数器溢出时，它累加计数。

当数据写入该寄存器时，数据被写入缓冲器，并在最多 2 个时钟(f_{RTC})后被写入计数器。在对该寄存器进行写操作时，即使秒计数寄存器发生溢出也将其忽略，并设置为写入值。以 BCD 码格式设置 00 至 59 的十进制数到该寄存器。

使用 8 位存储器操作指令设置 MIN 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-7. 分钟计数寄存器(MIN)的格式

地址: FFF93H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意事项 计数器操作期间(RTCE = 1)读取或写入寄存器时，请依据 10.4.3 读/写实时时钟 中所示步骤进行。

(7) 小时计数寄存器(HOUR)

HOUR 寄存器是 8 位寄存器，它的值为 00 至 23 或 01 至 12 和 21 至 32（十进制），表示小时的当前计数值。

当分钟计数器溢出时，它累加计数。

当数据写入该寄存器时，数据被写入缓冲器，并在最多 2 个时钟(f_{RTC})后被写入计数器。在对该寄存器进行写入操作时，即使分钟计数寄存器发生溢出也将其忽略，并设置为写入值。对应于用实时时钟控制寄存器 0(RTCC0)的位 3(AMPM)指定的时间系统，通过 BCD 代码指定一个以下范围内的十进制值：00 至 23、01 至 12 或 21 至 32。

如果改变 AMPM 位的值，则 HOUR 寄存器的值会改变为与所设置的时间系统相对应的值。

使用 8 位存储器操作指令设置 HOUR 寄存器。

解除复位后，清除该寄存器为 12H。

如果复位后设置 AMPM 位（RTCC0 寄存器的位 3）为 1，则该寄存器的值为 00H。

图 10-8. 小时计数寄存器(HOUR)的格式

地址：FFF94H 复位后：12H R/W

符号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意事项 1. 当 AMPM = 0 (如果选择 12 小时系统)时，HOUR 寄存器的第 5 位表示 AM(0)/PM(1)。

2. 计数器操作期间(RTCE = 1)读取或写入寄存器时，请依据 10.4.3 读/写实时时钟 中所示步骤进行。

表 10-2 列出了 AMPM 位设置值、小时计数寄存器(HOUR)寄存器值和时间之间的关系。

表 10-2. 时间数字显示

24 小时显示(AMPM 位 = 1)		12 小时显示(AMPM = 1)	
时间	HOUR 寄存器	时间	HOUR 寄存器
0	00H	12 a.m.	12H
1	01H	1 a.m.	01H
2	02H	2 a.m.	02H
3	03H	3 a.m.	03H
4	04H	4 a.m.	04H
5	05H	5 a.m.	05H
6	06H	6 a.m.	06H
7	07H	7 a.m.	07H
8	08H	8 a.m.	08H
9	09H	9 a.m.	09H
10	10H	10 a.m.	10H
11	11H	11 a.m.	11H
12	12H	12 p.m.	32H
13	13H	1 p.m.	21H
14	14H	2 p.m.	22H
15	15H	3 p.m.	23H
16	16H	4 p.m.	24H
17	17H	5 p.m.	25H
18	18H	6 p.m.	26H
19	19H	7 p.m.	27H
20	20H	8 p.m.	28H
21	21H	9 p.m.	29H
22	22H	10 p.m.	30H
23	23H	11 p.m.	31H

当 AMPM 位为“0”时，HOUR 寄存器值的显示 12 小时显示，当 AMPM 位为“1”时，显示 24 小时显示。
在 12 小时显示中，通过 HOUR 寄存器的第 5 位显示 0 来表示 AM，显示 1 来表示 PM。

(8) 日计数寄存器(DAY)

DAY 寄存器是 8 位寄存器，它的值为 1 至 31（十进制）表示日的当前计数值。

当小时计数器溢出时，它累加计数。

计数器计数如下。

- 01 至 31 (一月、三月、五月、七月、八月、十月、十二月)
- 01 至 30 (四月、六月、九月、十一月)
- 01 至 29 (闰年的二月)
- 01 至 28 (正常年的二月)

当数据写入该寄存器时，数据被写入缓冲器，并在最多 2 个时钟(f_{RTC})后被写入计数器。在对该寄存器进行写入操作时，即使小时计数寄存器发生溢出也将其忽略，并设置为写入值。以 BCD 码格式设置 01 至 31 的十进制数到该寄存器。如果设置值超出范围，寄存器值在 1 个周期后返回正常值。

使用 8 位存储器操作指令设置 DAY 寄存器。

解除复位后，清除该寄存器为 01H。

图 10-9. 日计数寄存器(DAY)的格式

地址: FFF96H 复位后: 01H R/W

符号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意事项 计数器操作期间($RTCE = 1$)读取或写入寄存器时，请依据 10.4.3 读/写实时时钟 中所示步骤进行。

(9) 星期计数寄存器(WEEK)

WEEK 寄存器是 8 位寄存器，它的值为 0 至 6（十进制）表示星期的当前计数值。

它与日计数器同步递增计数。

当数据写入该寄存器时，数据被写入缓冲器，并在最多 2 个时钟(f_{RTC})后被写入计数器。以 BCD 码格式设置 00 至 06 的十进制数到该寄存器。

使用 8 位存储器操作指令设置 WEEK 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-10. 星期计数寄存器(WEEK)的格式

地址: FFF95H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意事项 1. 月计数寄存器(MONTH)或天计数寄存器(DAY)的对应值不会自动存储到星期寄存器(WEEK)。解除复位后，将星期计数寄存器设置为如下所示。

Day	WEEK
星期日	00H
星期一	01H
星期二	02H
星期三	03H
星期四	04H
星期五	05H
星期六	06H

2. 计数器操作期间($RTCE = 1$)读取或写入寄存器时，请依据 10.4.3 读/写实时时钟 中所示步骤进行。

(10) 月计数寄存器(MONTH)

MONTH 寄存器是 8 位寄存器，它的值为 1 至 12（十进制）表示月的当前计数值。

当日计数器溢出时，它累加计数。

当数据写入该寄存器时，数据被写入缓冲器，并在最多 2 个时钟(f_{RTC})后被写入计数器。在对该寄存器进行写入操作时，即使日计数寄存器发生溢出也将其忽略，并设置为写入值。以 BCD 码格式设置 01 至 12 的十进制数到该寄存器。如果设置值超出范围，寄存器值在 1 个周期后返回正常值。

使用 8 位存储器操作指令设置 MONTH 寄存器。

解除复位后，清除该寄存器为 01H。

图 10-11. 月计数寄存器(MONTH)的格式

地址: FFF97H 复位后: 01H R/W

符号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意事项 计数器操作期间($RTCE = 1$)读取或写入寄存器时，请依据 10.4.3 读/写实时时钟 中所示步骤进行。

(11) 年计数寄存器(YEAR)

YEAR 寄存器是 8 位寄存器，它的值为 0 至 99（十进制）表示年的当前计数值。

当月计数器溢出时，该计数器累加计数。

00、04、08、...、92 和 96 表示闰年。

当数据写入该寄存器时，数据被写入缓冲器，并在最多 2 个时钟(f_{RTC})后被写入计数器。在对该寄存器进行写入操作时，即使月计数寄存器发生溢出也将其忽略，并设置为写入值。以 BCD 码格式设置 00 至 99 的十进制数到该寄存器。

使用 8 位存储器操作指令设置 YEAR 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-12. 年计数寄存器(YEAR)的格式

地址: FFF98H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意事项 计数器操作期间($RTCE = 1$)读取或写入寄存器时，请依据 10.4.3 读/写实时时钟 中所示步骤进行。

(12) 钟表误差修正寄存器(SUBCUD)

该寄存器用于高精度修正钟表，当钟表慢或快时，通过改变从副计数器到秒计数器(SEC)的溢出值（参考值：7FFFH），来修正钟表。

使用 8 位存储器操作指令设置 SUBCUD 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-13. 钟表误差修正寄存器(SUBCUD)的格式

地址：FFF99H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	钟表误差修正时序的设置
0	在秒位为 00、20 或 40 秒时(每 20 秒)修正钟表误差。
1	仅在秒位为 00 秒时(每 60 秒)修正钟表误差。
禁止在以下时序写入 SUBCUD 寄存器。	
- DEV = 0 设置时：SEC = 00H、20H、40H 的期间 - DEV = 1 设置时：SEC = 00H 的期间	

F6	钟表误差修正值的设置
0	仅增加 $\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2$ 。
1	仅减少 $\{-(F5, F4, F3, F2, F1, F0) + 1\} \times 2$ 。
当(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *)，钟表误差不被修正。*是 0 或 1。 /F5 至/F0 为对应位的反转值(当 111100 时为 000011)。	
修正值的范围：	
(当 F6 = 0) 2, 4, 6, 8, ..., 120, 122, 124	
(当 F6 = 1) -2, -4, -6, -8, ..., -120, -122, -124	

能够通过钟表误差修正寄存器(SUBCUD) 来进行修正的范围如下所示。

	DEV = 0 (每20秒修正)	DEV = 1 (每60秒修正)
可修正范围	-189.2 ppm 至 189.2 ppm	-63.1 ppm 至 63.1 ppm
最大量化误差	±1.53 ppm	±0.51 ppm
最小分辨率	±3.05 ppm	±1.02 ppm

备注 如果可修正范围小于或等于 ±63.1 ppm，大于或等于 63.1 ppm 时，请设置 DEV= 0。

(13) 报警分钟寄存器(ALARMWM)

该寄存器用于设置报警的分钟。

使用 8 位存储器操作指令设置 ALARMWM 寄存器。

解除复位后，清除该寄存器为 00H。

注意事项 以 BCD 码格式设置 00 至 59 的十进制数到该寄存器。如果设置的值超出范围，则不检测该报警。

图 10-14. 报警分钟寄存器(ALARMWM)的格式

地址: FFF9AH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(14) 报警小时寄存器(ALARMWH)

该寄存器用于设置报警的小时。

使用 8 位存储器操作指令设置 ALARMWH 寄存器。

解除复位后，清除该寄存器为 12H。

如果复位后设置 AMPM 位为 1，则该寄存器的值为 00H。

注意事项 以 BCD 码设置 00 至 23，01 至 12 或 21 至 32 到该寄存器。如果设置的值超出范围，则不检测该报警。

图 10-15. 报警小时寄存器(ALARMWH)的格式

地址: FFF9BH 复位后: 12H R/W

符号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意事项 当 AMPM = 0 (如果选择 12 小时系统)时，ALARMWH 寄存器的第 5 位(WH20)表示 AM(0)/PM(1)。

(15) 报警星期寄存器(ALARMWW)

该寄存器用于设置报警的星期。

使用 8 位存储器操作指令设置 ALARMWW 寄存器。

解除复位后，清除该寄存器为 00H。

图 10-16. 报警星期寄存器(ALARMWW)的格式

地址: FFF9CH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

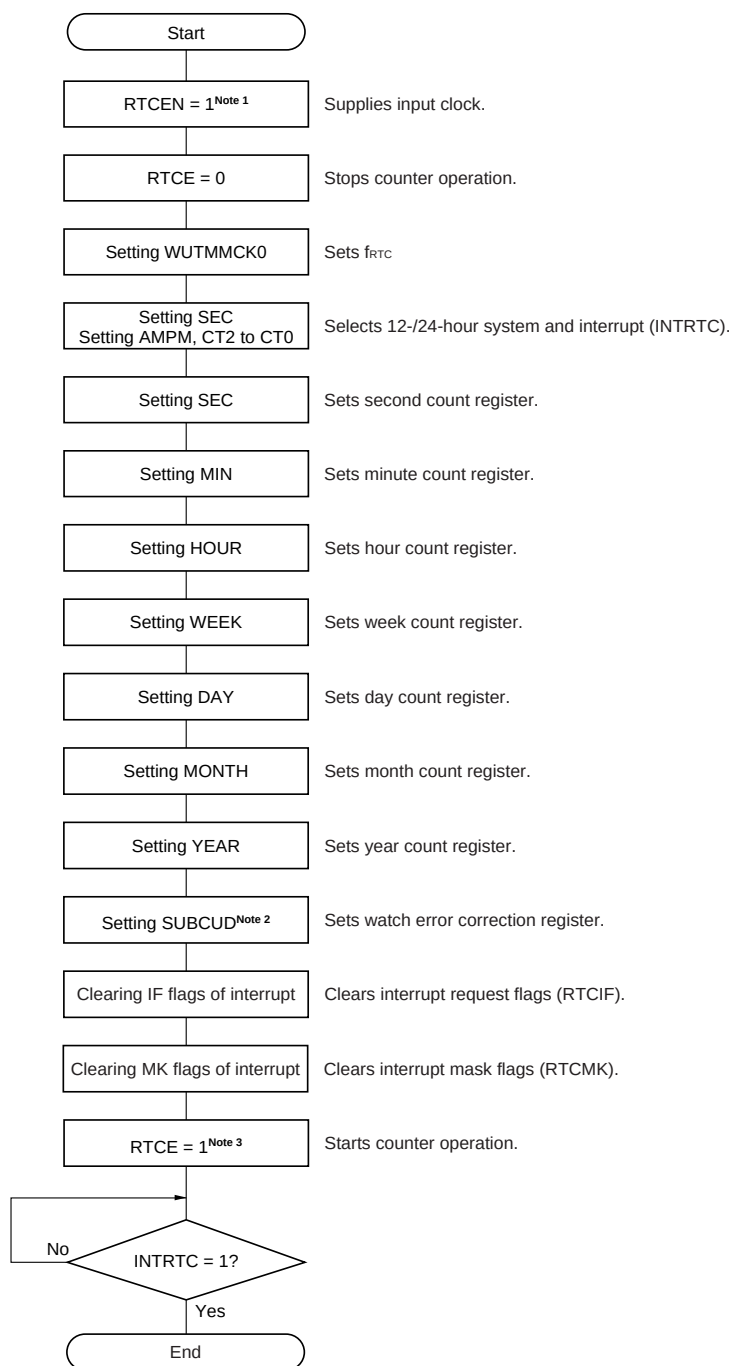
报警时间的设置示例如下所示。

报警设置时间	星期							12 小时显示				24 小时显示			
	星期天	星期一	星期二	星期三	星期四	星期五	星期六	小时 10	小时 1	分钟 10	分钟 1	小时 10	小时 1	分钟 10	分钟 1
	W W 0	W W 1	W W 2	W W 3	W W 4	W W 5	W W 6								
每天, 0:00 a.m.	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
每天, 1:30 a.m.	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
每天, 11:59 a.m.	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
星期一至星期五, 0:00 p.m.	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
星期天, 1:30 p.m.	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
星期一、星期三、星期五, 11:59 p.m.	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

10.4 实时时钟的操作

10.4.1 开始实时时钟的操作

图 10-17. 开始实时时钟的操作步骤



注 1. 当输入时钟(f_{RTC})处于振荡稳定状态时, 首先设置 RTCEN 位为 1。

2. 仅在必须修正钟表误差时设置 SUBCUD 寄存器。关于修正值的计算方法, 请参阅 10.4.6 实时时钟的钟表误差修正示例。

3. 在 RTCE = 1 之后, 不等 INTRTC = 1 就切换至 STOP 模式时, 请参阅 10.4.2 开始操作后切换至 STOP 模式中所示的步骤。

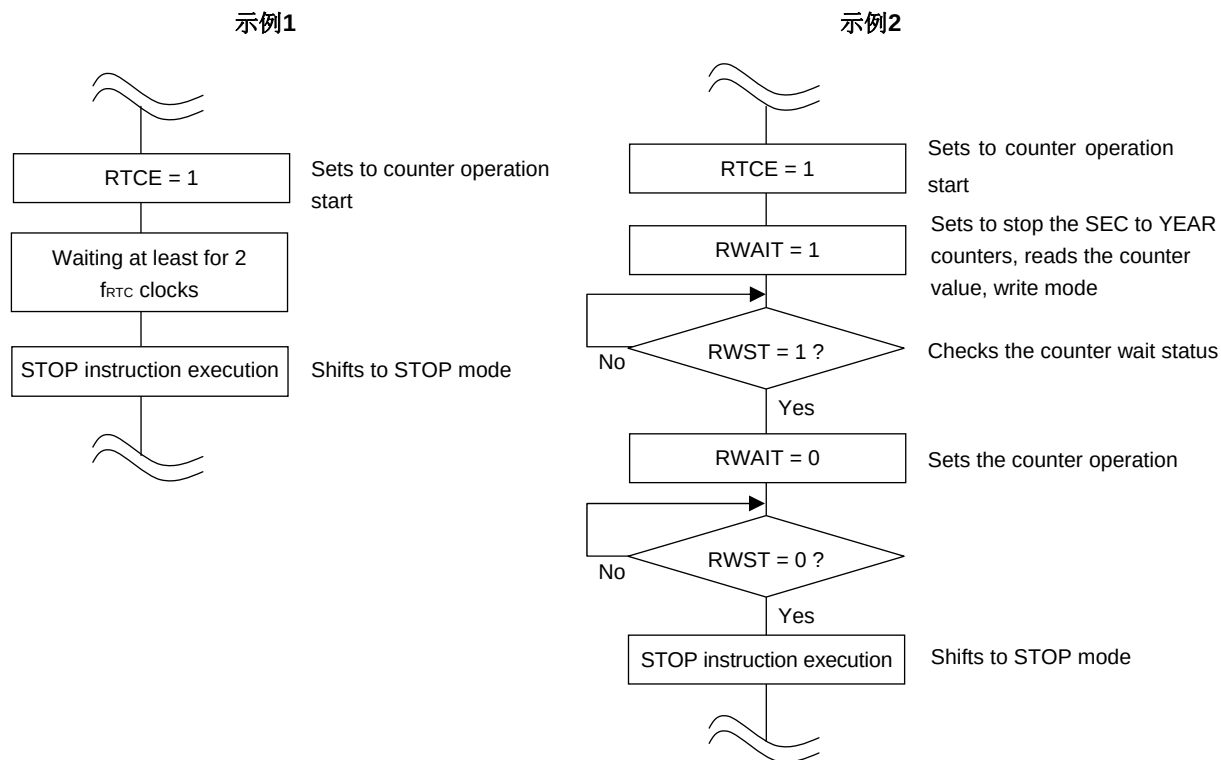
10.4.2 开始操作后切换至 STOP 模式

将 RTCE 位设置为 1 之后立即切换至 STOP 模式时，须执行以下处理中的一个。

然而，将 RTCE 位设置为 1 之后，如果在 INTRTC 中断发生后切换至 STOP 模式时，无需执行该处理。

- 将 RTCE 位设置为 1 并且至少经过两个输入时钟(f_{RTC})之后切换至 STOP 模式 (参阅图 10-18 示例 1)。
- 在将 RTCE 位设置为 1 之后，将 RWAIT 位设置为 1 并通过轮询确认 RWST 位已经成为 1，之后，将 RWAIT 位置为 0 并再次通过轮询确认 RWST 位已经成为 0，然后切换至 STOP 模式(参阅图 10-18 示例 2)。

图 10-18. 将 RTCE 位设置为 1 之后切换至 STOP 模式时的步骤

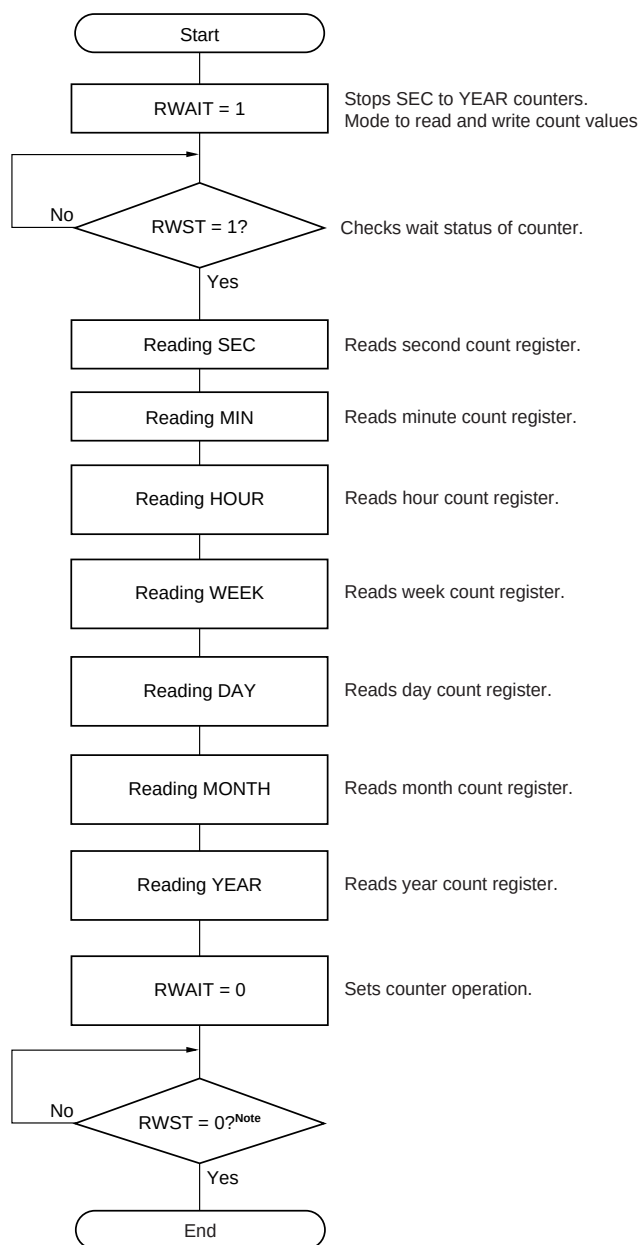


10.4.3 读/写实时时钟

读取或写入计数器之前，先将 **RWAIT** 设置为 1。

读取或写入计数器之后，将 **RWAIT** 设置为 0。

图 10-19. 读取实时时钟的步骤

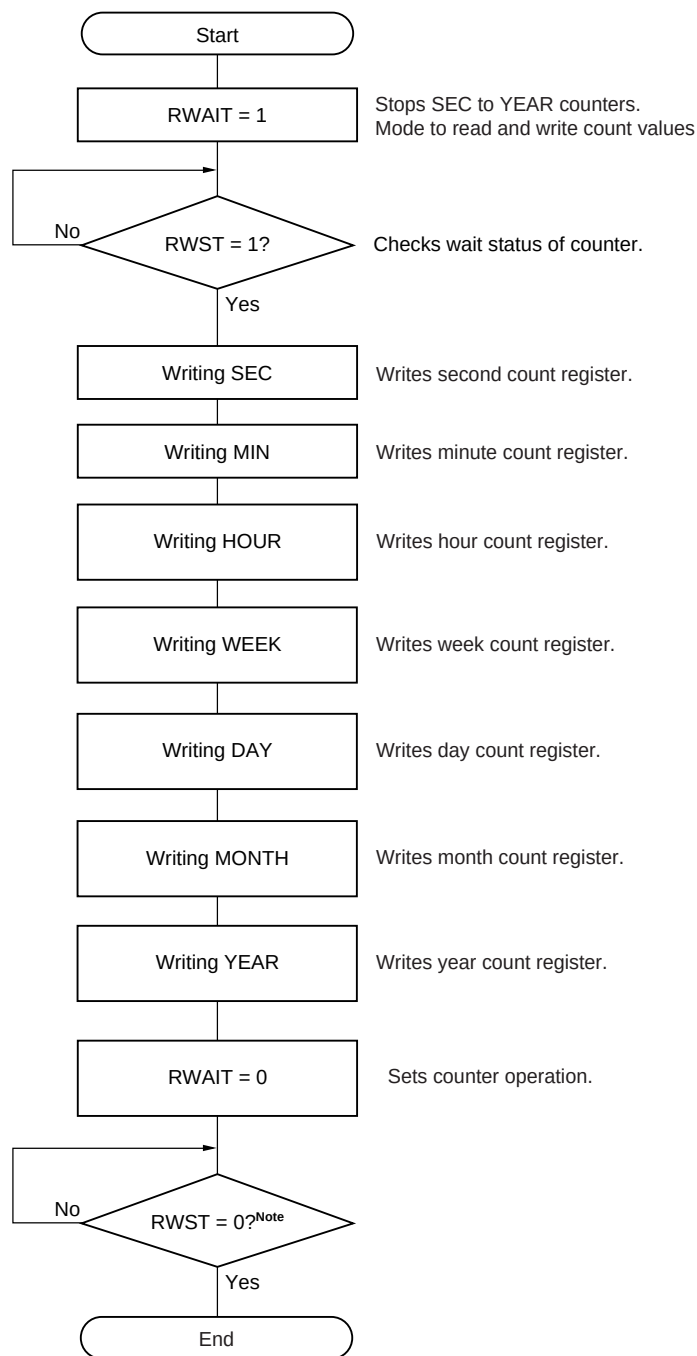


注 设置 STOP 模式之前，请确保设置 **RWST** = 0。

注意事项 在 1 秒内完成置 **RWAIT** 位为 1 到清 **RWAIT** 位为 0 的系列处理。

备注 可以任意顺序读取秒计数寄存器(SEC)、分钟计数寄存器(MIN)、小时计数寄存器(HOUR)、星期计数寄存器(WEEK)、天计数寄存器(DAY)、月计数寄存器(MONTH)和年计数寄存器(YEAR)。
无需读取所有寄存器，可能仅读取一部分寄存器。

图 10-20. 写入实时时钟的步骤



注 设置 STOP 模式之前，请确保设置 RWST = 0。

注意事项 1. 在 1 秒内完成置 RWAIT 位为 1 到清 RWAIT 位为 0 的系列处理。

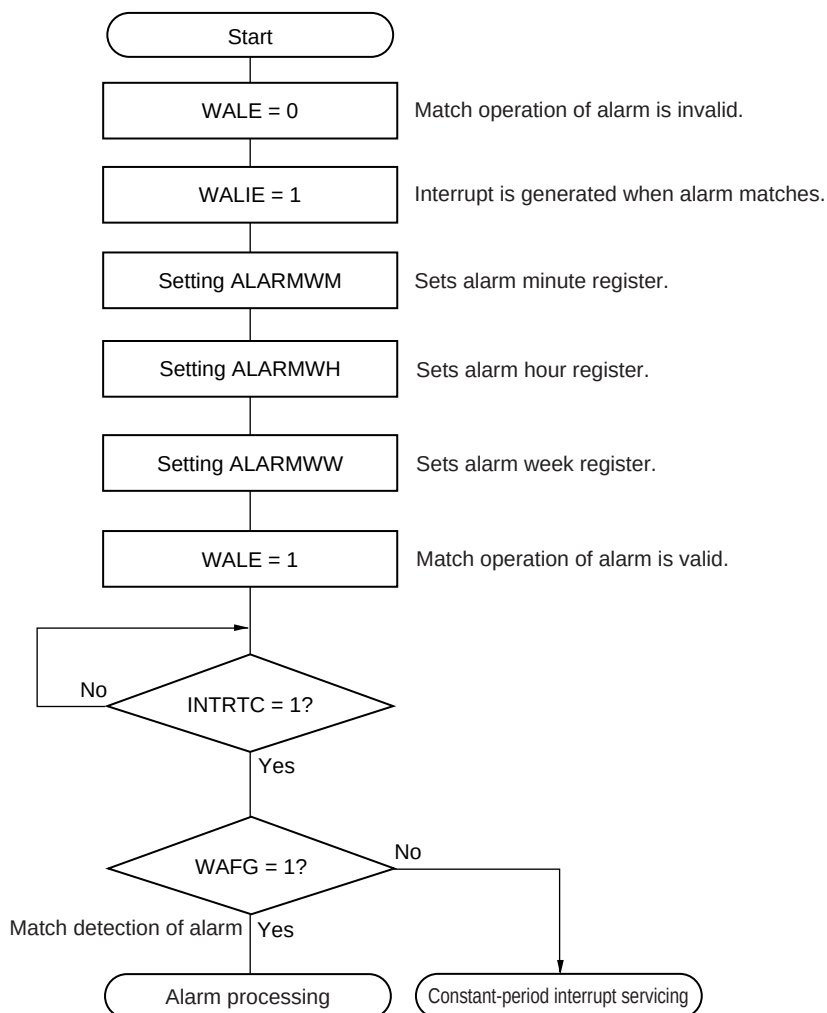
2. 在操作计数器期间(RTCE = 1)要重写 SEC、MIN、HOUR、WEEK、DAY、MONTH 和 YEAR 寄存器的值时，需在中断屏蔽标志寄存器将 INTRTC 设置为禁止中断处理之后，再进行重写。此外，进行重写后，清除 WAFG、RIFG 和 RTCIF 标志。

备注 可以任意顺序写入秒计数寄存器(SEC)、分钟计数寄存器(MIN)、小时计数寄存器(HOUR)、星期计数寄存器(WEEK)、天计数寄存器(DAY)、月计数寄存器(MONTH)和年计数寄存器(YEAR)。
无需设置所有寄存器，可能仅读取一部分寄存器。

10.4.4 设置实时时钟的报警

先将 WALE 设置为 0 之后再进行报警时间的设置。

图 10-21. 报警设置步骤

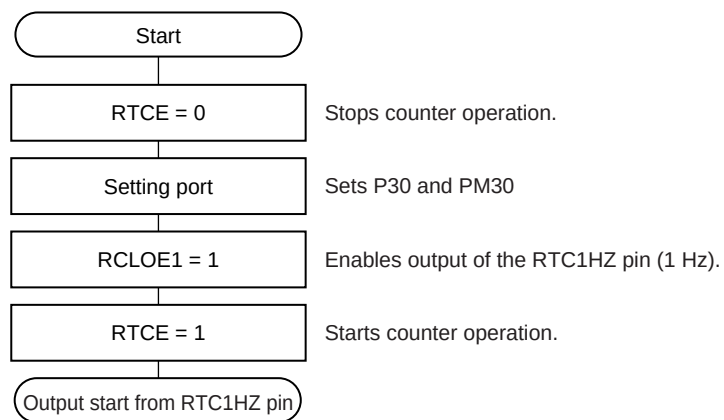


备注 1. 可以任意顺序写入报警分钟寄存器 (ALARMWM)、报警小时寄存器 (ALARMWH) 和报警星期寄存器 (ALARMWW)。

2. 固定周期中断和报警匹配中断使用相同的中断源 (INTRTC)。当同时使用这两种中断时，可在发生 INTRTC 时通过确认固定周期中断状态标志 (RIFG) 和报警检测状态标志 (WAFG) 来判断发生的是哪种中断。

10.4.5 实时时钟的 1 Hz 输出

图 10-22. 1 Hz 输出的设置步骤



- 注意事项
1. 当输入时钟(f_{SUB})处于振荡稳定状态时, 首先将 **RTCEN** 位设置为 1。
 2. 30、32 和 36 针产品中不提供实时时钟的 1 Hz 输出功能。

10.4.6 实时时钟的钟表误差修正示例

该寄存器用于高精度修正钟表，当钟表慢或快时，可以通过赋予值到钟表误差修正寄存器来高精度地修正钟表。

修正值的计算示例

修正副计数寄存器的计数值时使用的修正值通过以下表达式计算。

当修正范围小于或等于 ± 63.1 ppm，大于或等于 63.1 ppm 时，将 DEV 位设置为 0。

(当 DEV = 0)

$$\text{修正值}^{\#} = 1 \text{ 分钟内的修正计数量} \div 3 = (\text{振荡频率} \div \text{目标频率} - 1) \times 32768 \times 60 \div 3$$

(当 DEV = 1)

$$\text{修正值}^{\#} = 1 \text{ 分钟内的修正计数量} = (\text{振荡频率} \div \text{目标频率} - 1) \times 32768 \times 60$$

注 修正值为通过钟表误差修正寄存器(SUBCUD)的位 6 至位 0 的值计算得出的钟表误差修正值。

(当 F6 = 0) 修正值 = $\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2$

(当 F6 = 1) 修正值 = $-\{(F5, F4, F3, F2, F1, F0) + 1\} \times 2$

当(F6, F5, F4, F3, F2, F1, F0)为(*, 0, 0, 0, 0, 0, *)时，不执行钟表误差修正。“*”为 0 或 1。

/F5 至/F0 为位反转值(当 111100 时为 000011)。

备注 1. 修正值是 2, 4, 6, 8, ... 120, 122, 124 或 -2, -4, -6, -8, ... -120, -122, -124。

2. 振荡频率为输入时钟(f_{RTC})的值。

可以通过钟表误差修正寄存器被设置为初始值(00H)时 RTC1HZ 引脚的输出频率 x 32768 来计算得到。

3. 目标频率为利用钟表误差修正寄存器进行修正后得到的频率。

修正示例

从 32767.4 Hz 修正至 32768 Hz (32767.4 Hz + 18.3 ppm)的示例。

[测量振荡频率]

当钟表误差修正寄存器(SUBCUD)被设置为初始值(00H)时, 通过从 RTC1HZ 引脚输出大约 1Hz, 即可测得各产品的振荡频率^注。

注 从 RTC1HZ 引脚输出大约 1Hz 的设置步骤请参阅 10.4.5 实时时钟的 1 Hz 输出。

[计算修正值]

(当 RTCCL 引脚的输出频率为 0.9999817 Hz 时)

振荡频率 = $32768 \times 0.9999817 \approx 32767.4 \text{ Hz}$

假设目标频率为 32768 Hz (32767.4 Hz + 18.3 ppm)且 DEV 为 1。

当 DEV 为 1 时用于计算修正值的表达式。

$$\begin{aligned}
 \text{修正值} &= 1 \text{ 分钟内的修正计数量} \\
 &= (\text{振荡频率} \div \text{目标频率} - 1) \times 32768 \times 60 \\
 &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\
 &= -36
 \end{aligned}$$

[计算(F6 至 F0)的设置值]

(当修正值为-36)

当修正值小于等于 0 (加快)时, 假设 F6 为 1。

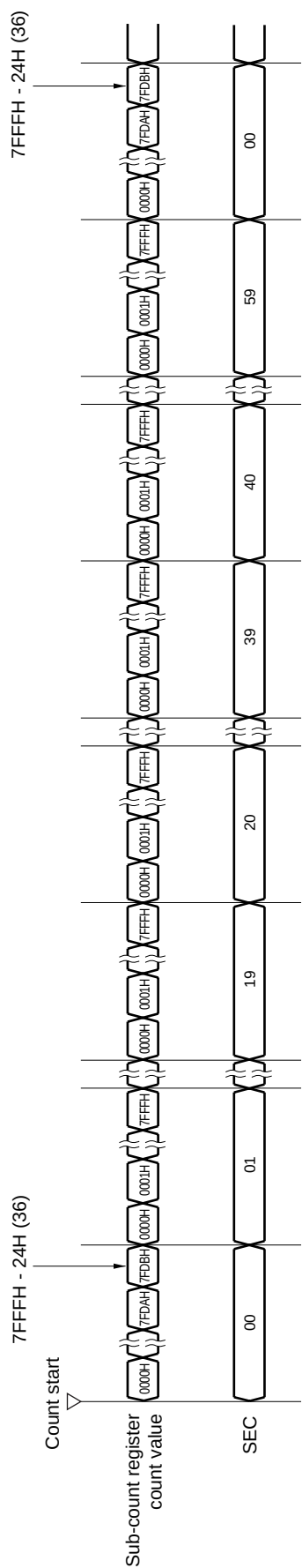
根据修正值计算(F5, F4, F3, F2, F1, F0)。

$$\begin{aligned}
 -\{(/F5, /F4, /F3, /F2, /F1, /F0) - 1\} \times 2 &= -36 \\
 (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\
 (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\
 (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0)
 \end{aligned}$$

因此, 将 32767.4 Hz 修正 32768 Hz (32767.4 Hz + 18.3 ppm)时, 将修正寄存器设置为 DEV 为 1 且修正值为-36 (SUBCUD 寄存器的位 6 至位 0: 1101110), 则结果为 32768 Hz (0 ppm)。

当(DEV, F6, F5, F4, F3, F2, F1, F0)为(1, 1, 1, 0, 1, 1, 1, 0)时的操作如图 10-23 所示。

图 10-23. 当(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0)时的操作



第十一章 12 位间隔定时器

11.1 12 位间隔定时器的功能

按照事先设置的任意的时间间隔产生中断(INTIT)。可用于从 STOP 模式的唤醒, 以及 A/D 转换器的 SNOOZE 模式的触发。

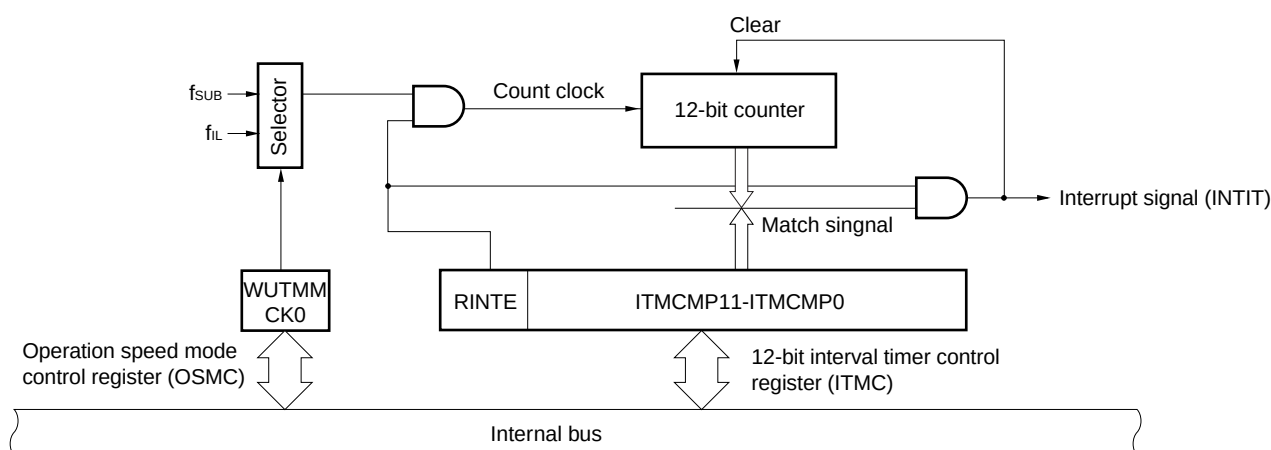
11.2 12 位间隔定时器的配置

12 位间隔定时器包含以下硬件。

表 11-1. 12 位间隔定时器的配置

项目	配置
计数器	12 位计数器
控制寄存器	外围允许寄存器 0 (PER0)
	操作速度模式控制寄存器(OSMC)
	12 位间隔定时器控制寄存器(ITMC)

图 11-1. 12 位间隔定时器的框图



注意事项 在 40、44、48、52、64、80 和 100 针产品中, 可以选择副系统时钟(f_{SUB})作为操作时钟。

11.3 控制 12 位间隔定时器的寄存器

12 位间隔定时器由下列寄存器控制。

- 外围允许寄存器 0 (PER0)
- 操作速度模式控制寄存器(OSMC)
- 12 位间隔定时器控制寄存器(ITMC)

(1) 外围允许寄存器 0 (PER0)

该寄存器用于允许或禁止供应时钟至外围硬件。并且中止向未使用的硬件供应时钟，以减少电力消耗和噪声。

使用 12 位间隔定时器时，务必将该寄存器的位 7(RTCEN)设置为 1。

使用 1 位或 8 位存储器操作指令设置 PER0 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 11-2. 外围允许寄存器 0 (PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCEN	IICA1EN ^{‡1}	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN ^{‡1}	TAU0EN

RTCEN	控制实时时钟(RTC)和 12 位间隔定时器的输入时钟供应 ^{‡2}
0	停止输入时钟供应。 • 不可写入用于实时时钟(RTC)和 12 位间隔定时器的 SFR。 • 实时时钟(RTC)和 12 位间隔定时器处于复位状态。
1	允许输入时钟供应。 • 可以写入或读取用于实时时钟(RTC)和 12 位间隔定时器的 SFR。

注 1. 仅限 80 和 100 针产品。

- 对于使用于实时时钟 (RTC)和 12 位间隔定时器的寄存器，当从 CPU 进行存取时，将使用通过 RTCEN 位控制的输入时钟。RTCEN 位不能控制对于 RTC 和 12 位间隔定时器的操作时钟 (fSUB)供应。

- 注意事项 1. 使用 12 位间隔定时器时，在输入时钟(f_{RTC})处于振荡稳定状态下，首先要将 RTCEN 位设置为 1。当 RTCEN = 0 时，对实时时钟或 12 位间隔定时器的控制寄存器进行的写入操作被忽略，而且读取值总为初始值。
- 在 STOP 模式以及副系统时钟时的 HALT 模式下，通过将操作速度模式控制寄存器(OSMC)的 RTCLPC 位设置为 1，可以停止向外围功能供应除了实时时钟和 12 位间隔定时器以外的时钟。此时，请将 PER0 寄存器的 RTCEN 位设置为 1，将其它位（位 0 至位 6）设置为 0。
 - 务必将以下的位清除为 0。
30、32、36、40、44、48、52、64 针产品：位 1、6

(2) 操作速度模式控制寄存器(OSMC)

WUTMMCK0 位可以用于选择 12 位间隔定时器操作时钟。

另外，还可以通过 RTCLPC 位来停止不必要的时钟功能，从而降低功耗。关于设置 RTCLPC 位的详情，请参阅 第五章 时钟发生电路。

使用 8 位存储器操作指令设置 OSMC 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 11-3. 操作速度模式控制寄存器 (OSMC)的格式

地址: F00F3H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	选择实时时钟、12 位间隔定时器以及定时器 RJ 的操作时钟。
0	副系统时钟(f_{SUB}) - 低速片上振荡器时钟只能用作实时时钟和 12 位间隔定时器的操作时钟。 - 不能选择低速片上振荡器时钟作为定时器 RJ 的计数源。
1	低速片上振荡器时钟(f_{IL}) - 低速片上振荡器时钟只能用作实时时钟和 12 位间隔定时器的操作时钟。 - 可选择低速片上振荡器或副系统时钟其中之一用作定时器 RJ 的计数源。

(3) 12 位间隔定时器控制寄存器(ITMC)

该寄存器用于设置 12 位间隔定时器的开始和停止，以及指定定时器比较值。

使用 16 位存储器操作指令设置 ITMC 寄存器。

产生复位信号后，清除该寄存器为 0FFFH。

图 11-4. 12 位间隔定时器控制寄存器 (ITMC)的格式

地址: FFF90H 复位后: 0FFFH R/W

符号	15	14	13	12	11至0
ITMC	RINTE	0	0	0	ITCMP11至ITCMP0

RINTE	12位间隔定时器的操作控制
0	停止计数操作 (计数清除)
1	开始计数操作

ITCMP11 至 ITCMP0	12位间隔定时器的比较值设置
001H	这些位以固定周期 (计数时钟周期 x (ITCMP 设置+ 1)) 产生中断。
•	
•	
•	
FFFH	

当 ITCMP11 至 ITCMP0 被设置为 001H 或 FFFH 时的中断周期示例

- ITCMP11 至 ITCMP0 = 001H, 计数时钟: 当 $f_{SUB} = 32.768 \text{ kHz}$ 时
 $1/32.768 \text{ [kHz]} \times (1 + 1) = 0.06103515625 \text{ [ms]} \cong 61.03 \text{ [}\mu\text{s]}$
- ITCMP11 至 ITCMP0 = FFFH, 计数时钟: 当 $f_{SUB} = 32.768 \text{ kHz}$ 时
 $1/32.768 \text{ [kHz]} \times (4095 + 1) = 125 \text{ [ms]}$

- 注意事项**
1. 将 RINTE 位从 1 更改为 0 之前，先用中断屏蔽标志寄存器来禁止处理 INTIT 中断。另外，在重写改位的值以后，清除 ITIF 标志，然后允许处理中断。
 2. 设置 RINTE 位并经过一个计数时钟周期后，应用从 RINTE 位读取的值。当进入 HALT 模式或 STOP 模式时，进入之前要确认写入 RINTE 位的值已应用。
 3. 在从待机模式返回并再次进入待机模式之后，在设置 RINTE 位时，要确认 RINTE 位的写入值得到了体现，或者在从待机模式返回之后等待大于 1 个计数时钟。然后进入待机模式。
 4. 仅当 RINTE = 0 时，更改 ITCMP11 至 ITCMP0 位的设置。
 然而，可以在将 RINTE 从 0 更改为 1 或者从 1 更改为 0 的同时，更改 ITCMP11 至 ITCMP0 位的设置。

11.4 12 位间隔定时器的操作

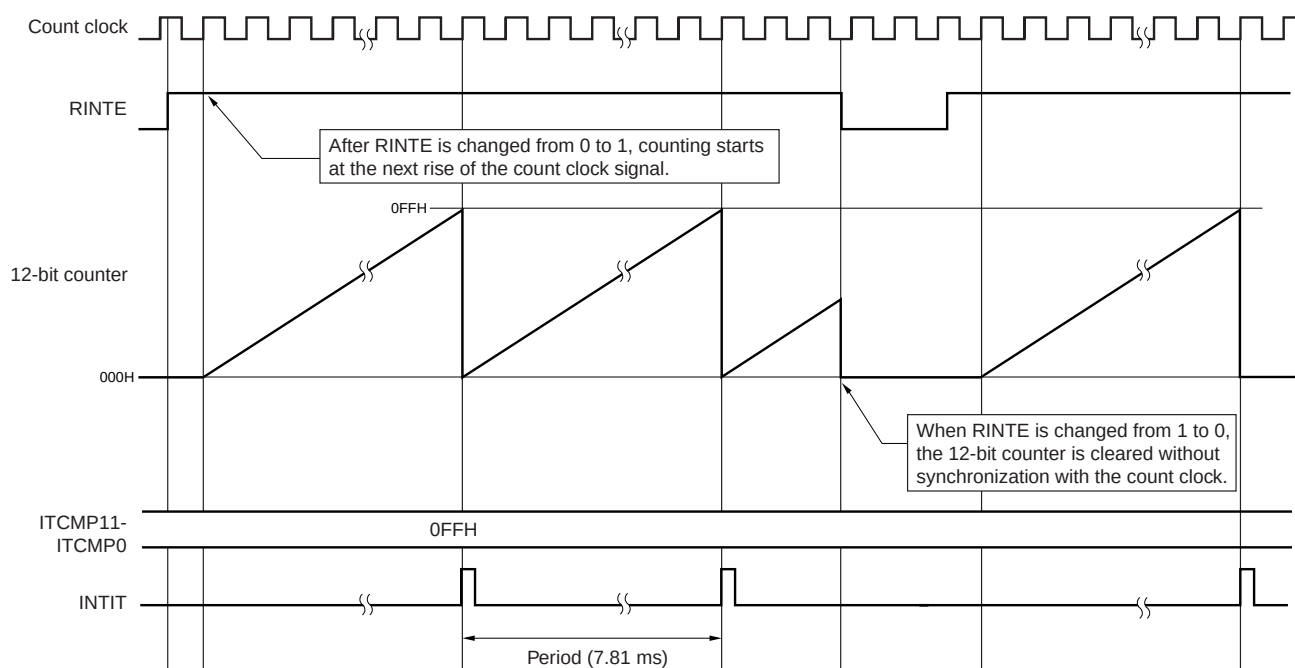
作为间隔定时器操作，将 ITCMP11 至 ITCMP0 位的指定计数值作为间隔，操作 12 位以重复产生中断请求(INTIT)。

当 RINTE 位被设置为 1 时，12 位计数器开始计数。

当 12 位计数器的值和 ITCMP11 至 ITCMP0 位的指定值相匹配时，清除 12 位计数器至 0，继续计数，同时产生中断请求信号 (INTIT)。

12 位间隔定时器的基本操作如下所示。

图 11-5. 12 位间隔定时器操作时序(ITCMP11 至 ITCMP0 = 0FFH, 计数时钟: $f_{SUB} = 32.768 \text{ kHz}$)



第十二章 时钟输出/峰鸣器输出控制电路

注意事项 本章的下述内容大多是以 64 针产品为例。

12.1 时钟输出/峰鸣器输出控制电路的功能

时钟输出控制电路用于远程控制发送时的载波输出以及供应至外围 IC 的时钟输出。

峰鸣器输出功能用于输出峰鸣器频率的方波。

一个引脚可选用为时钟输出用或峰鸣器输出用。

两个输出引脚，PCLBUZ0 和 PCLBUZ1 均可用。

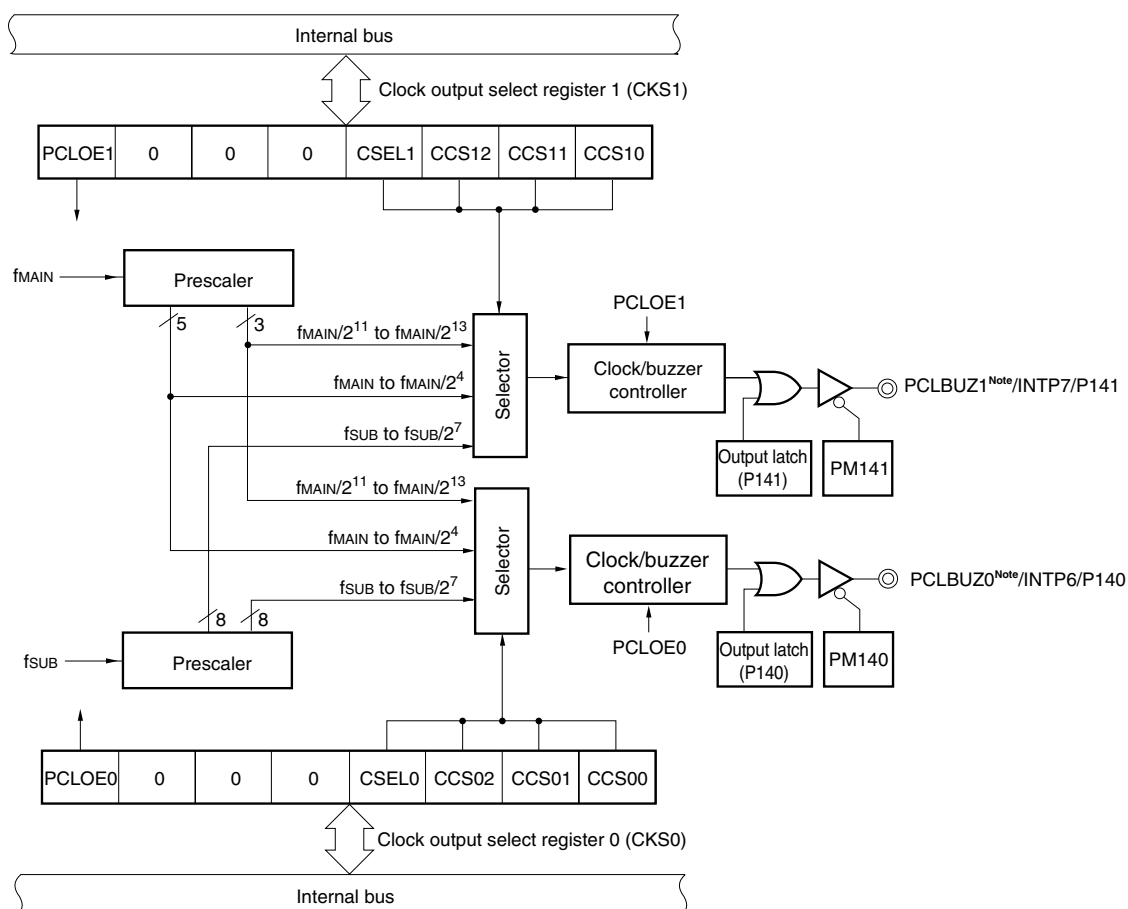
PCLBUZn 引脚可以输出在时钟输出选择寄存器(CKSn)所选择的时钟。

时钟输出/峰鸣器输出控制电路的框图如图 12-1 所示。

注意事项 低功耗 RTC 模式（操作速度模式控制寄存器(OSMC)的 RTCLPC 位= 1 时）下，不能从 PCLBUZn 引脚输出副系统时钟(f_{SUB})。

备注 n = 0, 1

图 12-1. 时钟输出/蜂鸣器输出控制电路的框图



注 有关可从 PCLBUZ0 和 PCLBUZ1 输出的频率，请参阅 34.5 AC 特性。

备注 64 针至 100 针产品中并且 PIOR3 = 0 且 PIOR4 = 0 时的时钟输出/蜂鸣器输出引脚的信息如上图所示。其它情况下的引脚名、输出锁存器(Pxx)以及 PMxx 不同，请自行替换 (xx = 15、31、55、140 或 141)。

12.2 时钟输出/蜂鸣器输出控制电路的配置

时钟输出/蜂鸣器输出控制电路包含以下硬件。

表 12-1. 时钟输出/蜂鸣器输出控制电路的配置

项目	配置
控制寄存器	时钟输出选择寄存器 n (CKSn) 端口模式寄存器 1, 3, 5, 14 (PM1, PM3, PM5, PM14) 端口寄存器 1, 3, 5, 14 (P1, P3, P5, P14)

12.3 控制时钟输出/蜂鸣器输出控制电路的寄存器

以下两个寄存器用于控制时钟输出/蜂鸣器输出控制电路。

- 时钟输出选择寄存器 n (CKSn)
- 端口模式寄存器 1、3、5、14 (PM1、PM3、PM5、PM14)

(1) 时钟输出选择寄存器 n (CKSn)

该寄存器设置时钟输出或蜂鸣器频率输出引脚(PCLBUZn)的输出允许/禁止，并设置输出时钟。

使用 CKSn 寄存器选择从 PCLBUZn 引脚输出的时钟。

使用 1 位或 8 位存储器操作指令设置 CKSn 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 12-2. 时钟输出选择寄存器 n (CKSn) 的格式

地址: FFFA5H (CKS0), FFFA6H (CKS1) 复位后: 00H R/W

符号	<7>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn 引脚的输出允许/禁止的指定
0	禁止输出 (默认)
1	允许输出

CSELn	CCSn2	CCSn1	CCSn0		PCLBUZn 引脚输出时钟选择			
					f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz	f _{MAIN} = 32 MHz
0	0	0	0	f _{MAIN}	5 MHz	10 MHz ^注	禁止设置 ^注	禁止设置 ^注
0	0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	10 MHz ^注	16 MHz ^注
0	0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	f _{SUB}	32.768 kHz			
1	0	0	1	f _{SUB} /2	16.384 kHz			
1	0	1	0	f _{SUB} /2 ²	8.192 kHz			
1	0	1	1	f _{SUB} /2 ³	4.096 kHz			
1	1	0	0	f _{SUB} /2 ⁴	2.048 kHz			
1	1	0	1	f _{SUB} /2 ⁵	1.024 kHz			
1	1	1	0	f _{SUB} /2 ⁶	512 Hz			
1	1	1	1	f _{SUB} /2 ⁷	256 Hz			

注 在 16MHz 的范围内使用输出时钟。另外，当 $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ 时，只能在 8 MHz 的范围内使用输出时钟。详情请参阅 34.5 AC 特性。

- 注意事项
1. 设置为禁止时钟输出(PCLOEn = 0)后，才可以更改输出时钟。
 2. 当选择主系统时钟(CSELn = 0)时，若要切换至 STOP 模式，则须在执行 STOP 指令之前将 PCLOEn 设置为 0。当选择副系统时钟(CSELn = 1)时，能在 STOP 模式下输出时钟，因此可以将 PCLOEn 设置为 1。
 3. 低功耗 RTC 模式（操作速度模式控制寄存器(OSMC)的 RTCLPC 位= 1 时）下，不能从 PCLBUZn 引脚输出副系统时钟(f_{SUB})。

- 备注
1. n = 0, 1
 2. f_{MAIN}: 主系统时钟频率
f_{SUB}: 副系统时钟频率

(2) 端口模式寄存器 1、3、5、14 (PM1、PM3、PM5、PM14)

该寄存器按照 1 位单位设置端口的输入/输出。

例如，在 64 针产品中，将 P140/INTP6/PCLBUZ0 和 P141/INTP7/PCLBUZ1 引脚用于时钟输出和蜂鸣器输出时，将 PM140 和 PM141 位以及 P140 和 P141 的输出锁存器清除至 0。

使用 1 位或 8 位存储器操作指令设置 PM1、PM3、PM5、PM14 寄存器。

产生复位信号后，清除该寄存器为 FFH。

图 12-3. 端口模式寄存器 14 (PM14)的格式 (64 针产品)

地址: FFF2EH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM14	PM147	PM146	1	1	1	1	PM141	PM140

PMmn	Pmn 引脚输入/输出模式的选择(mn = 140, 141, 146, 147)
0	输出模式 (输出缓冲器 on)
1	输入模式 (输出缓冲器 off)

备注 关于 64 针产品以外的端口模式寄存器的详情，请参阅 **4.3 控制端口功能的寄存器**。

12.4 时钟输出/蜂鸣器输出控制电路的操作

可用一个引脚输出时钟或蜂鸣音。

PCLBUZ0 引脚输出利用时钟输出选择寄存器 0(CKS0)选择的时钟/蜂鸣器。

PCLBUZ1 引脚输出利用时钟输出选择寄存器 1(CKS1)选择的时钟/蜂鸣器。

12.4.1 作为输出引脚的操作

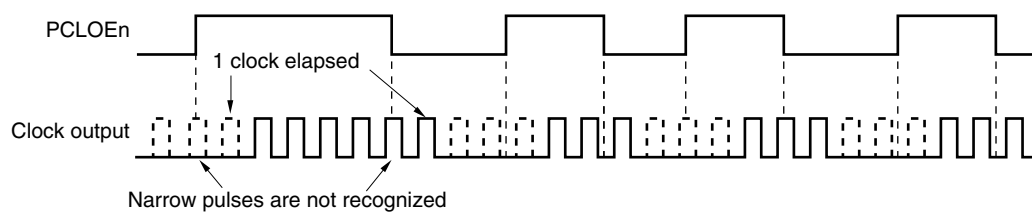
PCLBUZn 引脚按照以下步骤输出。

- <1> 使用 PCLBUZn 引脚的时钟输出选择寄存器(CKSn)的位 0 至位 3 (CCSn0 至 CCSn2、CSELn) 选择输出频率 (输出禁止状态)。
- <2> 将 CKSn 寄存器的位 7(PCLOEn)设置为 1, 以允许时钟/蜂鸣器输出。

备注 1. 切换为允许或禁止时钟输出 (PCLOEn 位) 且经过一个时钟之后, 用于输出时钟的控制电路开始或停止输出时钟。此时不输出窄幅脉冲。利用 PCLOEn 位允许或停止输出以及输出时钟的时序如图 12-4 所示。

2. $n = 0, 1$

图 12-4. 远程控制输出应用程序示例



第十三章 看门狗定时器

13.1 看门狗定时器的功能

看门狗定时器工作于低速片上振荡器时钟。

看门狗定时器用于检测意外程序循环。检测到程序循环时产生内部复位信号。

下述情况时检测到程序循环。

- 当看门狗定时器发生溢出时
- 对于看门狗定时器允许寄存器 (WDTE) 执行 1 位操作指令时
- 将“ACH”以外的数据写入 WDTE 寄存器时
- 在窗口关闭期间将数据写入 WDTE 寄存器时

由于看门狗定时器而发生复位时，复位控制标志寄存器(RESF)的位 4(WDTRF)被设置为 1。关于 RESF 寄存器的详情，请参阅 **第二十四章 复位功能**。

达到 75%的溢出时间时，可以产生间隔中断。

13.2 看门狗定时器的配置

看门狗定时器包含以下硬件。

表 13-1. 看门狗定时器的配置

项目	配置
控制寄存器	看门狗定时器允许寄存器 (WDTE)

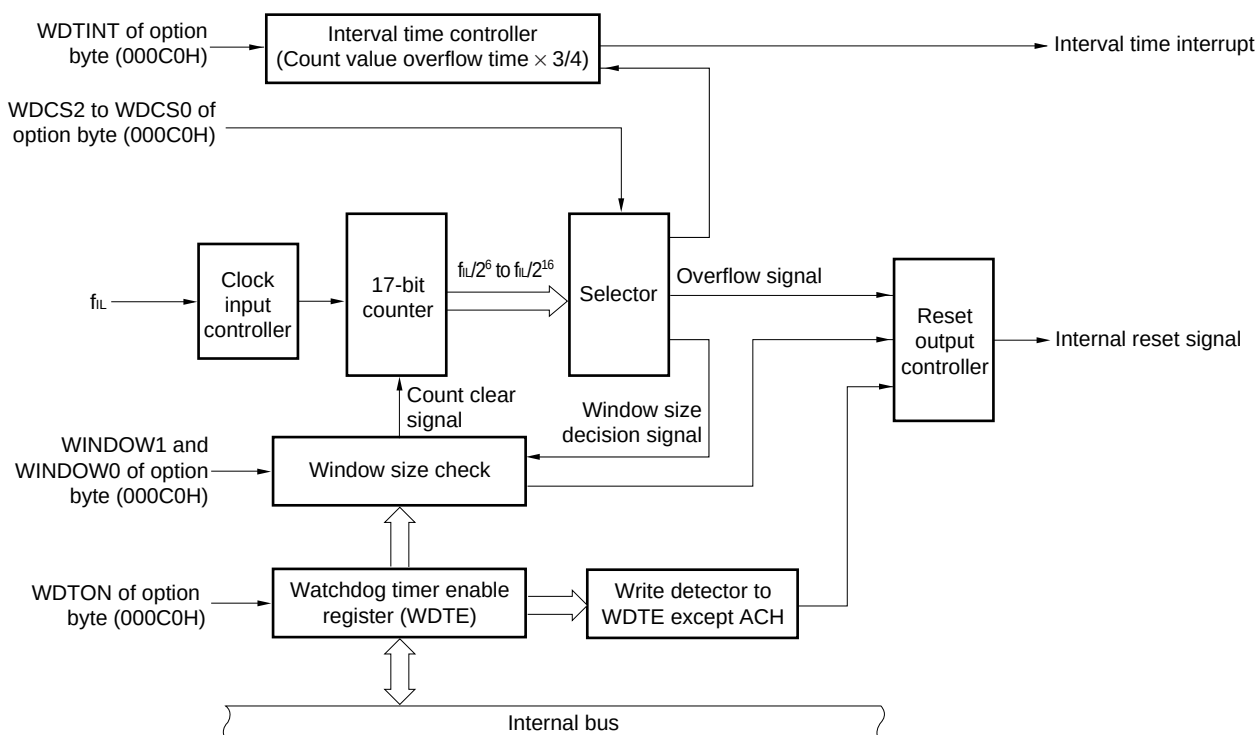
使用选项字节设置计数器操作的控制方式、溢出时间、窗口打开期间以及间隔中断。

表 13-2. 选项字节和看门狗定时器的设置

看门狗定时器的设置	选项字节(000C0H)
看门狗定时器间隔中断	位7 (WDTINT)
窗口打开期间	位6和5 (WINDOW1、WINDOW0)
控制看门狗定时器的计数器操作	位4 (WDTON)
看门狗定时器的溢出时间	位3至1 (WDCS2至WDCS0)
控制看门狗定时器的计数器操作 (HALT/STOP模式下)	位0 (WDSTBYON)

备注 有关选项字节，请参阅 第二十九章 选项字节。

图 13-1. 看门狗定时器的框图



13.3 控制看门狗定时器的寄存器

可利用看门狗定时器允许寄存器 (WDTE)控制看门狗定时器。

(1) 看门狗定时器允许寄存器(WDTE)

当选项字节(000C0H)的 WDTON 位为 1 时，向 WDTE 寄存器写入 ACH 可以清除看门狗定时器计数器，并且再次开始计数。

使用 8 位存储器操作指令设置该寄存器。

产生复位信号后，设置该寄存器为 9AH 或 1AH[※]。

图 13-2. 看门狗定时器允许寄存器 (WDTE)的格式

地址: FFFABH 复位后: 9AH/1AH[※] R/W

符号	7	6	5	4	3	2	1	0
WDTE								

注 WDTE 寄存器复位值因选项字节(000C0H)的 WDTON 位的设置值而异。将 WDTON 位设置为 1 以操作看门狗定时器。

WDTON位设置值	WDTE寄存器复位值
0 (禁止看门狗定时器的计数操作)	1AH
1 (允许看门狗定时器的计数操作)	9AH

- 注意事项
1. 当选项字节(000C0H)的 WDTON 位为 1 时，将“ACH”以外的值写入 WDTE 寄存器会产生内部复位信号。
 2. 当选项字节(000C0H)的 WDTON 位为 1 时，对于 WDTE 寄存器执行 1 位存储器操作指令会产生内部复位信号。
 3. WDTE 寄存器的读取值为 9AH/1AH（与写入值(ACH)不同）。

13.4 看门狗定时器的操作

13.4.1 控制看门狗定时器的操作

1. 使用看门狗定时器时，其操作由选项字节(000C0H)指定。
 - 将选项字节(000C0H)的位 4(WDTON)设置为 1 以允许看门狗定时器的计数操作（解除复位后计数器开始操作）(详情请参阅 第二十九章)。

WDTON	看门狗定时器计数器
0	禁止计数器操作(复位后停止计数)
1	允许计数器操作(复位后开始计数)

- 使用选项字节 (000C0H)的位 3 至 1 (WDCS2 至 WDCS0) 设置溢出时间 (详情请参阅 13.4.2 和 第二十九章)。
 - 使用选项字节 (000C0H)的位 6 和 5 (WINDOW1 和 WINDOW0) 设置窗口打开期间 (详情请参阅 13.4.3 和 第二十九章)。
2. 解除复位后，看门狗定时器开始计数。
 3. 在看门狗定时器开始计数之后以及选项字节设置的溢出时间之前，向看门狗定时器允许寄存器(WDTE)写入“ACH”，则看门狗定时器被清除并且再次开始计数。
 4. 此后，解除复位后对于 WDTE 寄存器的第二次及之后的写入操作须在窗口打开期间执行。如果在窗口关闭期间写入 WDTE 寄存器，将产生内部复位信号。
 5. 如果超过溢出时间且未将“ACH”写入 WDTE 寄存器，将产生内部复位信号。
下列情况下产生内部复位信号：
 - 对于 WDTE 寄存器执行 1 位操作指令时
 - 将“ACH”以外的数据写入 WDTE 寄存器时

- 注意事项 1.** 解除复位后首次向看门狗定时器允许寄存器(WDTE)写入数据时，只要在溢出时间之前写入该寄存器，则与窗口打开时间无关，无论什么时序看门狗定时器都被清除，且看门狗定时器再次开始计数。
2. 通过向 WDTE 寄存器写入“ACH”来清除看门狗定时器时，实际溢出时间与选项字节设置的溢出时间可能具有最大 $2/f_{\text{L}}$ 秒的差异。
 3. 直到计数值溢出之前，都可以清除看门狗定时器。

注意事项 4. 如下所示，看门狗定时器在 **HALT**、**STOP** 和 **SNOOZE** 模式下的操作因选项字节(000C0H)的位 0(WDSTBYON) 的设置值而异。

	WDSTBYON = 0	WDSTBYON = 1
HALT模式	停止看门狗定时器操作。	继续看门狗定时器操作。
STOP模式		
SNOOZE模式		

如果 **WDSTBYON = 0**，解除 **HALT** 或 **STOP** 模式后看门狗定时器恢复计数。此时，计数器被清除为 0 并开始计数。

解除 **STOP** 模式后操作于 **X1** 振荡时钟时，经过振荡稳定时间后 **CPU** 开始操作。

因此，如果从解除 **STOP** 模式到看门狗定时器溢出为止的时间较短，则在振荡稳定时间内发生溢出时导致复位。

为此，由间隔中断引起解除 **STOP** 模式后工作于 **X1** 振荡时钟时，必须经过振荡稳定时间才能清除看门狗定时器，设置溢出时间时要考虑到这一点。

13.4.2 设置看门狗定时器的溢出时间

用选项字节(000C0H)的位 3 至位 1 (WDCS2 至 WDCS0) 设置看门狗定时器的溢出时间。

如果发生溢出，则产生内部复位信号。在溢出时间之前的窗口打开期间，向看门狗定时器允许寄存器(WDTE)写入“ACH”，清除当前计数，看门狗定时器重新开始计数。

可设置的溢出时间如下所示。

表 13-3. 设置看门狗定时器的溢出时间

WDCS2	WDCS1	WDCS0	看门狗定时器的溢出时间 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$)
0	0	0	$2^6/f_{IL}$ (3.71 ms)
0	0	1	$2^7/f_{IL}$ (7.42 ms)
0	1	0	$2^8/f_{IL}$ (14.84 ms)
0	1	1	$2^9/f_{IL}$ (29.68 ms)
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)
1	0	1	$2^{13}/f_{IL}$ (474.90 ms)
1	1	0	$2^{14}/f_{IL}$ (949.80 ms)
1	1	1	$2^{16}/f_{IL}$ (3799.19 ms)

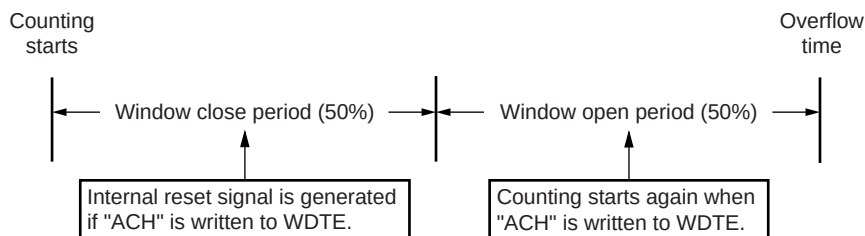
备注 f_{IL} : 低速片上振荡器时钟频率

13.4.3 设置看门狗定时器的窗口打开期间

用选项字节(000C0H)的位 6 和位 5(WINDOW1、WINDOW0)设置看门狗定时器的窗口打开期间。窗口概要如下所示。

- 如果在窗口打开期间将“ACH”写入看门狗定时器允许寄存器(WDTE)，则看门狗定时器被清除，并再次开始计数。
- 即使在窗口关闭期间将“ACH”写入 WDTE 寄存器，也会检测到异常并产生内部复位信号。

示例：窗口打开期间为 50%时



注意事项 解除复位后首次向 WDTE 寄存器写入数据时，只要在溢出时间之前写入该寄存器，则与窗口打开时间无关，无论什么时序看门狗定时器都被清除，且看门狗定时器再次开始计数。

可设置的窗口打开期间如下所示。

表 13-4. 设置看门狗定时器的窗口打开期间

WINDOW1	WINDOW0	看门狗定时器的窗口打开期间
0	0	禁止设置
0	1	50%
1	0	75%
1	1	100%

注意事项 当选项字节(000C0H)的位 0(WDSTBYON) = 0 时，不论 WINDOW1 和 WINDOW0 位的值为多少，窗口打开期间都为 100%。

备注 溢出时间设置为 $2^9/f_{IL}$ 时的窗口关闭时间和打开时间如下所示。

	窗口打开期间的设置		
	50%	75%	100%
窗口关闭时间	0至20.08 ms	0至10.04 ms	无
窗口打开时间	20.08至29.68 ms	10.04至29.68 ms	0至29.68 ms

<当窗口打开期间为 50%时>

- 溢出时间：
 $2^9/f_{IL} \text{ (MAX.)} = 2^9/17.25 \text{ kHz (MAX.)} = 29.68 \text{ ms}$
- 窗口关闭时间：
 $0 \text{ 至 } 2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) = 0 \text{ 至 } 2^9/12.75 \text{ kHz} \times 0.5 = 0 \text{ 至 } 20.08 \text{ ms}$
- 窗口打开时间：
 $2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) \text{ 至 } 2^9/f_{IL} \text{ (MAX.)} = 2^9/12.75 \text{ kHz} \times 0.5 \text{ 至 } 2^9/17.25 \text{ kHz}$
 $= 20.08 \text{ 至 } 29.68 \text{ ms}$

13.4.4 设置看门狗定时器的间隔中断

根据选项字节(000C0H)的位 7(WDTINT)的设置，当达到溢出时间的 75%时，可以产生间隔中断(INTWDTI)。

表 13-5. 看门狗定时器的间隔中断的设置

WDTINT	看门狗定时器间隔中断的使用
0	使用间隔中断。
1	当达到溢出时间的 75%时产生间隔中断。

注意事项 解除 STOP 模式后操作于 X1 振荡时钟时，经过振荡稳定时间后 CPU 开始操作。
 因此，如果从解除 STOP 模式到看门狗定时器溢出为止的时间较短，则在振荡稳定时间内发生溢出会导致复位。
 为此，由间隔中断引起解除 STOP 模式后工作于 X1 振荡时钟时，必须经过振荡稳定时间才能清除看门狗定时器，设置溢出时间时要考虑到这一点。

备注 即使在产生 INTWDTI 之后，看门狗定时器也会继续计数（直到将 ACH 写入看门狗定时器允许寄存器(WDTE)为止）。如果未在溢出时间之前将“ACH”写入 WDTE 寄存器，则会产生内部复位信号。

第十四章 A/D 转换器

A/D 转换器的模拟输入通道数因产品而异。

	30、32针	36针	40针	44、48针	52、64针	80针	100针
模拟输入通道	8通道 (ANI0至ANI3、ANI16至ANI19)	8通道 (ANI0至ANI5、ANI18、ANI19)	9通道 (ANI0至ANI6、ANI18、ANI19)	10通道 (ANI0至ANI7、ANI18、ANI19)	12通道 (ANI0至ANI7、ANI16至ANI19)	17通道 (ANI0至ANI11、ANI16至ANI20)	20通道 (ANI0至ANI14、ANI16至ANI20)

注意事项 本章的下述内容大多是以 100 针产品为例。

14.1 A/D 转换器的功能

A/D 转换器是 10 位分辨率^注转换器，用于将模拟输入信号转换为数值，通过配置用于控制模拟输入，包括最多 20 个通道的 A/D 转换器模拟输入（ANI0 至 ANI14 和 ANI16 至 ANI20）。

A/D 转换器具有以下功能。

- 10 位分辨率 A/D 转换^注

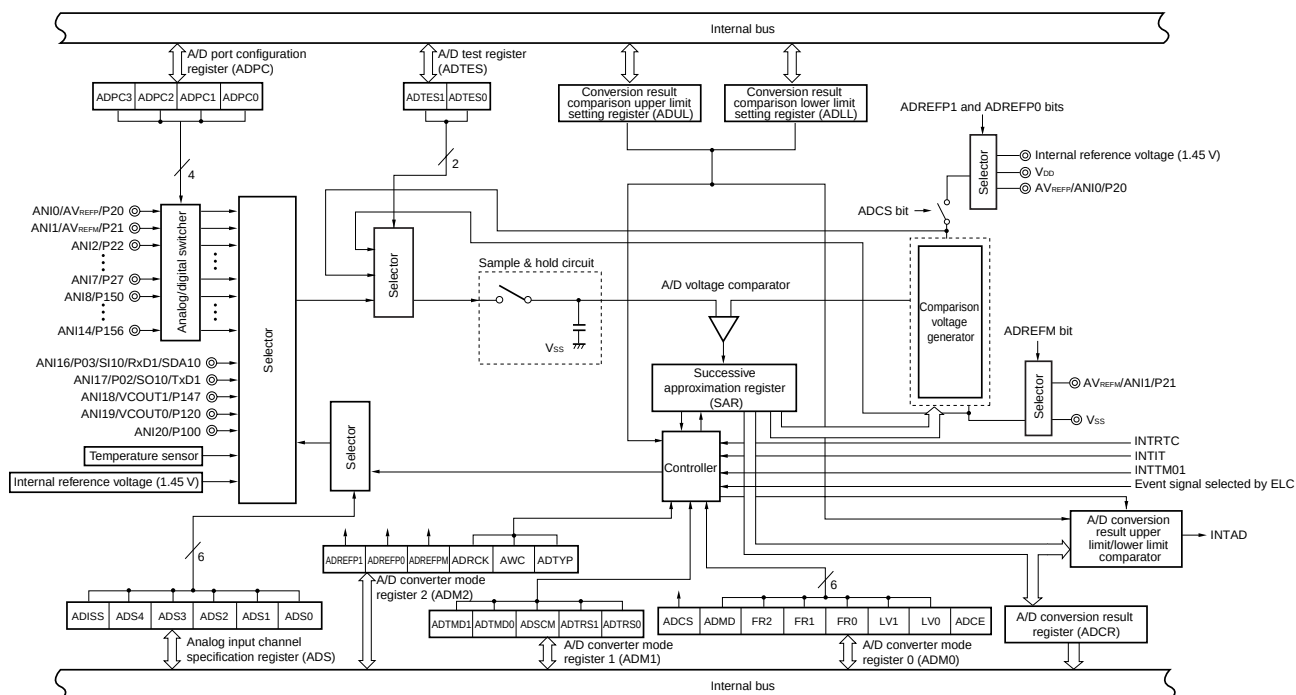
对于选自 ANI0 至 ANI14 以及 ANI16 至 ANI20 的模拟输入通道重复执行 10 位分辨率 A/D 转换。每结束一次 A/D 转换时，产生一个中断请求(INTAD)（处于选择模式时）。

注 可以使用 A/D 转换器模式寄存器 2 (ADM2)的 ADTYP 位来选择 8 位分辨率。

通过下述的模式组合，可以设置各种各样的 A/D 转换器模式。

触发模式	通道选择模式	转换操作模式
● 软件触发 通过指定软件触发来开始转换。 ● 硬件触发无等待模式 通过检测硬件触发来开始转换。 ● 硬件触发等待模式 当系统关闭且处于转换待机状态时，通过检测硬件触发来打开电源，然后，当经过稳定等待时间后自动开始转换。	● 选择模式 对于一个通道的模拟输入执行 A/D 转换。 ● 扫描模式 对于四个通道的模拟输入依次执行 A/D 转换。	● 对于选择的通道执行一次 A/D 转换。 ● 连续转换模式 对于选择的通道按顺序执行 A/D 转换，直到通过软件停止为止。

图 14-1. A/D 转换器的框图



备注 图 14-1 中的模拟输入引脚为使用 100 针产品时。

14.2 A/D 转换器的配置

A/D 转换器包含以下硬件。

(1) ANI0 至 ANI14 和 ANI16 至 ANI20 引脚

这些是 A/D 转换器的 20 个通道的模拟输入引脚。它们用于输入模拟信号以转换成数字信号。被选为模拟输入引脚以外的其他引脚可以用作 I/O 端口引脚。

(2) 采样&保持电路

采样&保持电路对于来自输入电路的各个模拟输入电压按序进行采样，并将其发送至 A/D 电压比较器。在 A/D 转换期间，该电路保持采样得到的模拟输入电压。

(3) A/D 电压比较器

A/D 电压比较器将产生于比较电压生成电路的分接电压与模拟输入电压进行比较。通过比较结果，如果发现模拟输入电压大于基准电压($1/2 \text{ AV}_{\text{REF}}$)，则设置逐次逼近寄存器(SAR)的最高有效位(MSB)。如果模拟输入电压小于基准电压($1/2 \text{ AV}_{\text{REF}}$)，则将 SAR 寄存器的 MSB 位复位。

然后，自动设置 SAR 寄存器的位 8，并进行下一次比较。将结果设置到位 9，并根据位 9 的值选择比较电压生成电路的分接电压。

位 9 = 0: ($1/4 \text{ AV}_{\text{REF}}$)

位 9 = 1: ($3/4 \text{ AV}_{\text{REF}}$)

将比较电压生成电路的分接电压与模拟输入电压进行比较，并根据比较结果，对 SAR 寄存器的位 8 进行操作。

模拟输入电压 $\geq$ 比较电压生成电路的分接电压：位 8 = 1

模拟输入电压 $\leq$ 比较电压生成电路的分接电压：位 8 = 0

持续进行比较，直到 SAR 寄存器的位 0 为止。

当以 8 位分辨率执行 A/D 转换时，持续进行比较直到 SAR 寄存器的位 2 为止。

备注 AV_{REF} : A/D 转换器的+侧基准电压。可以选自 AV_{REFP} 、内部基准电压(1.45 V)以及 V_{DD} 。

(4) 比较电压生成电路

通过比较电压生成电路生成从模拟输入引脚输入的电压的比较电压。

(5) 逐次逼近寄存器(SAR)

SAR 寄存器从最高有效位(MSB)开始按顺序在每个位设置分接电压数据, 该数据为与模拟输入引脚的电压值匹配的来自比较电压生成电路的分接电压值。

如果对 SAR 寄存器设置数据, 一直到最低有效位(LSB) (A/D 转换结束), 则 SAR 寄存器中的内容 (转换结果) 将保持在 A/D 转换结果寄存器(ADCR)中。当所有指定的 A/D 转换都结束时, 产生 A/D 转换结束中断请求信号 (INTAD)。

(6) 10 位 A/D 转换结果寄存器(ADCR)

每次 A/D 转换完成时, A/D 转换结果将从逐次逼近寄存器被载入至该寄存器; ADCR 寄存器将 A/D 转换结果保持在其高 10 位 (低 6 位固定为 0)。

(7) 8 位 A/D 转换结果寄存器(ADCRH)

每次 A/D 转换完成时, A/D 转换结果将从逐次逼近寄存器被载入至该寄存器; ADCRH 寄存器存储 A/D 转换结果的高 8 位。

(8) 控制电路

该电路用于控制将被转换为数字信号的模拟输入的转换时间, 并用于开始或停止转换操作。当 A/D 转换完成时, 该控制电路产生 INTAD 信号。

(9) AV_{REFP} 引脚

该引脚输入外部基准电压(AV_{REFP})。

如果将 AV_{REFP} 用作 A/D 转换器的+侧基准电压, 须将 A/D 转换器模式寄存器 2(ADM2)的 ADREFP1 和 ADREFP0 位设置为 1。

根据施加在 AV_{REFP} 和-侧基准电压(AV_{REFM}/V_{SS})之间的电压, 将输入到 ANI0 至 ANI14 以及 ANI16 至 NI20 的模拟信号转化为数字信号。

除了 AV_{REFP} 以外, 可以选择 V_{DD} 或内部基准电压 (1.45 V) 作为 A/D 转换器的+侧基准电压。

(10) AV_{REFM} 引脚

该引脚输入外部基准电压(AV_{REFM})。如果将 AV_{REFM} 用作 A/D 转换器的-侧基准电压, 须将 ADM2 寄存器的 ADREFM 位设置为 1。

除了 AV_{REFM} 以外, 可以选择 V_{SS} 作为 A/D 转换器的-侧基准电压。

14.3 A/D 转换器中使用的寄存器

A/D 转换器使用以下寄存器。

- 外围允许寄存器 0 (PER0)
- A/D 转换器模式寄存器 0 (ADM0)
- A/D 转换器模式寄存器 1 (ADM1)
- A/D 转换器模式寄存器 2 (ADM2)
- 10 位 A/D 转换结果寄存器(ADCR)
- 8 位 A/D 转换结果寄存器(ADCRH)
- 模拟输入通道指定寄存器(ADS)
- 转换结果比较上限值设置寄存器(ADUL)
- 转换结果比较下限值设置寄存器(ADLL)
- A/D 测试寄存器(ADTES)
- A/D 端口配置寄存器(ADPC)
- 端口模式控制寄存器 0、10、12 和 14 (PMC0、PMC10、PMC12、PMC14)
- 端口模式寄存器 0、2、10、12、14 和 15 (PM0、PM2、PM10、PM12、PM14、PM15)

(1) 外围允许寄存器 0 (PER0)

该寄存器用于允许或禁止供应时钟至外围硬件。并且中止向未使用的硬件供应时钟，以减少电力消耗和噪声。

使用 A/D 转换器时，务必将该寄存器的位 5(ADCEN)设置为 1。

使用 1 位或 8 位存储器操作指令设置 PER0 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 14-2. 外围允许寄存器 0 (PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCEN	IICA1EN ^注	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN ^注	TAU0EN

ADCEN	A/D转换器输入时钟供应的控制
0	停止输入时钟供应。 • 不可以向A/D转换器使用的SFR写入。 • A/D转换器处于复位状态。
1	允许输入时钟供应。 • 可以向A/D转换器使用的SFR读出/写入。

注 仅限 80 和 100 针产品。

注意事项 1. 设置 A/D 转换器时，务必先将 ADCEN 位设置为 1。如果 ADCEN = 0，对于 A/D 转换器的控制寄存器进行的写操作将被忽略，而且该寄存器的读取值总为初始值（端口模式寄存器 0、2、10、12、14 和 15 (PM0、PM2、PM10、PM12、PM14、PM15)、端口模式控制寄存器 0、10、12 和 14 (PMC0、PMC10、PMC12、PMC14)以及 A/D 端口配置寄存器(ADPC)除外）。

2. 务必将以下位清除为 0。

30、32、36、40、44、48、52、64 针产品：位 1、6

(2) A/D 转换器模式寄存器 0 (ADM0)

该寄存器用于设置即将进行 A/D 转换的模拟输入的转换时间，并开始/停止转换。

使用 1 位或 8 位存储器操作指令设置 ADM0 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 14-3. A/D 转换器模式寄存器 0 (ADM0)的格式

地址: FFF30H 复位后: 00H R/W

符号	<7>	6	5	4	3	2	1	<0>
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D转换操作的控制
0	停止转换操作 [读出时] 停止转换/待机状态
1	允许转换操作 [读出时 ^{注2}] 软件触发模式时: 转换操作状态 硬件触发等待模式时: 等待稳定状态 + 转换操作状态

ADMD	设置A/D转换通道选择模式
0	选择模式
1	扫描模式

ADCE	控制A/D电压比较器的操作 ^{注3}
0	停止A/D电压比较器的操作
1	允许A/D电压比较器的操作

注 1. 关于 FR2 至 FR0、LV1、LV0 位和 A/D 转换的详情，请参阅表 14-3 A/D 转换时间的选择。

- 当处于软件触发模式或硬件触发等待模式时，ADCS 位可以用作转换操作状态的状态标志。然而，当处于硬件触发无等待模式时，该位不能用作状态标志。
- 当处于软件触发模式或硬件触发无等待模式时，A/D 电压比较器的操作由 ADCS 和 ADCE 位控制，从操作开始到操作稳定需要 1 μ s。因此，在 ADCE 位被设置为 1 且经过 1 μ s 或更长时间之后，将 ADCS 位设置为 1，则此时的转换结果优先于初次转换结果。若未等到 1 μ s 就将 ADCS 位设置为 1，则忽略初次转换结果。

表 14-1. ADCS 和 ADCE 位的设置

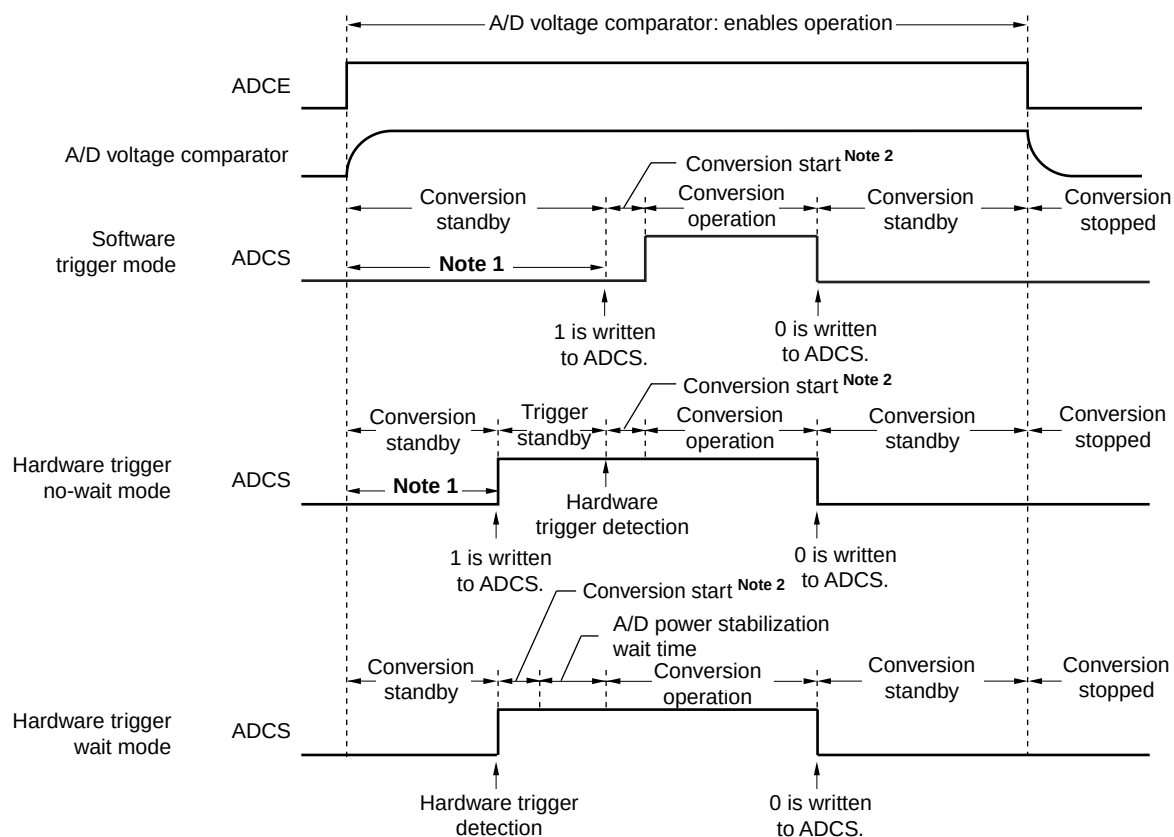
ADCS	ADCE	A/D 转换操作
0	0	停止状态 (不存在 DC 功耗路径)
0	1	转换待机模式 (仅 A/D 电压比较器消耗功率 [※])
1	0	禁止设置
1	1	转换模式 (A/D 电压比较器: 允许操作)

注 硬件触发等待模式时, 即使在转换待机模式下也没有 DC 功耗路径。

表 14-2. ADCS 位的设置和清除条件

A/D 转换模式			设置条件	清除条件
软件触发	选择模式	连续转换模式	当 1 被写入 ADCS	将 0 写入 ADCS 时
		单触发转换模式		- 将 0 写入 ADCS 时 - A/D 转换结束时, 该位自动清除至 0。
	扫描模式	连续转换模式		将 0 写入 ADCS 时
		单触发转换模式		- 将 0 写入 ADCS 时 - 所设定的四个通道的转换结束时, 该位自动清除至 0。
硬件触发无等待模式	选择模式	连续转换模式		将 0 写入 ADCS 时
		单触发转换模式		将 0 写入 ADCS 时
	扫描模式	连续转换模式		将 0 写入 ADCS 时
		单触发转换模式		将 0 写入 ADCS 时
硬件触发等待模式	选择模式	连续转换模式	当硬件触发被输入	将 0 写入 ADCS 时
		单触发转换模式		- 将 0 写入 ADCS 时 - A/D 转换结束时, 该位自动清除至 0。
	扫描模式	连续转换模式		将 0 写入 ADCS 时
		单触发转换模式		- 将 0 写入 ADCS 时 - 所设定的四个通道的转换结束时, 该位自动清除至 0。

图 14-4. 使用 A/D 电压比较器时的时序图



注 1. 当处于软件触发模式或硬件触发无等待模式时，从 ADCE 位上升到 ADCS 位下降的时间必须为 1μs 或更长，以使内部电路稳定。

2. 转换开始所需的最大时间如下所示。

ADM0			转换时钟 (f _{AD})	转换开始时间(f _{CLK} 时钟个数)	
FR2	FR1	FR0		软件触发模式/ 硬件触发无等待模式	硬件触发等待模式
0	0	0	f _{CLK} /64	63	1
0	0	1	f _{CLK} /32	31	
0	1	0	f _{CLK} /16	15	
0	1	1	f _{CLK} /8	7	
1	0	0	f _{CLK} /6	5	
1	0	1	f _{CLK} /5	4	
1	1	0	f _{CLK} /4	3	
1	1	1	f _{CLK} /2	1	

备注 f_{CLK}: CPU/外围硬件时钟频率

- 注意事项
- 如果使用硬件触发等待模式，禁止将 ADCS 位设置为 1（但当检测到硬件触发信号时，该位自动切换至 1）。然而，可以将 ADCS 位清除至 0，以指定 A/D 转换待机模式。
 - 当处于硬件触发无等待模式的单次转换模式时，ADCS 标志不会在 A/D 转换结束时自动清除至 0。相反的，将继续保持为 1。
 - 仅在 ADCS = 0 时重写 ADCE 位的值（当处于转换停止/转换待机状态时）。

表 14-3. A/D 转换时间的选择 (1/8)

(1) $3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$

无稳定等待时间 (软件触发模式/硬件触发无等待模式)

A/D转换器模式寄存器0 (ADM0)					模式	转换时间的选择						转换时钟 (f_{AD})
FR2	FR1	FR0	LV1	LV0		$f_{CLK} = 1\text{ MHz}$	$f_{CLK} = 2\text{ MHz}$	$f_{CLK} = 4\text{ MHz}$	$f_{CLK} = 8\text{ MHz}$	$f_{CLK} = 16\text{ MHz}$	$f_{CLK} = 32\text{ MHz}$	
0	0	0	0	0	正常1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	$38\text{ }\mu\text{s}$	$f_{CLK}/64$
0	0	1								$38\text{ }\mu\text{s}$	$19\text{ }\mu\text{s}$	$f_{CLK}/32$
0	1	0								$38\text{ }\mu\text{s}$	$19\text{ }\mu\text{s}$	$f_{CLK}/16$
0	1	1							$38\text{ }\mu\text{s}$	$19\text{ }\mu\text{s}$	$9.5\text{ }\mu\text{s}$	$f_{CLK}/8$
1	0	0							$28.5\text{ }\mu\text{s}$	$14.25\text{ }\mu\text{s}$	$7.125\text{ }\mu\text{s}$	$f_{CLK}/6$
1	0	1							$23.75\text{ }\mu\text{s}$	$11.875\text{ }\mu\text{s}$	$5.938\text{ }\mu\text{s}$	$f_{CLK}/5$
1	1	0					$38\text{ }\mu\text{s}$	$19\text{ }\mu\text{s}$	$9.5\text{ }\mu\text{s}$	$4.75\text{ }\mu\text{s}$	$2.375\text{ }\mu\text{s}$	$f_{CLK}/4$
1	1	1				$38\text{ }\mu\text{s}$	$19\text{ }\mu\text{s}$	$9.5\text{ }\mu\text{s}$	$4.75\text{ }\mu\text{s}$	$2.375\text{ }\mu\text{s}$	禁止设置	$f_{CLK}/2$
0	0	0	0	1	正常2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	$34\text{ }\mu\text{s}$	$f_{CLK}/64$
0	0	1								$34\text{ }\mu\text{s}$	$17\text{ }\mu\text{s}$	$f_{CLK}/32$
0	1	0								$34\text{ }\mu\text{s}$	$17\text{ }\mu\text{s}$	$f_{CLK}/16$
0	1	1							$34\text{ }\mu\text{s}$	$17\text{ }\mu\text{s}$	$8.5\text{ }\mu\text{s}$	$f_{CLK}/8$
1	0	0							$25.5\text{ }\mu\text{s}$	$12.75\text{ }\mu\text{s}$	$6.375\text{ }\mu\text{s}$	$f_{CLK}/6$
1	0	1							$21.25\text{ }\mu\text{s}$	$10.625\text{ }\mu\text{s}$	$5.3125\text{ }\mu\text{s}$	$f_{CLK}/5$
1	1	0					$34\text{ }\mu\text{s}$	$17\text{ }\mu\text{s}$	$8.5\text{ }\mu\text{s}$	$4.25\text{ }\mu\text{s}$	$2.125\text{ }\mu\text{s}$	$f_{CLK}/4$
1	1	1				$34\text{ }\mu\text{s}$	$17\text{ }\mu\text{s}$	$8.5\text{ }\mu\text{s}$	$4.25\text{ }\mu\text{s}$	$2.125\text{ }\mu\text{s}$	禁止设置	$f_{CLK}/2$
×	×	×	1	0	低电压1	禁止设置						—
×	×	×	1	1	低电压2	禁止设置						—

注意事项 1. 暂停 A/D 转换($ADCS = 0$)之后再 将 FR2 至 FR0、LV1 以及 LV0 位重写为不同数据。

2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。

备注 f_{CLK} : CPU/外围硬件时钟频率

表 14-3. A/D 转换时间的选择 (2/8)

(2) $2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$ 无稳定等待时间(软件触发模式/硬件触发无等待模式)

A/D转换器模式寄存器0 (ADM0)					模式	转换时间的选择						转换时钟 (f _{AD})	
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 1 MHz	f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz		
0	0	0	0	0	正常1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	38 μs	f _{CLK} /64	
0	0	1							38 μs	19 μs	f _{CLK} /32		
0	1	0							38 μs	19 μs	9.5 μs	f _{CLK} /16	
0	1	1						38 μs	19 μs	9.5 μs	4.75 μs	f _{CLK} /8	
1	0	0						28.5 μs	14.25 μs	7.125 μs	3.5625 μs	f _{CLK} /6	
1	0	1						23.75 μs	11.875 μs	5.938 μs	禁止设置	f _{CLK} /5	
1	1	0						38 μs	19 μs	9.5 μs		4.75 μs	f _{CLK} /4
1	1	1						38 μs	19 μs	9.5 μs		4.75 μs	禁止设置
0	0	0	0	1	正常2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	34 μs	f _{CLK} /64	
0	0	1							34 μs	17 μs	17 μs	f _{CLK} /32	
0	1	0							34 μs	17 μs	8.5 μs	f _{CLK} /16	
0	1	1						34 μs	17 μs	8.5 μs	4.25 μs	f _{CLK} /8	
1	0	0						25.5 μs	12.75 μs	6.375 μs	3.1875 μs	f _{CLK} /6	
1	0	1						21.25 μs	10.625 μs	5.3125 μs	禁止设置	f _{CLK} /5	
1	1	0						34 μs	17 μs	8.5 μs		4.25 μs	f _{CLK} /4
1	1	1						34 μs	17 μs	8.5 μs		4.25 μs	禁止设置
0	0	0	1	0	低电压1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	38 μs	f _{CLK} /64	
0	0	1							38 μs	19 μs	19 μs	f _{CLK} /32	
0	1	0							38 μs	19 μs	禁止设置	f _{CLK} /16	
0	1	1						38 μs	19 μs	禁止设置	禁止设置	f _{CLK} /8	
1	0	0						28.5 μs	f _{CLK} /6				
1	0	1						23.75 μs	f _{CLK} /5				
1	1	0						38 μs	19 μs	f _{CLK} /4			
1	1	1						38 μs	19 μs	禁止设置		f _{CLK} /2	
0	0	0	1	1	低电压2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	34 μs	f _{CLK} /64	
0	0	1							34 μs	17 μs	17 μs	f _{CLK} /32	
0	1	0							34 μs	17 μs	禁止设置	f _{CLK} /16	
0	1	1						34 μs	17 μs	禁止设置	禁止设置	f _{CLK} /8	
1	0	0						25.5 μs	f _{CLK} /6				
1	0	1						21.25 μs	f _{CLK} /5				
1	1	0						34 μs	17 μs	f _{CLK} /4			
1	1	1						34 μs	17 μs	禁止设置		f _{CLK} /2	

注 使用温度传感器时禁止使用。

注意事项 1. 暂停 A/D 转换(ADCS = 0)之后再再将 FR2 至 FR0、LV1 以及 LV0 位重写为不同数据。

2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。

备注 f_{CLK}: CPU/外围硬件时钟频率

表 14-3. A/D 转换时间的选择 (3/8)

(3) $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ 无稳定等待时间(软件触发模式/硬件触发无等待模式)

A/D转换器模式寄存器0 (ADM0)					模式	转换时间的选择						转换时钟 (f _{AD})		
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 1 MHz	f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz [※]	f _{CLK} = 32 MHz			
0	0	0	0	0	正常1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	f _{CLK} /64		
0	0	1										f _{CLK} /32		
0	1	0										f _{CLK} /16		
0	1	1										f _{CLK} /8		
1	0	0										f _{CLK} /6		
1	0	1										f _{CLK} /5		
1	1	0										f _{CLK} /4		
1	1	1										f _{CLK} /2		
0	0	0	0	1	正常2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	f _{CLK} /64		
0	0	1										f _{CLK} /32		
0	1	0										f _{CLK} /16		
0	1	1										f _{CLK} /8		
1	0	0										f _{CLK} /6		
1	0	1										f _{CLK} /5		
1	1	0										f _{CLK} /4		
1	1	1										f _{CLK} /2		
0	0	0	1	0	低电压1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	38 μs	f _{CLK} /64		
0	0	1								38 μs	19 μs	f _{CLK} /32		
0	1	0								38 μs	19 μs	禁止设置	禁止设置	禁止设置
0	1	1						38 μs	19 μs	f _{CLK} /8				
1	0	0						28.5 μs	f _{CLK} /6					
1	0	1						23.75 μs	f _{CLK} /5					
1	1	0						38 μs	19 μs	f _{CLK} /4				
1	1	1						38 μs	19 μs	f _{CLK} /2				
0	0	0	1	1	低电压2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	34 μs	f _{CLK} /64		
0	0	1								34 μs	17 μs	f _{CLK} /32		
0	1	0								34 μs	17 μs	禁止设置	禁止设置	禁止设置
0	1	1						34 μs	17 μs	f _{CLK} /8				
1	0	0						25.5 μs	f _{CLK} /6					
1	0	1						21.25 μs	f _{CLK} /5					
1	1	0						34 μs	17 μs	f _{CLK} /4				
1	1	1						34 μs	17 μs	f _{CLK} /2				

注 $V_{DD} < 2.4\text{ V}$ 时禁止设置。注意事项 1. 暂停 A/D 转换($ADCS = 0$)之后再再将 FR2 至 FR0、LV1 以及 LV0 位重写为不同数据。

2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。

备注 f_{CLK} : CPU/外围硬件时钟频率

表 14-3. A/D 转换时间的选择 (4/8)

(4) $1.6\text{ V} \leq V_{DD} < 2.7\text{ V}$ 无稳定等待时间(软件触发模式/硬件触发无等待模式)

A/D转换器模式寄存器0 (ADM0)					模式	转换时间的选择						转换时钟 (f _{AD})			
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 1 MHz	f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz ^{※1}	f _{CLK} = 16 MHz ^{※2}	f _{CLK} = 32 MHz				
0	0	0	0	0	正常1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	f _{CLK} /64			
0	0	1										f _{CLK} /32			
0	1	0										f _{CLK} /16			
0	1	1										f _{CLK} /8			
1	0	0										f _{CLK} /6			
1	0	1										f _{CLK} /5			
1	1	0										f _{CLK} /4			
1	1	1										f _{CLK} /2			
0	0	0	0	1	正常2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	f _{CLK} /64			
0	0	1										f _{CLK} /32			
0	1	0										f _{CLK} /16			
0	1	1										f _{CLK} /8			
1	0	0										f _{CLK} /6			
1	0	1										f _{CLK} /5			
1	1	0										f _{CLK} /4			
1	1	1										f _{CLK} /2			
0	0	0	1	0	低电压1	禁止设置	禁止设置	禁止设置	禁止设置	76 μs	禁止设置	f _{CLK} /64			
0	0	1										f _{CLK} /32			
0	1	0										f _{CLK} /16			
0	1	1										f _{CLK} /8			
1	0	0					76 μs	禁止设置	禁止设置	禁止设置		禁止设置	禁止设置	禁止设置	f _{CLK} /6
1	0	1					57 μs								f _{CLK} /5
1	1	0					95 μs								f _{CLK} /4
1	1	1					76 μs								f _{CLK} /2
1	1	1	禁止设置												
0	0	0	1	1	低电压2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	f _{CLK} /64			
0	0	1										f _{CLK} /32			
0	1	0										f _{CLK} /16			
0	1	1										f _{CLK} /8			
1	0	0					68 μs	禁止设置	禁止设置	禁止设置		禁止设置	禁止设置	禁止设置	f _{CLK} /6
1	0	1					68 μs								f _{CLK} /5
1	1	0					85 μs								f _{CLK} /4
1	1	1					68 μs								f _{CLK} /2
1	1	1	禁止设置												

注 1. $V_{DD} < 1.8\text{ V}$ 时禁止设置。2. $V_{DD} < 2.4\text{ V}$ 时禁止设置。

注意事项 1. 暂停 A/D 转换(ADCS = 0)之后再 FR2 至 FR0、LV1 以及 LV0 位重写为不同数据。

2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。

备注 f_{CLK}: CPU/外围硬件时钟频率

表 14-3. A/D 转换时间的选择 (5/8)

(5) $3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$

有稳定等待时间 (硬件触发等待模式)

A/D转换器模式寄存器0 (ADM0)					模式	转换时间的选择						转换时钟 (f _{AD})			
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 1 MHz	f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz				
0	0	0	0	0	正常1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	54 μs	f _{CLK} /64			
0	0	1								54 μs	27 μs	f _{CLK} /32			
0	1	0								54 μs	27 μs	13.5 μs	f _{CLK} /16		
0	1	1								54 μs	27 μs	13.5 μs	6.75 μs	f _{CLK} /8	
1	0	0								40.5 μs	20.25 μs	10.125 μs	5.0625 μs	f _{CLK} /6	
1	0	1								33.75 μs	16.875 μs	8.4375 μs	4.2188 μs	f _{CLK} /5	
1	1	0								54 μs	27 μs	13.5 μs	6.75 μs	3.375 μs	f _{CLK} /4
1	1	1								54 μs	27 μs	13.5 μs	6.75 μs	3.375 μs	禁止设置
0	0	0	0	1	正常2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	50 μs	f _{CLK} /64			
0	0	1								50 μs	25 μs	f _{CLK} /32			
0	1	0								50 μs	25 μs	12.5 μs	f _{CLK} /16		
0	1	1								50 μs	25 μs	12.5 μs	6.25 μs	f _{CLK} /8	
1	0	0								37.5 μs	18.75 μs	9.375 μs	4.6875 μs	f _{CLK} /6	
1	0	1								31.25 μs	15.625 μs	7.8125 μs	3.90625 μs	f _{CLK} /5	
1	1	0								50 μs	25 μs	12.5 μs	6.25 μs	3.125 μs	f _{CLK} /4
1	1	1								50 μs	25 μs	12.5 μs	6.25 μs	3.125 μs	禁止设置
×	×	×	1	0	低电压1	禁止设置						—			
×	×	×	1	1	低电压2	禁止设置						—			

- 注意事项 1. 暂停 A/D 转换($ADCS = 0$)之后再 将 FR2 至 FR0、LV1 以及 LV0 位重写为不同数据。
2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。
3. 当处于硬件触发等待模式时，转换时间包括在检测到硬件触发之后等待稳定所用的时间。

备注 f_{CLK} : CPU/外围硬件时钟频率

表 14-3. A/D 转换时间的选择 (6/8)
(6) $2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$ 有稳定等待时间 (硬件触发等待模式)

A/D转换器模式寄存器0 (ADM0)					模式	转换时间的选择						转换时钟 (f _{AD})	
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 1 MHz	f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz		
0	0	0	0	0	正常1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	54 μs	f _{CLK} /64	
0	0	1							54 μs	27 μs	f _{CLK} /32		
0	1	0							54 μs	27 μs	13.5 μs	f _{CLK} /16	
0	1	1						54 μs	27 μs	13.5 μs	6.75 μs	f _{CLK} /8	
1	0	0						40.5 μs	20.25 μs	10.125 μs	5.0625 μs	f _{CLK} /6	
1	0	1						33.75 μs	16.875 μs	8.4375 μs	禁止设置	f _{CLK} /5	
1	1	0				54 μs	27 μs	13.5 μs	6.75 μs	f _{CLK} /4			
1	1	1				54 μs	27 μs	13.5 μs	6.75 μs	禁止设置		f _{CLK} /2	
0	0	0	0	1	正常2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	50 μs	f _{CLK} /64	
0	0	1							50 μs	25 μs	f _{CLK} /32		
0	1	0							50 μs	25 μs	12.5 μs	f _{CLK} /16	
0	1	1						50 μs	25 μs	12.5 μs	6.25 μs	f _{CLK} /8	
1	0	0						37.5 μs	18.75 μs	9.375 μs	4.6875 μs	f _{CLK} /6	
1	0	1						31.25 μs	15.625 μs	7.8125 μs	禁止设置	f _{CLK} /5	
1	1	0				50 μs	25 μs	12.5 μs	6.25 μs	f _{CLK} /4			
1	1	1				50 μs	25 μs	12.5 μs	6.25 μs	禁止设置		f _{CLK} /2	
0	0	0	1	0	低电压1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	42 μs	f _{CLK} /64	
0	0	1							42 μs	21 μs	f _{CLK} /32		
0	1	0							42 μs	21 μs	禁止设置	禁止设置	禁止设置
0	1	1						42 μs	21 μs	禁止设置	f _{CLK} /8		
1	0	0						31.5 μs	禁止设置		f _{CLK} /6		
1	0	1						26.25 μs			f _{CLK} /5		
1	1	0				42 μs	21 μs	f _{CLK} /4					
1	1	1				42 μs	21 μs	禁止设置	f _{CLK} /2				
0	0	0	1	1	低电压2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	38 μs	f _{CLK} /64	
0	0	1							38 μs	19 μs	f _{CLK} /32		
0	1	0							38 μs	19 μs	禁止设置	禁止设置	禁止设置
0	1	1						38 μs	19 μs	f _{CLK} /8			
1	0	0						28.5 μs	禁止设置	f _{CLK} /6			
1	0	1						23.75 μs		f _{CLK} /5			
1	1	0				38 μs	19 μs	f _{CLK} /4					
1	1	1				38 μs	19 μs	禁止设置	f _{CLK} /2				

注意事项 1. 暂停 A/D 转换(ADCS = 0)之后再 FR2 至 FR0、LV1 以及 LV0 位重写为不同数据。
 2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。
 3. 当处于硬件触发等待模式时，转换时间包括在检测到硬件触发之后等待稳定所用的时间。

备注 f_{CLK} : CPU/外围硬件时钟频率

表 14-3. A/D 转换时间的选择 (7/8)
(7) $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ 有稳定等待时间(硬件触发等待模式)

A/D转换器模式寄存器0 (ADM0)					模式	转换时间的选择						转换时钟 (f _{AD})	
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 1 MHz	f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz [*]	f _{CLK} = 32 MHz		
0	0	0	0	0	正常1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	f _{CLK} /64	
0	0	1										f _{CLK} /32	
0	1	0										f _{CLK} /16	
0	1	1										f _{CLK} /8	
1	0	0										f _{CLK} /6	
1	0	1										f _{CLK} /5	
1	1	0										f _{CLK} /4	
1	1	1										f _{CLK} /2	
0	0	0	0	1	正常2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	f _{CLK} /64	
0	0	1										f _{CLK} /32	
0	1	0										f _{CLK} /16	
0	1	1										f _{CLK} /8	
1	0	0										f _{CLK} /6	
1	0	1										f _{CLK} /5	
1	1	0										f _{CLK} /4	
1	1	1										f _{CLK} /2	
0	0	0	1	0	低电压1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	42 μs	f _{CLK} /64	
0	0	1								42 μs	21 μs	f _{CLK} /32	
0	1	0								42 μs	21 μs	禁止设置	f _{CLK} /16
0	1	1							42 μs	21 μs	禁止设置	禁止设置	f _{CLK} /8
1	0	0							31.5 μs				f _{CLK} /6
1	0	1							26.25 μs				f _{CLK} /5
1	1	0							42 μs	21 μs			f _{CLK} /4
1	1	1							42 μs	21 μs			f _{CLK} /2
0	0	0	1	1	低电压2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	38 μs	f _{CLK} /64	
0	0	1								38 μs	19 μs	f _{CLK} /32	
0	1	0								38 μs	19 μs	禁止设置	f _{CLK} /16
0	1	1							38 μs	19 μs	禁止设置	禁止设置	f _{CLK} /8
1	0	0							28.5 μs				f _{CLK} /6
1	0	1							23.75 μs				f _{CLK} /5
1	1	0							38 μs	19 μs			f _{CLK} /4
1	1	1							38 μs	19 μs			f _{CLK} /2

注 $V_{DD} < 2.4\text{ V}$ 时禁止设置。

- 注意事项
1. 暂停 A/D 转换($ADCS = 0$)之后再 将 FR2 至 FR0、LV1 以及 LV0 位重写为不同数据。
 2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。
 3. 当处于硬件触发等待模式时，转换时间包括在检测到硬件触发之后等待稳定所用的时间。

备注 f_{CLK} : CPU/外围硬件时钟频率

表 14-3. A/D 转换时间的选择 (8/8)

(8) $1.6\text{ V} \leq V_{DD} < 1.8\text{ V}$ 有稳定等待时间 (硬件触发等待模式)

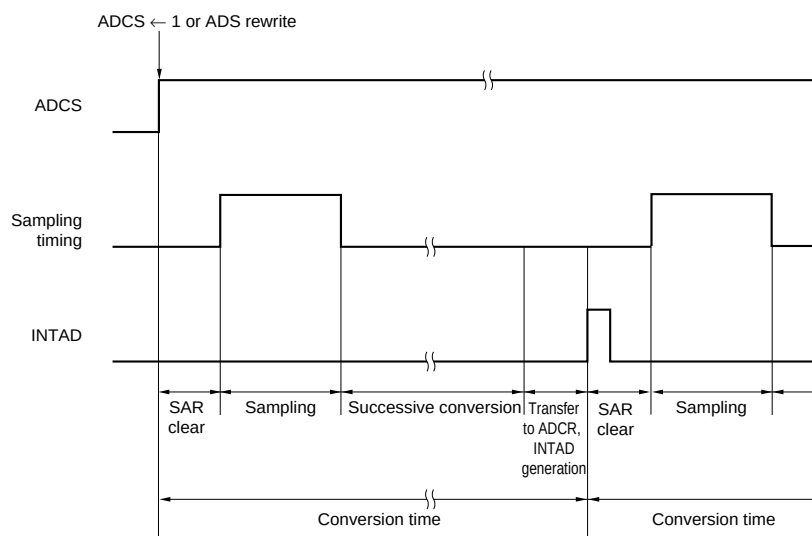
A/D转换器模式寄存器0 (ADM0)					模式	转换时间的选择						转换时钟 (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 1 MHz	f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz ^{※1}	f _{CLK} = 16 MHz ^{※2}	f _{CLK} = 32 MHz	
0	0	0	0	0	正常1	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	f _{CLK} /64
0	0	1										f _{CLK} /32
0	1	0										f _{CLK} /16
0	1	1										f _{CLK} /8
1	0	0										f _{CLK} /6
1	0	1										f _{CLK} /5
1	1	0										f _{CLK} /4
1	1	1										f _{CLK} /2
0	0	0	0	1	正常2	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	禁止设置	f _{CLK} /64
0	0	1										f _{CLK} /32
0	1	0										f _{CLK} /16
0	1	1										f _{CLK} /8
1	0	0										f _{CLK} /6
1	0	1										f _{CLK} /5
1	1	0										f _{CLK} /4
1	1	1										f _{CLK} /2
0	0	0	1	0	低电压1	禁止设置	禁止设置	禁止设置	禁止设置	84 μs	禁止设置	f _{CLK} /64
0	0	1										f _{CLK} /32
0	1	0										f _{CLK} /16
0	1	1										f _{CLK} /8
1	0	0										f _{CLK} /6
1	0	1										f _{CLK} /5
1	1	0										f _{CLK} /4
1	1	1										f _{CLK} /2
0	0	0	1	1	低电压2	禁止设置	禁止设置	禁止设置	禁止设置	76 μs	禁止设置	f _{CLK} /64
0	0	1										f _{CLK} /32
0	1	0										f _{CLK} /16
0	1	1										f _{CLK} /8
1	0	0										f _{CLK} /6
1	0	1										f _{CLK} /5
1	1	0										f _{CLK} /4
1	1	1										f _{CLK} /2

注 1. $V_{DD} < 1.8\text{ V}$ 时禁止设置。2. $V_{DD} < 2.4\text{ V}$ 时禁止设置。

- 注意事项
1. 暂停 A/D 转换(ADCS = 0)之后再 FR2 至 FR0、LV1 以及 LV0 位重写为不同数据。
 2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。
 3. 当处于硬件触发等待模式时, 转换时间包括在检测到硬件触发之后等待稳定所用的时间。

备注 f_{CLK}: CPU/外围硬件时钟频率

图 14-5. A/D 转换器采样和 A/D 转换的时序 (软件触发模式的示例)

**(3) A/D 转换器模式寄存器 1 (ADM1)**

该寄存器用于指定 A/D 转换触发、转换模式和硬件触发信号。

使用 1 位或 8 位存储器操作指令设置 ADM1 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 14-6. A/D 转换器模式寄存器 1 (ADM1)的格式

地址: FFF32H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D 转换触发模式的选择
0	—	软件触发模式
1	0	硬件触发无等待模式
1	1	硬件触发等待模式

ADSCM	A/D 转换模式的规格
0	连续转换模式
1	单触发转换模式

ADTRS1	ADTRS0	硬件触发信号的选择
0	0	定时器通道 1 的计数结束或捕捉结束中断信号(INTTM01)
0	1	由 ELC 选择的事件信号
1	0	实时时钟中断信号(INTRTC)
1	1	12 位间隔定时器中断信号(INTIT)

注意事项 1. 仅在停止转换操作时重写 ADM1 寄存器的值（即 A/D 转换器模式寄存器 0(ADM0)的 ADCS 位为 0 时）。

2. 对于硬件触发等待模式的触发间隔，须指定表 11-3 中所示的“有稳定等待时间的 A/D 转换时间”或更长时间。

(4) A/D 转换器模式寄存器 2 (ADM2)

该寄存器用于选择 A/D 转换器基准电压，检验 A/D 转换结果值的上限和下限，选择分辨率，并指定是否使用 SNOOZE 模式。

使用 1 位或 8 位存储器操作指令设置 ADM2 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 14-7. A/D 转换器模式寄存器 2 (ADM2)的格式 (1/2)

地址: F0010H 复位后: 00H R/W

符号	7	6	5	4	<3>	<2>	1	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/D 转换器的+ 侧的基准电压源的选择
0	0	由 V _{DD} 提供
0	1	由 P20/AV _{REFP} /ANI0 提供
1	0	由内部基准电压(1.45 V)提供 ^注
1	1	禁止设置

- 当 ADREFP1 或 ADREFP0 位被重写时，必须按照以下步骤进行配置：
 - 设置为 ADCE = 0
 - 更改 ADREFP1 和 ADREFP0 的值
 - 稳定等待时间(A)
 - 设置为 ADCE = 1
 - 稳定等待时间(B)
 当 ADREFP1 和 ADREFP0 被设置为 1 和 0，改变设置为 A = 1 μ s，B = 5 μ s。
 当 ADREFP1 和 ADREFP0 被设置为 0 和 0 或 0 和 1，A 不需等待且 B = 1 μ s。
- 当 ADREFP1 和 ADREFP0 分别被设置为 1 和 0，则不能对于温度传感器输出执行 A/D 转换。
 当 ADISS = 0 时，务必执行 A/D 转换。

ADREFM	A/D 转换器的 - 侧的基准电压源的选择
0	由 V _{SS} 提供
1	由 P21/AV _{REFM} /ANI1 提供

ADRCK	检验转换结果值的上限和下限
0	当 ADLL 寄存器≤ADCR 寄存器≤ADUL 寄存器(<1>)时，输出中断信号(INTAD)。
1	当 APCR 寄存器<ADLL 寄存器(<2>) 或 ADUL 寄存器< APCR 寄存器(<3>)时，输出中断信号(INTAD)。
<1> 至 <3>的中断信号(INTAD)产生范围如图 14-8 所示。	

注 仅限在 HS (高速主)模式下可以操作。

- 注意事项**
- 仅在停止转换操作时（即 A/D 转换器模式寄存器 0(ADM0)的 ADCS 位为 0 时）重写 ADM2 寄存器的值。仅在停止转换操作时重写 ADM2 寄存器的值（即 A/D 转换器模式寄存器 0(ADM0)的 ADCS 位为 0 时）。
 - 在 CPU 工作于副系统时钟时，如果进入 STOP 模式或 HALT 模式，不得将 ADREFP1 设置为 1。当选择内部基准电压时(ADREFP1, ADREFP0 = 1, 0)，将增加 34.4.2 供电电流特性中所示 A/D 转换器基准电压电流(I_{ADREF})的当前值。

图 14-7. A/D 转换器模式寄存器 2 (ADM2)的格式 (2/2)

地址: F0010H 复位后: 00H R/W

符号	7	6	5	4	<3>	<2>	1	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

AWC	SNOOZE 模式的规格
0	不使用 SNOOZE 模式功能。
1	使用 SNOOZE 模式功能。

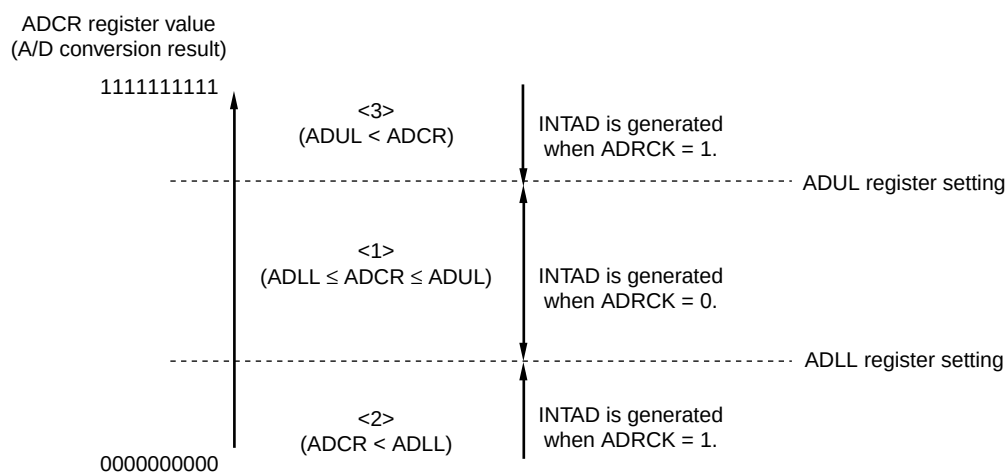
由于 STOP 模式下的硬件触发信号, 退出 STOP 模式, 并且在不操作 CPU 的情况下执行 A/D 转换 (SNOOZE 模式)。

- 仅在选择高速片上振荡器时钟作为 CPU/外围硬件时钟(f_{CLK})时可以指定 SNOOZE 模式功能。如果选用任何其他时钟, 则禁止指定该模式。
- 禁止在软件触发模式或硬件触发无等待模式时使用 SNOOZE 模式功能。
- 禁止在连续转换模式下使用 SNOOZE 模式功能。
- 使用 SNOOZE 模式功能时, 须指定硬件触发间隔, 其为表 14-3 中所示的“有稳定等待时间的 A/D 转换时间”或更长时间。

ADTYP	A/D 转换分辨率的选择
0	10 位分辨率
1	8 位分辨率

注意事项 仅在停止转换操作时 (即 A/D 转换器模式寄存器 0(ADM0)的 ADCS 位为 0 时) 重写 ADM2 寄存器的值。

图 14-8. ADRCK 位中断信号产生范围



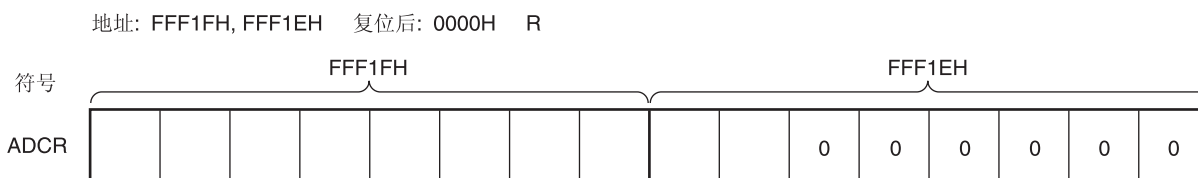
(5) 10 位 A/D 转换结果寄存器(ADCR)

该寄存器是 16 位寄存器，以选定模式存储 A/D 转换结果。低 6 位固定为 0。每次结束 A/D 转换后，从逐次逼近寄存器载入转换结果(SAR)。转换结果的高 8 位存储于 FFF1FH，低 2 位存储于 FFF1EH 的高 2 位。

使用 16 位存储器操作指令读取 ADCR 寄存器。

产生复位信号后，清除该寄存器为 0000H。

图 14-9. 10 位 A/D 转换结果寄存器(ADCR)的格式



- 注意事项**
1. 写入 A/D 转换器模式寄存器 0(ADM0)、模拟输入通道指定寄存器(ADS)以及 A/D 端口配置寄存器(ADPC)之后，ADCR 寄存器的内容可能变成不确定。转换完成后，在写入 ADM0、ADS 和 ADPC 寄存器之前读取转换结果。如果不在上述时机进行，则可能读取错误的转换结果。
 2. 当选择 8 位分辨率 A/D 转换（即当 A/D 转换器模式寄存器 2(ADM2)的 ADTYP 位为 1 时）且读取 ADCR 寄存器时，从低 2 位（ADCR1 和 ADCR0）读取 0。
 3. 当按照 16 位单位存取 ADCR 寄存器时，从位 15 开始依次读取转换结果的高 10 位。

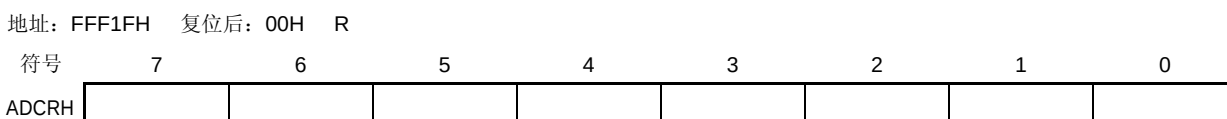
(6) 8 位 A/D 转换结果寄存器(ADCRH)

该寄存器是存储 A/D 转换结果的 8 位寄存器。10 位分辨率的高 8 位被存储。

使用 8 位存储器操作指令读取 ADCRH 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 14-10. 8 位 A/D 转换结果寄存器(ADCRH)的格式



- 注意事项**
- 写入 A/D 转换器模式寄存器 0(ADM0)、模拟输入通道指定寄存器(ADS)以及 A/D 端口配置寄存器(ADPC)之后，ADCRH 寄存器的内容可能变成不确定。转换完成后，在写入 ADM0、ADS 和 ADPC 寄存器之前读取转换结果。如果不在上述时机进行，则可能读取错误的转换结果。

(7) 模拟输入通道指定寄存器(ADS)

该寄存器用于指定即将执行 A/D 转换的模拟电压的输入通道。

使用 1 位或 8 位存储器操作指令设置 ADS 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 14-11. 模拟输入通道规格寄存器(ADS)的格式 (1/2)

地址: FFF31H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○ 选择模式 (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	模拟输入通道	输入源
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 引脚
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 引脚
0	0	0	0	1	0	ANI2	P22/ANI2 引脚
0	0	0	0	1	1	ANI3	P23/ANI3 引脚
0	0	0	1	0	0	ANI4	P24/ANI4 引脚
0	0	0	1	0	1	ANI5	P25/ANI5 引脚
0	0	0	1	1	0	ANI6	P26/ANI6 引脚
0	0	0	1	1	1	ANI7	P27/ANI7 引脚
0	0	1	0	0	0	ANI8	P150/ANI8 引脚
0	0	1	0	0	1	ANI9	P151/ANI9 引脚
0	0	1	0	1	0	ANI10	P152/ANI10 引脚
0	0	1	0	1	1	ANI11	P153/ANI11 引脚
0	0	1	1	0	0	ANI12	P154/ANI12 引脚
0	0	1	1	0	1	ANI13	P155/ANI13 引脚
0	0	1	1	1	0	ANI14	P156/ANI14 引脚
0	1	0	0	0	0	ANI16	P03/ANI16 引脚 ^{注 1}
0	1	0	0	0	1	ANI17	P02/ANI17 引脚 ^{注 2}
0	1	0	0	1	0	ANI18	P147/ANI18 引脚
0	1	0	0	1	1	ANI19	P120/ANI19 引脚
0	1	0	1	0	0	ANI20	P100/ANI20 引脚
1	0	0	0	0	0	—	温度传感器输出 ^{注 3, 4}
1	0	0	0	0	1	—	内部基准电压输出(1.45 V) ^{注 4}
其它						禁止设置	

注 1. 30、32 针产品: P01/ANI16 引脚

注 2. 30、32 针产品: P00/ANI17 引脚

注 3. 如果将内部基准电压(1.45 V)选为具有 96 KB 或更多代码闪存的产品中的比较器 0 或比较器 1 的基准电压，则不能选择温度传感器输出。

注 4. 仅限在 HS (高速主)模式下可以操作。

(注意事项如下页所示。)

图 14-11. 模拟输入通道规格寄存器(ADS)的格式 (2/2)

地址: FFF31H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○ 扫描模式 (ADMD = 1)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	模拟输入通道			
						Scan 0	Scan 1	Scan 2	Scan 3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	0	0	1	0	1	ANI5	ANI6	ANI7	ANI8
0	0	0	1	1	0	ANI6	ANI7	ANI8	ANI9
0	0	0	1	1	1	ANI7	ANI8	ANI9	ANI10
0	0	1	0	0	0	ANI8	ANI9	ANI10	ANI11
0	0	1	0	0	1	ANI9	ANI10	ANI11	ANI12
0	0	1	0	1	0	ANI10	ANI11	ANI12	ANI13
0	0	1	0	1	1	ANI11	ANI12	ANI13	ANI14
其它						禁止设置			

- 注意事项
1. 务必将位 5 和位 6 清除为 0。
 2. 使用端口模式寄存器 0、2、10、12、14 和 15 (PM0、PM2、PM10、PM12、PM14、PM15)将用于 A/D 转换的通道设置为输入模式。
 3. 不要用 ADS 寄存器设置已经由 A/D 端口配置寄存器(ADPC)设置为数字 I/O 的引脚。
 4. 不要用 ADS 寄存器设置已经由端口模式控制寄存器 0、10、12 或 14 (PMC0、PMC10、PMC12、PMC14)设置为数字 I/O 的引脚。
 5. 仅在停止 A/D 电压比较器操作时 (即当 A/D 转换器模式寄存器 0(ADM0)的 ADCE 位为 0 时)可以重写 ADISS 位的值。
 6. 如果使用 AV_{REFP} 作为 A/D 转换器的+侧基准电压源, 则不得选择 ANI0 作为 A/D 转换通道。
 7. 如果使用 AV_{REFM} 作为 A/D 转换器的-侧基准电压源, 则不得选择 ANI1 作为 A/D 转换通道。
 8. 如果将 ADISS 设置为 1, 则不得将内部基准电压 (1.45 V)用作+侧基准电压源。
 9. 在 CPU 工作于副系统时钟时, 如果进入 STOP 模式或 HALT 模式, 不得将 ADISS 设置为 1。当设置 ADISS 为 1 时, 将增加 34.4.2 供电电流特性中所示 A/D 转换器基准电压电流(I_{ADREF})的当前值。

备注 x: 忽略

(8) 转换结果比较上限值设置寄存器(ADUL)

该寄存器用于指定检验 A/D 转换结果上限的设置。

将 A/D 转换结果与 ADUL 寄存器值进行比较，并将中断信号(INTAD)的产生控制在 A/D 转换器模式寄存器 2(ADM2)的 ADRCK 位指定的范围之内（如 图 14-8 所示）。

使用 8 位存储器操作指令设置 ADUL 寄存器。

产生复位信号后，设置该寄存器为 FFH。

注意事项 选择 10 位分辨率 A/D 转换时，将 10 位 A/D 转换结果寄存器(ADCR)的高 8 位与 ADUL 寄存器进行比较。

图 14-12. 转换结果比较上限值设置寄存器(ADUL)的格式

地址: F0011H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

(9) 转换结果比较下限值设置寄存器(ADLL)

该寄存器用于指定检验 A/D 转换结果下限的设置。

将 A/D 转换结果与 ADLL 寄存器值进行比较，并将中断信号(INTAD)的产生控制在 A/D 转换器模式寄存器 2(ADM2)的 ADRCK 位指定的范围之内（如 图 14-8 所示）。

使用 8 位存储器操作指令设置 ADLL 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 14-13. 转换结果比较下限值设置寄存器(ADLL)的格式

地址: F0012H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意事项 选择 10 位分辨率 A/D 转换时，将 10 位 A/D 转换结果寄存器(ADCR)的高 8 位与 ADLL 寄存器进行比较。

(10) A/D 测试寄存器 (ADTES)

在 A/D 测试功能中，该寄存器用于选择 A/D 转换器的+侧基准电压(AV_{REFP})、-侧基准电压(AV_{REFM})、或者模拟输入通道(AN_{Ixx})作为 A/D 转换目标。

使用 8 位存储器操作指令设置 ADTES 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 14-14. A/D 测试寄存器(ADTES)的格式

地址: F0013H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D 转换目标
0	0	AN _{Ixx} (由模拟输入通道指定寄存器(ADS)设置。)
1	0	AV _{REFM}
1	1	AV _{REFP}
其它		禁止设置

(11) A/D 端口配置寄存器 (ADPC)

使用该寄存器将 ANI0/P20 至 ANI7/P27 以及 ANI8/P150 至 ANI14/P156 引脚在 A/D 转换器的模拟输入或者端口的数字 I/O 之间进行切换。

使用 8 位存储器操作指令设置 ADPC 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 14-15. A/D 端口配置寄存器(ADPC)的格式

地址: F0076H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	模拟输入 (A)/数字 I/O (D) 切换														
				ANI14/P156	ANI13/P155	ANI12/P154	ANI11/P153	ANI10/P152	ANI9/P151	ANI8/P150	ANI7/P27	ANI6/P26	ANI5/P25	ANI4/P24	ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	
0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	
0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	A	
0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	A	
0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	A	A	
0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	A	A	A	
0	1	1	0	D	D	D	D	D	D	D	D	D	D	A	A	A	A	
0	1	1	1	D	D	D	D	D	D	D	D	D	A	A	A	A	A	
1	0	0	0	D	D	D	D	D	D	D	D	A	A	A	A	A	A	
1	0	0	1	D	D	D	D	D	D	D	D	A	A	A	A	A	A	
1	0	1	0	D	D	D	D	D	D	A	A	A	A	A	A	A	A	
1	0	1	1	D	D	D	D	D	A	A	A	A	A	A	A	A	A	
1	1	0	0	D	D	D	D	A	A	A	A	A	A	A	A	A	A	
1	1	0	1	D	D	D	A	A	A	A	A	A	A	A	A	A	A	
1	1	1	0	D	D	A	A	A	A	A	A	A	A	A	A	A	A	
1	1	1	1	D	A	A	A	A	A	A	A	A	A	A	A	A	A	

- 注意事项**
1. 通过端口模式寄存器 2、15(PM2、PM15)将用于 A/D 转换的通道设置为输入模式。
 2. 对于由 ADPC 寄存器设置为数字 I/O 的引脚，不要用模拟输入通道指定寄存器(ADS)进行设置。

(12) 端口模式控制寄存器 0、10、12 和 14 (PMC0、PMC10、PMC12、PMC14)

使用该寄存器按 1 位单位设置端口 0、10、12 或 14 的数字 I/O 或模拟输入。

当使用 P03/ANI16/SI10/RxD1/SDA10、P02/ANI17/SO10/TxD1、P147/ANI18/VCOUT1、P120/ANI19/VCOUT0 或 P100/ANI20 引脚作为模拟输入端口时，将 PMC03、PMC02、PMC147、PMC120 或 PMC100 位设置为 1。

使用 1 位或 8 位存储器操作指令设置 PMC0、PMC10、PMC12 和 PMC14 寄存器。

产生复位信号后，清除该寄存器为 FFH。

图 14-16. 端口模式控制寄存器 0、10、12 和 14 (PMC0、PMC10、PMC12、PMC14)的格式

地址: F0060H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PMC0	1	1	1	1	PMC03	PMC02	PMC01 ^{注1}	PMC00 ^{注2}

地址: F006AH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PMC10	1	1	1	1	1	1	1	PMC100 ^{注2}

地址: F006CH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PMC12	1	1	1	1	1	1	1	PMC120

地址: F006EH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PMC14	PMC147	1	1	1	1	1	1	1

PMCmn	Pmn 引脚数字 I/O/模拟输入的选择(m = 0、10、12、14; n = 0 至 3、7)
0	数字 I/O (模拟输入以外的复用功能)
1	模拟输入

注1. 仅限 30、32 针产品。

2. 仅限 80、100 针产品。

(13) 端口模式寄存器 0、2、10、12、14 和 15 (PM0、PM2、PM10、PM12、PM14、PM15)

当使用 ANI0/AV_{REFP}/P20、ANI1/AV_{REFM}/P21、ANI2/ANO0/P22、ANI3/ANO1/P23、ANI4/P24-ANI7/P27、ANI16/SI10/RxD1/SDA10/P03、ANI17/SO10/TxD1/P02、ANI18/VCOUT1/P147、ANI19/VCOUT0/P120、ANI20/P100 或 ANI8/P150-ANI14/P156 引脚作为模拟输入端口时，将 PM20 至 PM27、PM03、PM02、PM147、PM120、PM100 或 PM150 至 PM156 位设置为 1。此时，P20 至 P27、P03、P02、P147、P120、P100 和 P150 至 P156 的输出锁存器可以为 0 或 1。

PM20 至 PM27、PM03、PM02、PM147、PM120、PM100 和 PM150 至 PM156 位被设置为 0 时，不可以将这些引脚用作模拟输入端口引脚。

使用 1 位或 8 位存储器操作指令设置 PM0、PM2、PM10、PM12、PM14 和 PM15 寄存器。

产生复位信号后，清除该寄存器为 FFH。

注意事项 读取被设置为模拟输入端口的引脚时，读取值不是引脚电平而是一直为“0”。

图 14-17. 端口模式寄存器 0、2、10、12、14 和 15 (PM0、PM2、PM10、PM12、PM14、PM15) 的格式

地址: FFF20H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

地址: FFF22H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

地址: FFF2AH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM10	1	1	1	1	1	PM102	PM101	PM100

地址: FFF2CH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

地址: FFF2EH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140

地址: FFF2FH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM15	1	PM156	PM155	PM154	PM153	PM152	PM151	PM150

PMmn	Pmn 引脚 I/O 模式的选择(m = 0、2、10、12、14、15 ; n = 0 至 7)
0	输出模式 (输出缓冲器 on)
1	输入模式 (输出缓冲器 off)

如下所示，ANI0/P20 至 ANI7/P27 和 ANI8/P150 至 ANI14/P156 引脚的功能，因 A/D 端口配置寄存器(ADPC)、模拟输入通道指定寄存器(ADS)、PM2 和 PM15 寄存器的设置而异。

表 14-4. ANI0/P20 至 ANI7/P27 和 ANI8/P150 至 ANI14/P156 引脚功能的设置

ADPC	PM2、PM15	ADS	ANI0/P20至ANI7/P27和ANI8/P150至ANI14/P156引脚
数字I/O选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入选择	输入模式	选择ANI。	模拟输入 (转换目标)
		不选择ANI。	模拟输入 (非转换目标)
	输出模式	选择ANI。	禁止设置
		不选择ANI。	

如下所示，ANI16/P03、ANI17/P02、ANI18/P147、ANI19/P120 和 ANI20/P100 引脚的功能，因端口模式控制寄存0、10、12 和 14 (PMC0、PMC10、PMC12、PMC14)、模拟输入通道指定寄存器(ADS)、PM0、PM10、PM12 和 PM14 寄存器的设置而异。

表 14-5. ANI16/P03、ANI17/P02、ANI18/P147、ANI19/P120 和 ANI20/P100 引脚功能的设置

PMC0、PMC10、PMC12和PMC14	PM0、PM10、PM12和PM14	ADS	ANI16/P03、ANI17/P02、ANI18/P147、ANI19/P120和ANI20/P100引脚
数字I/O选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入选择	输入模式	选择ANI。	模拟输入 (转换目标)
		不选择ANI。	模拟输入 (非转换目标)
	输出模式	选择ANI。	禁止设置
		不选择ANI。	

14.4 A/D 转换器的转换操作

A/D 转换器的转换操作如下所示。

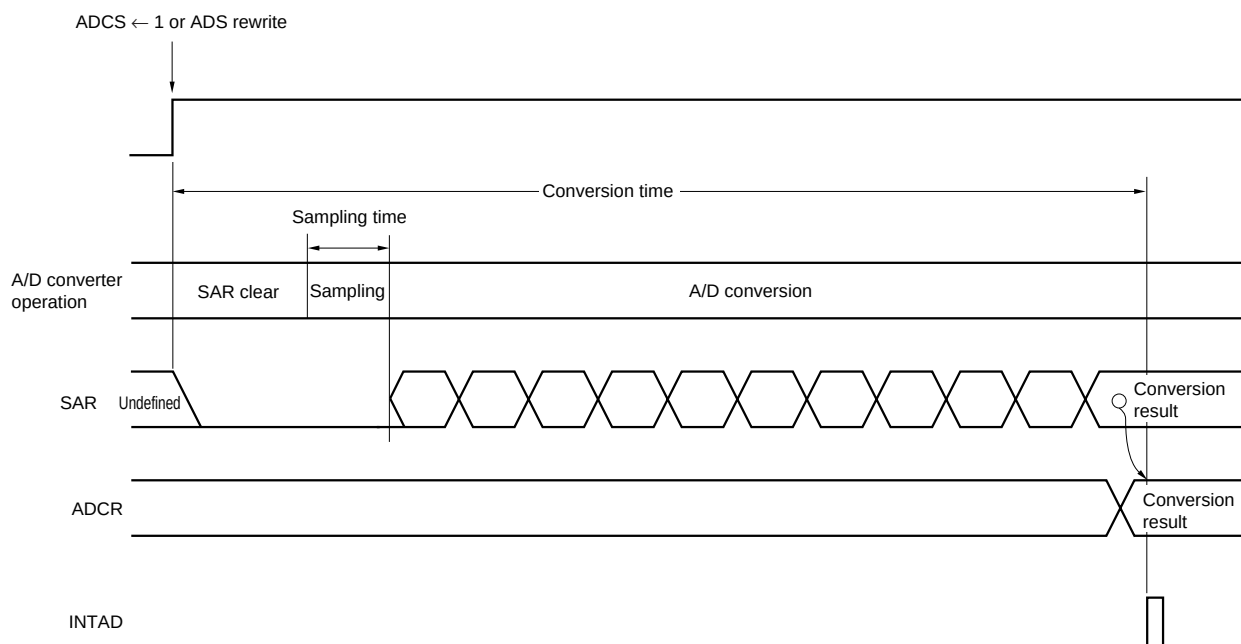
- <1> 通过采样&保持电路对输入至所选模拟输入通道的电压进行采样。
- <2> 当采样进行一定时间时，采样&保持电路被置于保持状态且保持采样电压，直到 A/D 转换操作结束为止。
- <3> 设置逐次逼近寄存器(SAR)的位 9。通过接头选择器将串联电阻串的分接电压设置为 $(1/2) AV_{REF}$ 。
- <4> 使用电压比较器对于串联电阻串的分接电压与采样电压之间的电压差进行比较。如果模拟输入大于 $(1/2) AV_{REF}$ ，SAR 寄存器的 MSB 位保持为 1。如果模拟输入小于 $(1/2) AV_{REF}$ ，MSB 位复位为 0。
- <5> 接着，自动将 SAR 寄存器的位 8 设置为 1，并进行下一次比较。根据下述位 9 的当前设置值选择串联电阻串的分接电压。
 - 位 9 = 1: $(3/4) AV_{REF}$
 - 位 9 = 0: $(1/4) AV_{REF}$对于分接电压与采样电压进行比较，并对 SAR 寄存器的位 8 进行如下操作：
 - 采样电压 $\geq$ 分接电压：位 8 = 1
 - 采样电压 $<$ 分接电压：位 8 = 0
- <6> 照这样继续进行比较，直到 SAR 寄存器的位 0 为止。
- <7> 完成 10 位的比较时，一个有效数字结果值将保持于 SAR 寄存器之中，该结果值被传送至 A/D 转换结果寄存器(ADCR、ADCRH)，并被锁存。
同时，产生 A/D 转换结束中断请求(INTAD)。
- <8> 重复步骤<1>至<7>，直到 ADCS 位被清除至 0^{*}。
将 ADCS 位清除至 0 以停止 A/D 转换器。

注 连续转换模式时，不会自动将 ADCS 标志清除至 0。硬件触发无等待模式的单次转换模式时，也不会自动将该标志清除至 0。相反的，将继续保持 1。

备注 1. 可以从两种 A/D 转换结果寄存器中选择。

- ADCR 寄存器(16 位): 存储 10 位的 A/D 转换值
 - ADCRH 寄存器(8 位): 存储 8 位的 A/D 转换值
2. AV_{REF} : A/D 转换器的+侧基准电压。可以选自 AV_{REFP} 、内部基准电压(1.45 V)以及 V_{DD} 。

图 14-18. A/D 转换器的转换操作 (软件触发模式时)



持续进行 A/D 转换操作，直到 A/D 转换器模式寄存器(ADM)的位 7(ADCS)被软件复位(0)为止。

如果在 A/D 转换操作过程中对模拟输入通道指定寄存器(ADS)执行写操作，则会初始化转换操作；如果 ADCS 位被设置为(1)，则会再次从头开始转换。

产生复位信号后，将 A/D 转换结果寄存器(ADCR、ADCRH)清除至 0000H 或 00H。

14.5 输入电压和转换结果

输入至模拟输入引脚（ANI0 至 ANI14、ANI16 至 ANI20）的模拟输入电压与理论 A/D 转换结果（存储于 10 位 A/D 转换结果寄存器(ADCR)中）之间的关系可用以下表达式表示。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{AV_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

或者

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{AV_{\text{REF}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{AV_{\text{REF}}}{1024}$$

在这里，INT(): 返回括号中数值的整数部分的函数

V_{AIN} : 模拟输入电压

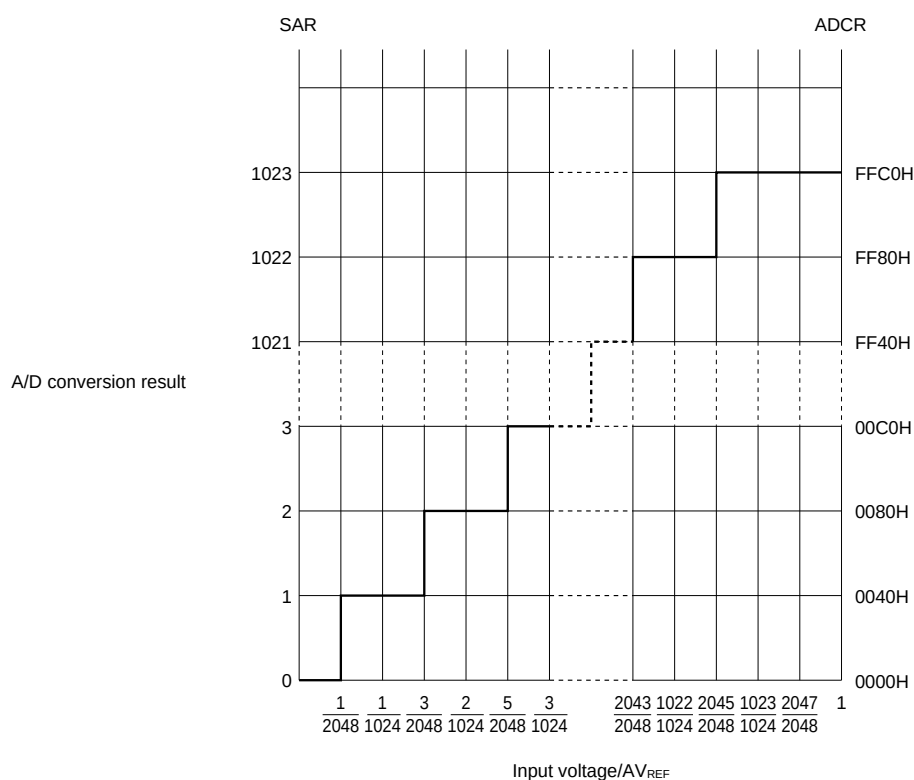
AV_{REF} : AV_{REF} 引脚电压

ADCR: A/D 转换结果寄存器(ADCR)值

SAR: 逐次逼近寄存器

图 14-19 显示模拟输入电压与 A/D 转换结果之间的关系。

图 14-19. 模拟输入电压与 A/D 转换结果之间的关系



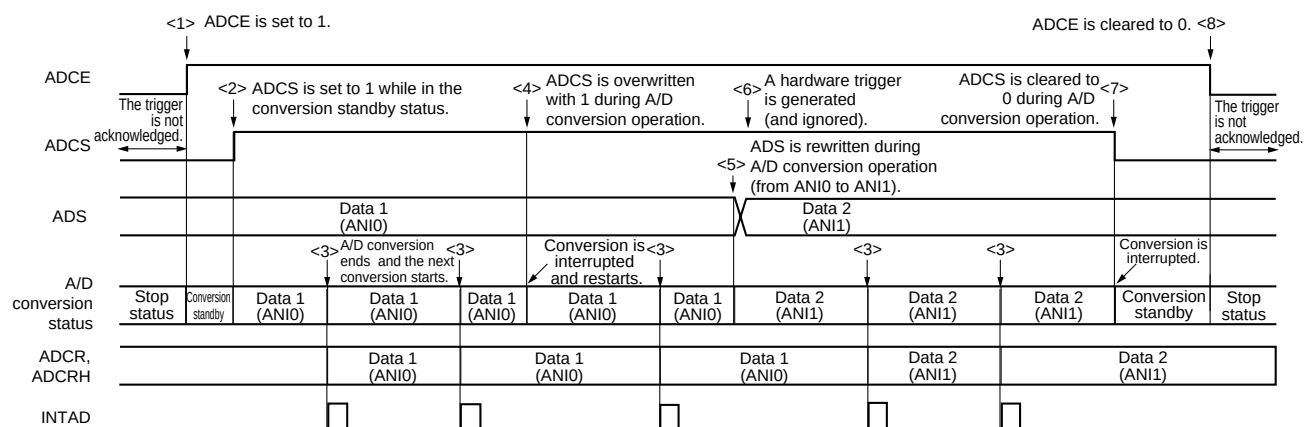
14.6 A/D 转换器的操作模式

每个 A/D 转换器模式的操作如下所示。另外，用于指定每个模式的步骤请参阅 14.7 A/D 转换器的设置流程图。

14.6.1 软件触发模式（选择模式，连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入 A/D 转换待机状态。
- <2> 软件计数至稳定等待时间 (1 μ s) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以执行由模拟输入通道指定寄存器 (ADS)指定的模拟输入 A/D 转换。
- <3> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。A/D 转换结束后，立即开始下一个 A/D 转换。
- <4> 转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <5> 转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <6> 转换操作中，即使输入硬件触发也不开始 A/D 转换。
- <7> 转换操作过程中将 ADCS 清除至 0 时，当前 A/D 转换中断，系统进入 A/D 转换待机状态。
- <8> 在 A/D 转换待机状态下，当 ADCE 被清除至 0 时，A/D 转换器进入停止状态。当 ADCE=0 时，将 ADCS 指定为 1 的操作被忽略，不开始 A/D 转换。

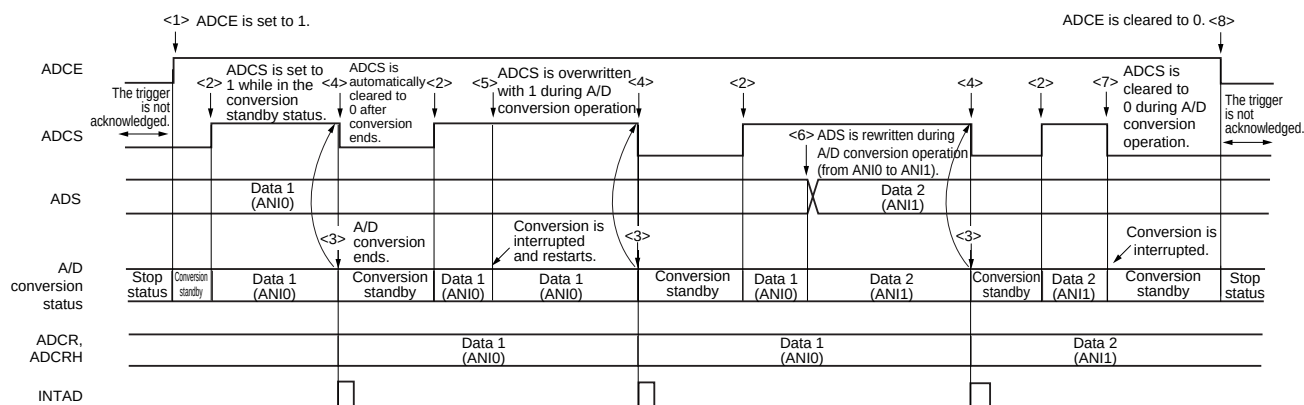
图 14-20. 软件触发模式（选择模式，连续转换模式）操作时序的示例



14.6.2 软件触发模式（选择模式，单触发转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入 A/D 转换待机状态。
- <2> 软件计数至稳定等待时间 (1 μ s) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以执行由模拟输入通道指定寄存器 (ADS)指定的模拟输入 A/D 转换。
- <3> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。
- <4> A/D 转换结束后，ADCS 位将被自动清除至 0，系统进入 A/D 转换待机状态。
- <5> 转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <6> 转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中将 ADCS 清除至 0 时，当前 A/D 转换中断，系统进入 A/D 转换待机状态。
- <8> 在 A/D 转换待机状态下，当 ADCE 被清除至 0 时，A/D 转换器进入停止状态。当 ADCE= 0 时，将 ADCS 指定为 1 的操作被忽略，不开始 A/D 转换。另外，即使在 A/D 转换待机状态时输入硬件触发，也不开始 A/D 转换。

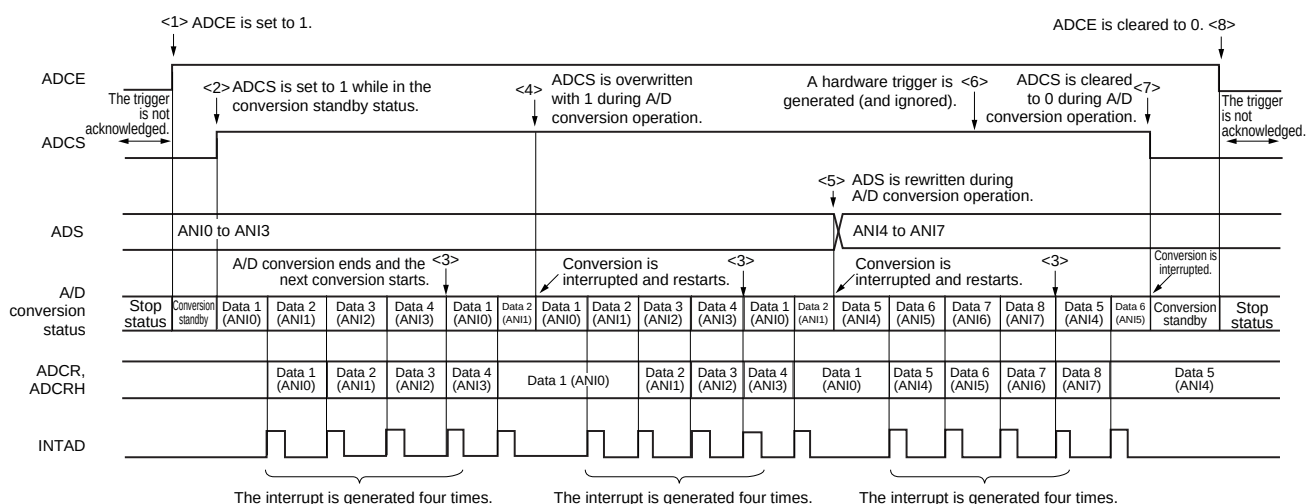
图 14-21. 软件触发模式（选择模式，单触发转换模式）操作时序的示例



14.6.3 软件触发模式（扫描模式，连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入 A/D 转换待机状态。
- <2> 软件计数至稳定等待时间 (1 μ s) 之后，ADM0 寄存器的 ADCS 位被设置为 1，对于第 0 至第 3 次扫描（由模拟输入通道指定寄存器(ADS)指定）指定的四个模拟输入通道执行 A/D 转换。从第 0 次扫描指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <3> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号(INTAD)。当四个通道的 A/D 转换结束时，自动开始指定通道之后的通道的 A/D 转换（直到四个通道全部完成为止）。
- <4> 在转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <5> 当在转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对于 ADS 寄存器指定的第一个通道执行 A/D 转换。转换至中途的数据被丢弃。
- <6> 转换操作中，即使输入硬件触发也不开始 A/D 转换。
- <7> 转换操作过程中将 ADCS 清除至 0 时，当前 A/D 转换中断，系统进入 A/D 转换待机状态。
- <8> 在 A/D 转换待机状态下，当 ADCE 被清除至 0 时，A/D 转换器进入停止状态。当 ADCE=0 时，将 ADCS 指定为 1 的操作被忽略，不开始 A/D 转换。

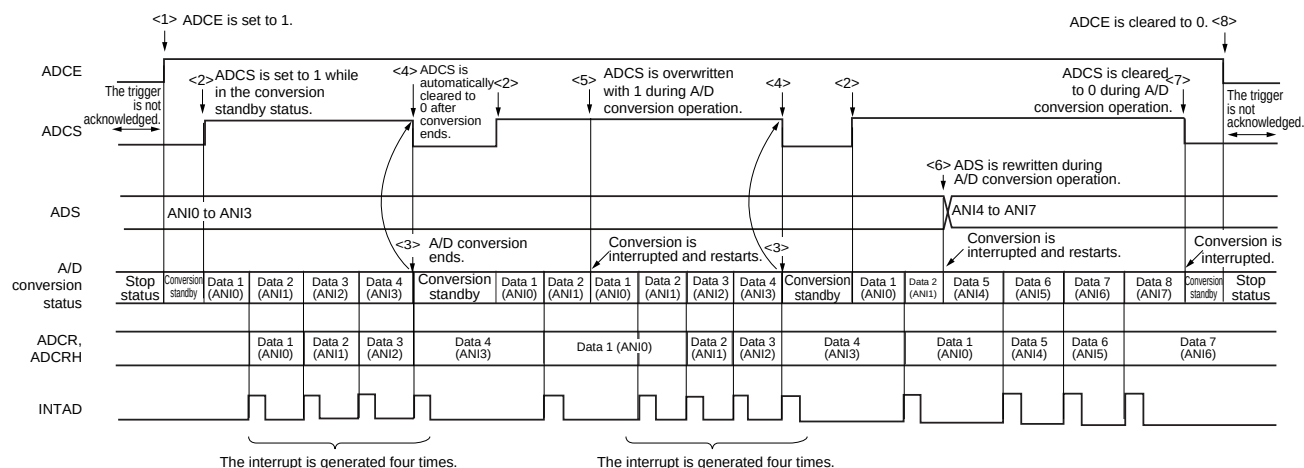
图 14-22. 软件触发模式（扫描模式，连续转换模式）操作时序的示例



14.6.4 软件触发模式（扫描模式，单触发转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入 A/D 转换待机状态。
- <2> 软件计数至稳定等待时间 (1 μ s) 之后，ADM0 寄存器的 ADCS 位被设置为 1，对于第 0 至第 3 次扫描（由模拟输入通道指定寄存器(ADS)指定）指定的四个模拟输入通道执行 A/D 转换。从第 0 次扫描指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <3> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号(INTAD)。
- <4> 四个通道的 A/D 转换结束后，ADCS 位被自动清除至 0，系统进入 A/D 转换待机状态。
- <5> 在转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <6> 当在转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对于 ADS 寄存器指定的第一个通道执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中将 ADCS 清除至 0 时，当前 A/D 转换中断，系统进入 A/D 转换待机状态。
- <8> 在 A/D 转换待机状态下，当 ADCE 被清除至 0 时，A/D 转换器进入停止状态。当 ADCE=0 时，将 ADCS 指定为 1 的操作被忽略，不开始 A/D 转换。另外，即使在 A/D 转换待机状态时输入硬件触发，也不开始 A/D 转换。

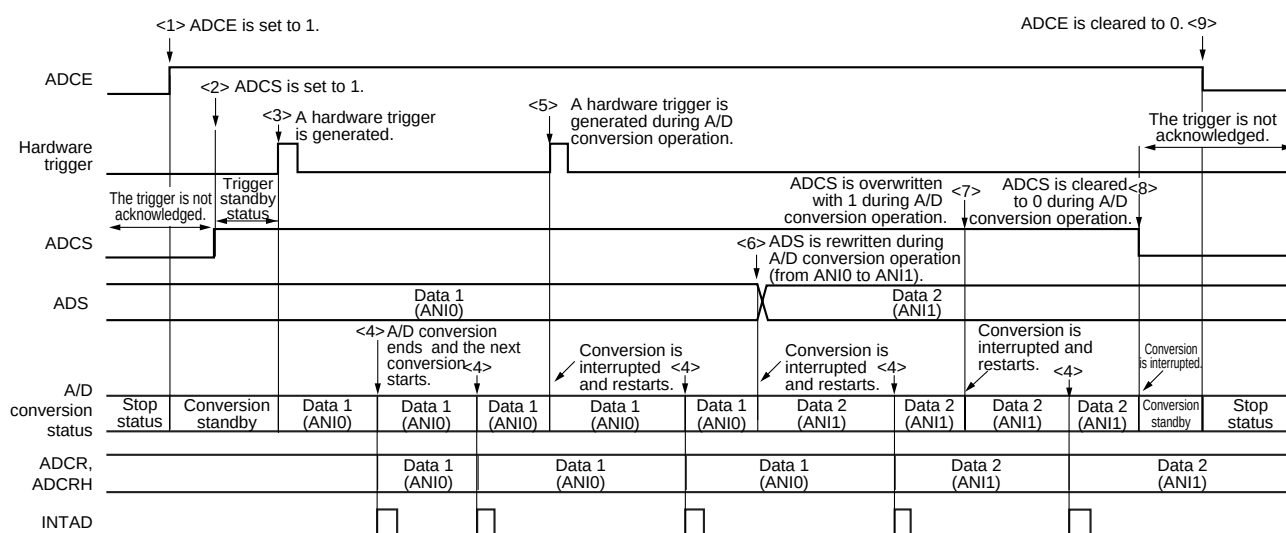
图 14-23. 软件触发模式（扫描模式，单触发转换模式）操作时序的示例



14.6.5 硬件触发无等待模式（选择模式，连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入 A/D 转换待机状态。
- <2> 软件计数至稳定等待时间 (1 μ s) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以使系统置于硬件触发待机状态（此时不开始转换）。请注意，处于该状态时，即使将 ADCS 设置为 1，也不开始 A/D 转换。
- <3> 如果 ADCS = 1 时输入硬件触发，则对于模拟输入通道指定寄存器(ADS)指定的模拟输入执行 A/D 转换。
- <4> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号(INTAD)。A/D 转换结束后，立即开始下一个 A/D 转换。
- <5> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，重新开始转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <8> 转换操作过程中将 ADCS 清除至 0 时，当前 A/D 转换中断，系统进入 A/D 转换待机状态。然而，该状态下 A/D 转换器不进入停止状态。
- <9> 在 A/D 转换待机状态下，当 ADCE 被清除至 0 时，A/D 转换器进入停止状态。当 ADCS = 0 时，输入硬件触发的操作将被忽略，不开始 A/D 转换。

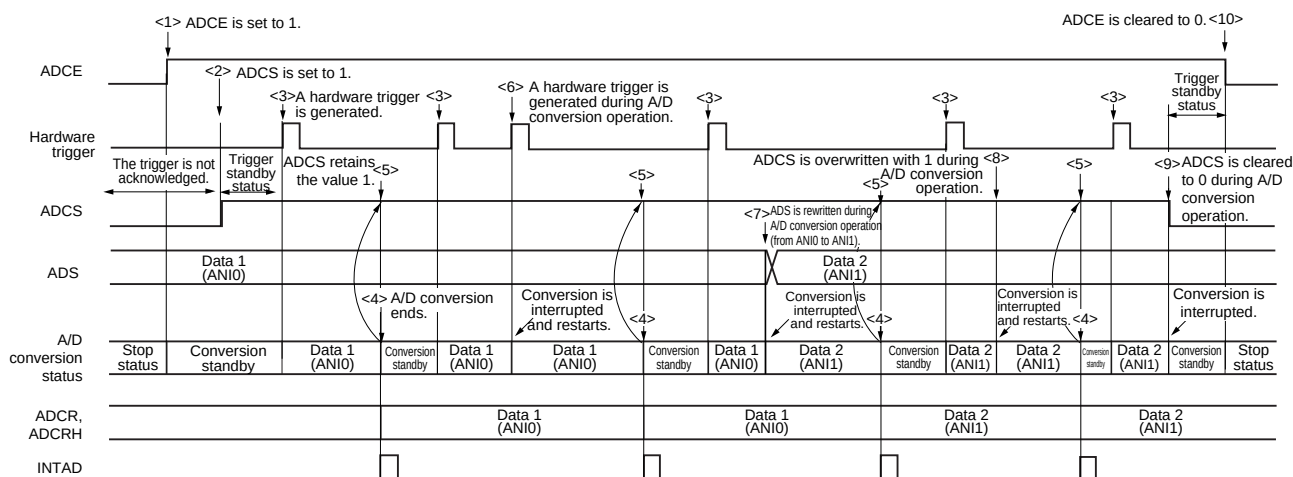
图 14-24. 硬件触发无等待模式（选择模式，连续转换模式）操作时序的示例



14.6.6 硬件触发无等待模式（选择模式，单触发转换模式）

- <1> 在停止状态下, A/D 转换器模式寄存器 0(ADMO)的 ADCE 位被设置为 1, 系统进入 A/D 转换待机状态。
- <2> 软件计数至稳定等待时间 ($1\mu\text{s}$) 之后, ADM0 寄存器的 ADCS 位被设置为 1, 以使系统置于硬件触发待机状态 (此时不开始转换)。请注意, 处于该状态时, 即使将 ADCS 设置为 1, 也不开始 A/D 转换。
- <3> 如果 $\text{ADCS} = 1$ 时输入硬件触发, 则对于模拟输入通道指定寄存器(ADS)指定的模拟输入执行 A/D 转换。
- <4> A/D 转换结束时, 转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH), 并产生 A/D 转换结束中断请求信号 (INTAD)。
- <5> A/D 转换结束后, ADCS 位保持 1, 系统进入 A/D 转换待机状态。
- <6> 在转换操作过程中输入硬件触发时, 当前 A/D 转换中断, 重新开始转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中重写或覆盖 ADS 寄存器的值时, 当前 A/D 转换中断, 并对 ADS 寄存器指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <8> 转换操作过程中用 1 覆盖 ADCS 时, 当前 A/D 转换中断, 转换重新开始。转换至中途的数据被丢弃。
- <9> 转换操作过程中将 ADCS 清除至 0 时, 当前 A/D 转换中断, 系统进入 A/D 转换待机状态。然而, 该状态下 A/D 转换器不进入停止状态。
- <10> 在 A/D 转换待机状态下, 当 ADCE 被清除至 0 时, A/D 转换器进入停止状态。当 $\text{ADCS} = 0$ 时, 输入硬件触发的操作将被忽略, 不开始 A/D 转换。

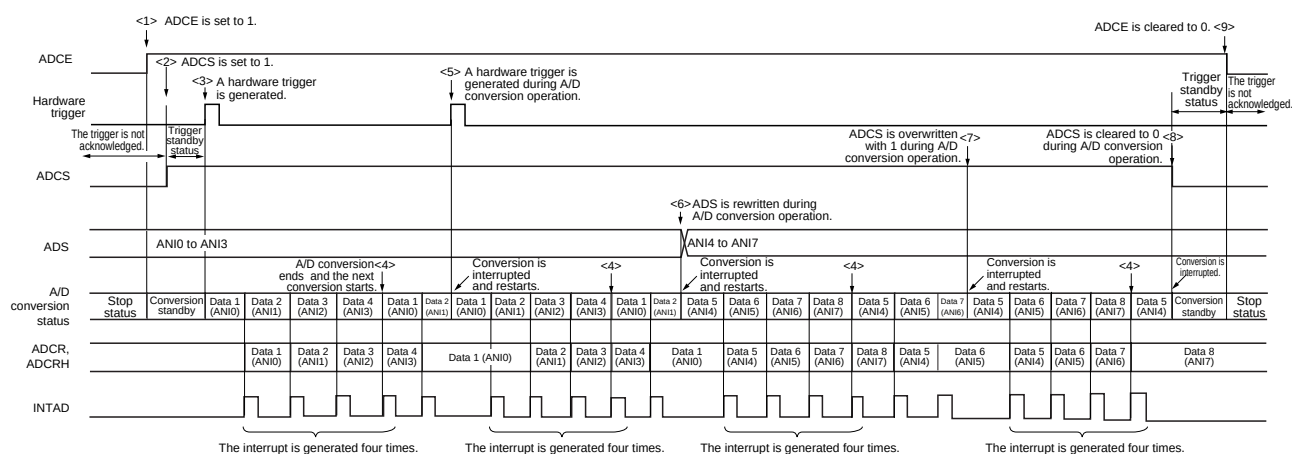
图 14-25. 硬件触发无等待模式（选择模式，单触发转换模式）操作时序的示例



14.6.7 硬件触发无等待模式（扫描模式，连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入 A/D 转换待机状态。
- <2> 软件计数至稳定等待时间 (1 μ s) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以使系统置于硬件触发待机状态（此时不开始转换）。请注意，处于该状态时，即使将 ADCS 设置为 1，也不开始 A/D 转换。
- <3> 如果 ADCS = 1 时输入硬件触发，则对于第 0 至第 3 次扫描（由模拟输入通道指定寄存器(ADS)指定）指定的四个模拟输入通道执行 A/D 转换。从第 0 次扫描指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <4> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号(INTAD)。四个通道的 A/D 转换结束时，自动开始指定通道之后的通道的 A/D 转换。
- <5> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <6> 当在转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对于 ADS 寄存器指定的第一个通道执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <8> 转换操作过程中将 ADCS 清除至 0 时，当前 A/D 转换中断，系统进入 A/D 转换待机状态。然而，该状态下 A/D 转换器不进入停止状态。
- <9> 在 A/D 转换待机状态下，当 ADCE 被清除至 0 时，A/D 转换器进入停止状态。当 ADCE=0 时，将 ADCS 指定为 1 的操作被忽略，不开始 A/D 转换。

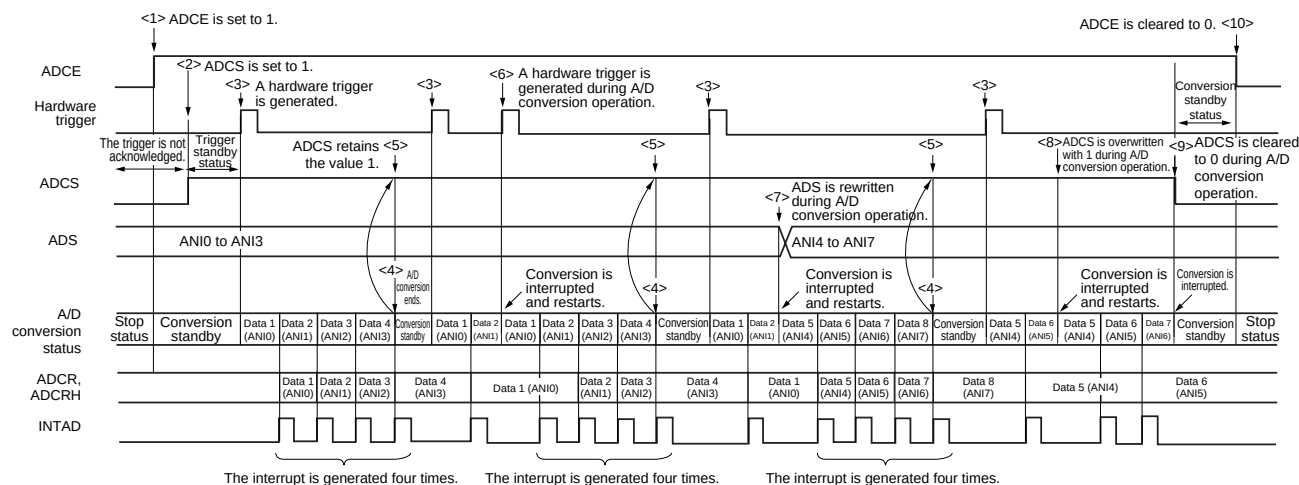
图 14-26. 硬件触发无等待模式（扫描模式，连续转换模式）操作时序的示例



14.6.8 硬件触发无等待模式（扫描模式，单触发转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入 A/D 转换待机状态。
- <2> 软件计数至稳定等待时间 (1 μ s) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以使系统置于硬件触发待机状态（此时不开始转换）。请注意，处于该状态时，即使将 ADCS 设置为 1，也不开始 A/D 转换。
- <3> 如果 ADCS = 1 时输入硬件触发，则对于第 0 至第 3 次扫描（由模拟输入通道指定寄存器(ADS)指定）指定的四个模拟输入通道执行 A/D 转换。从第 0 次扫描指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <4> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号(INTAD)。
- <5> 当四个通道的 A/D 转换结束后，ADCS 位保持 1，系统进入 A/D 转换待机状态。
- <6> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <7> 当在转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对于 ADS 寄存器指定的第一个通道执行 A/D 转换。转换至中途的数据被丢弃。
- <8> 在转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <9> 转换操作过程中将 ADCS 清除至 0 时，当前 A/D 转换中断，系统进入 A/D 转换待机状态。然而，该状态下 A/D 转换器不进入停止状态。
- <10> 在 A/D 转换待机状态下，当 ADCE 被清除至 0 时，A/D 转换器进入停止状态。当 ADCS = 0 时，输入硬件触发的操作将被忽略，不开始 A/D 转换。

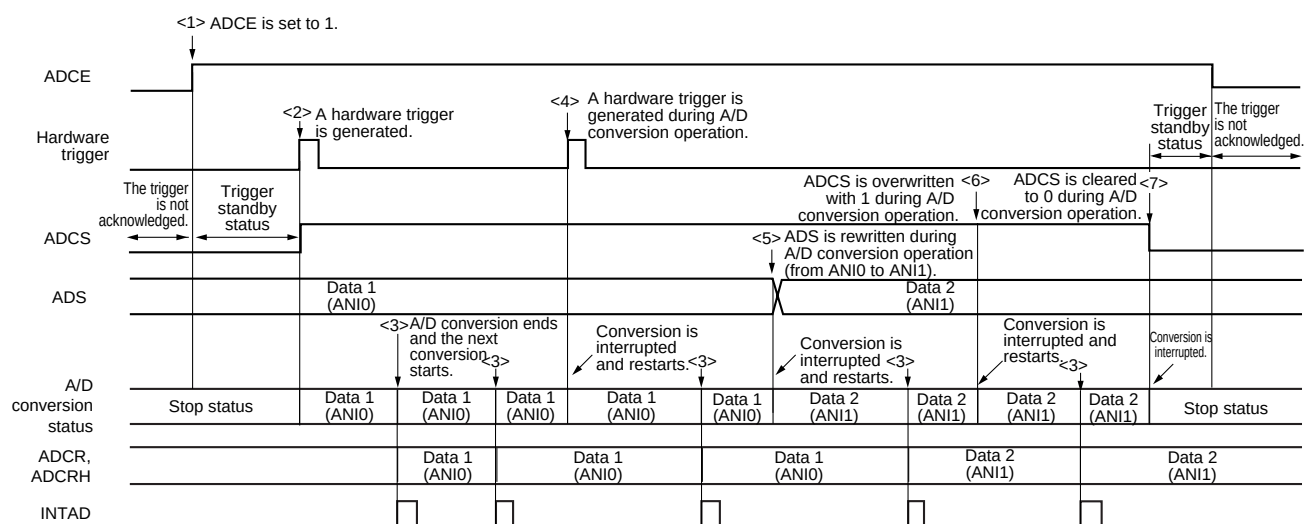
图 14-27. 硬件触发无等待模式（扫描模式，单触发转换模式）操作时序的示例



14.6.9 硬件触发等待模式（选择模式，连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入硬件触发待机状态。
- <2> 如果在硬件触发待机状态时输入硬件触发，则对于模拟输入通道指定寄存器(ADS)指定的模拟输入执行 A/D 转换。根据硬件触发输入，自动将 ADM0 寄存器的 ADCS 位设置为 1。
- <3> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号(INTAD)。A/D 转换结束后，立即开始下一个 A/D 转换。(此时不需要硬件触发。)
- <4> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，重新开始转换。转换至中途的数据被丢弃。
- <5> 转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <7> 转换操作过程中 ADCS 被清除至 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。当 ADCE= 0 时，输入硬件触发的操作被忽略，不开始 A/D 转换。

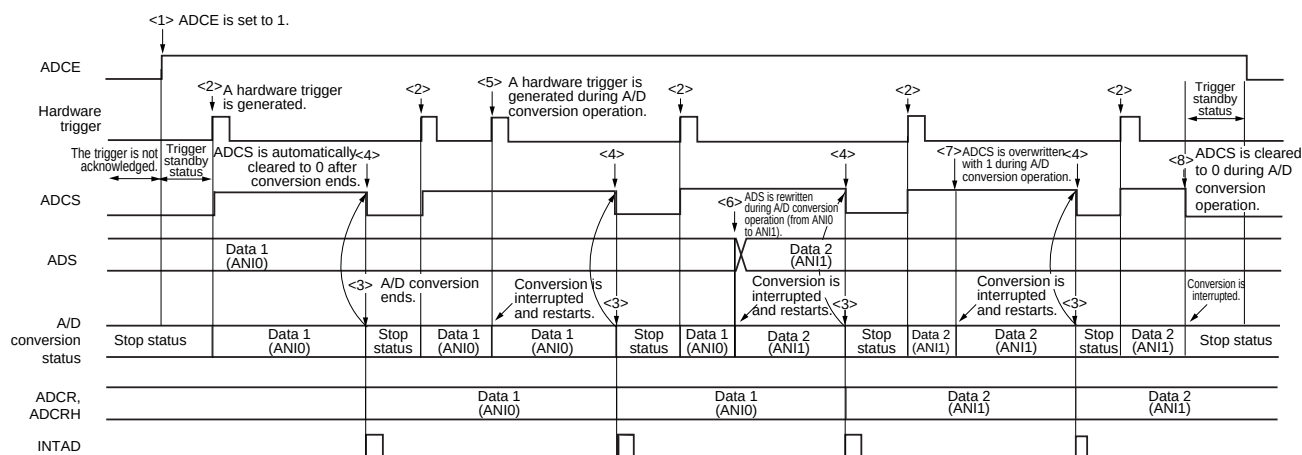
图 14-28. 硬件触发等待模式（选择模式，连续转换模式）操作时序的示例



14.6.10 硬件触发等待模式（选择模式，单触发转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入硬件触发待机状态。
- <2> 如果在硬件触发待机状态时输入硬件触发，则对于模拟输入通道指定寄存器(ADS)指定的模拟输入执行 A/D 转换。根据硬件触发输入，自动将 ADM0 寄存器的 ADCS 位设置为 1。
- <3> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号(INTAD)。
- <4> A/D 转换结束后，ADCS 位被自动清除至 0，A/D 转换器进入停止状态。
- <5> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，重新开始转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被初始化。
- <8> 转换操作过程中 ADCS 被清除至 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。当 ADCE = 0 时，输入硬件触发的操作被忽略，不开始 A/D 转换。

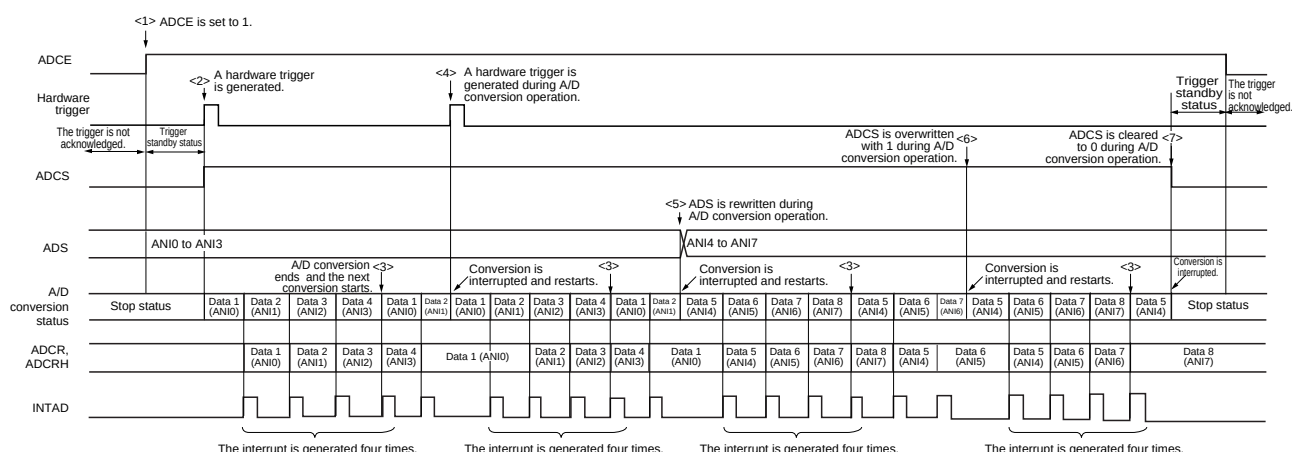
图 14-29. 硬件触发等待模式（选择模式，单触发转换模式）操作时序的示例



14.6.11 硬件触发等待模式（扫描模式，连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入 A/D 转换待机状态。
- <2> 如果在硬件触发待机状态下输入硬件触发，则对于由第 0 至第 3 次扫描（由模拟输入通道指定寄存器(ADS)指定）指定的四个模拟输入通道执行 A/D 转换。根据硬件触发输入，自动将 ADM0 寄存器的 ADCS 位设置为 1。从第 0 次扫描指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <3> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号(INTAD)。四个通道的 A/D 转换结束时，自动开始指定通道之后的通道的 A/D 转换。
- <4> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <5> 当在转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对于 ADS 寄存器指定的第一个通道执行 A/D 转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <7> 转换操作过程中 ADCS 被清除至 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。当 ADCE=0 时，输入硬件触发的操作被忽略，不开始 A/D 转换。

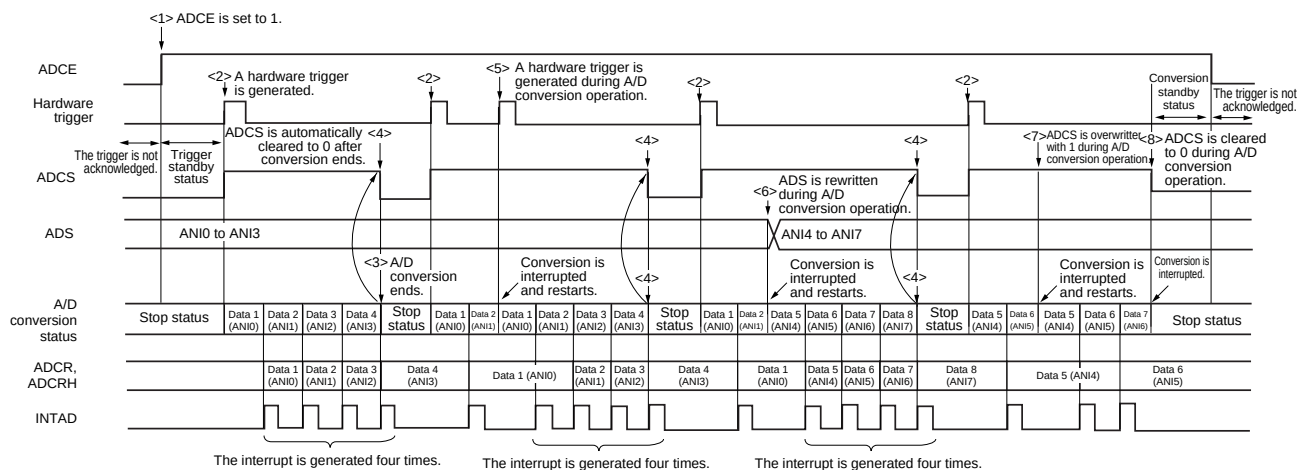
图 14-30. 硬件触发等待模式（扫描模式，连续转换模式）操作时序的示例



14.6.12 硬件触发等待模式（扫描模式，单触发转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0(ADM0)的 ADCE 位被设置为 1，系统进入 A/D 转换待机状态。
- <2> 如果在硬件触发待机状态下输入硬件触发，则对于由第 0 至第 3 次扫描（由模拟输入通道指定寄存器(ADS)指定）指定的四个模拟输入通道执行 A/D 转换。根据硬件触发输入，自动将 ADM0 寄存器的 ADCS 位设置为 1。从第 0 次扫描指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <3> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器(ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号(INTAD)。
- <4> A/D 转换结束后，ADCS 位被自动清除至 0，A/D 转换器进入停止状态。
- <5> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <6> 当在转换操作过程中重写或覆盖 ADS 寄存器的值时，当前 A/D 转换中断，并对于 ADS 寄存器指定的第一个通道执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中用 1 覆盖 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <8> 转换操作过程中 ADCS 被清除至 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。当 ADCE = 0 时，输入硬件触发的操作被忽略，不开始 A/D 转换。

图 14-31. 硬件触发等待模式（扫描模式，单触发转换模式）操作时序的示例

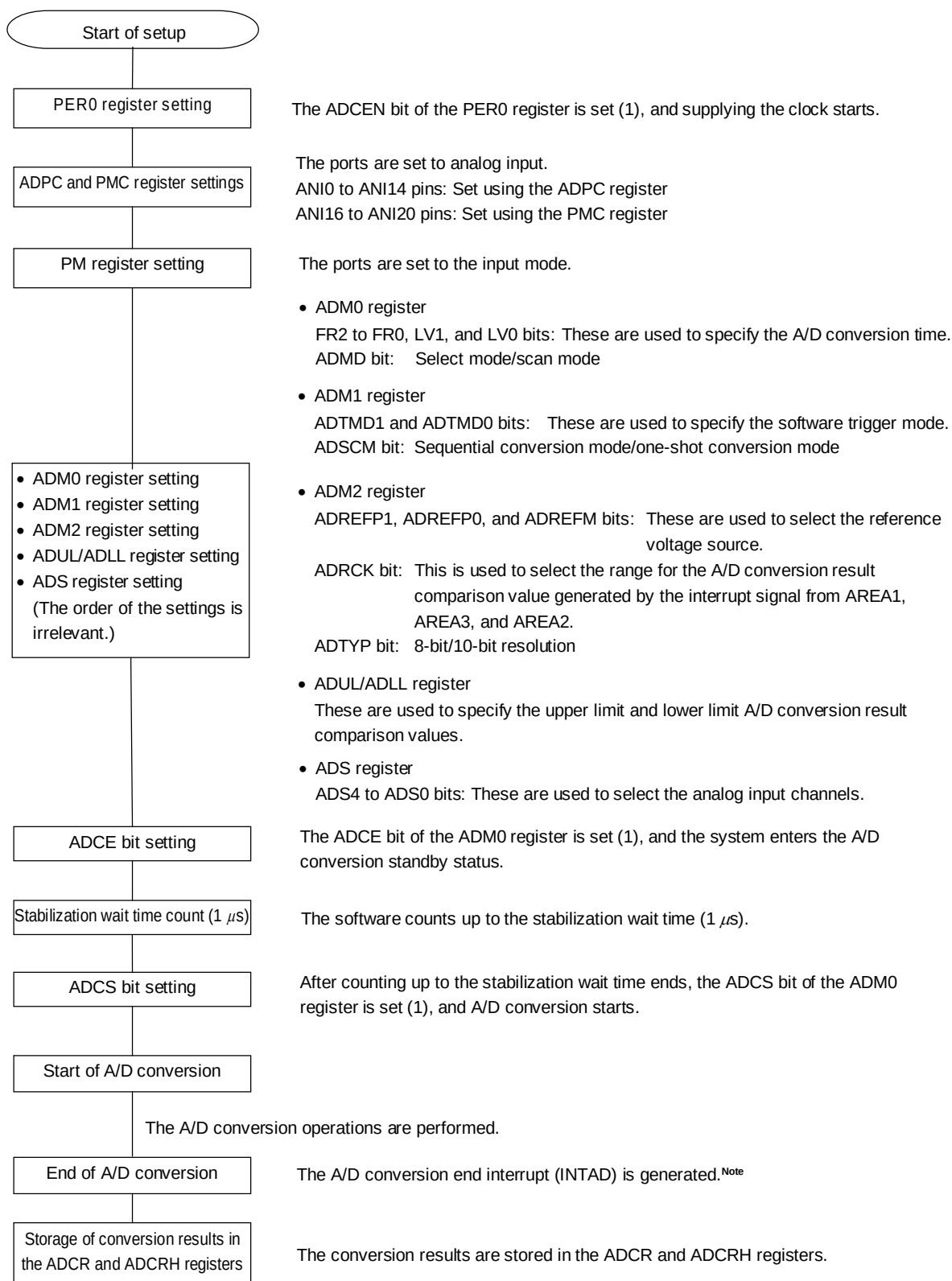


14.7 A/D 转换器的设置流程图

各操作模式时的 A/D 转换器的设置流程图如下所示。

14.7.1 设置软件触发模式

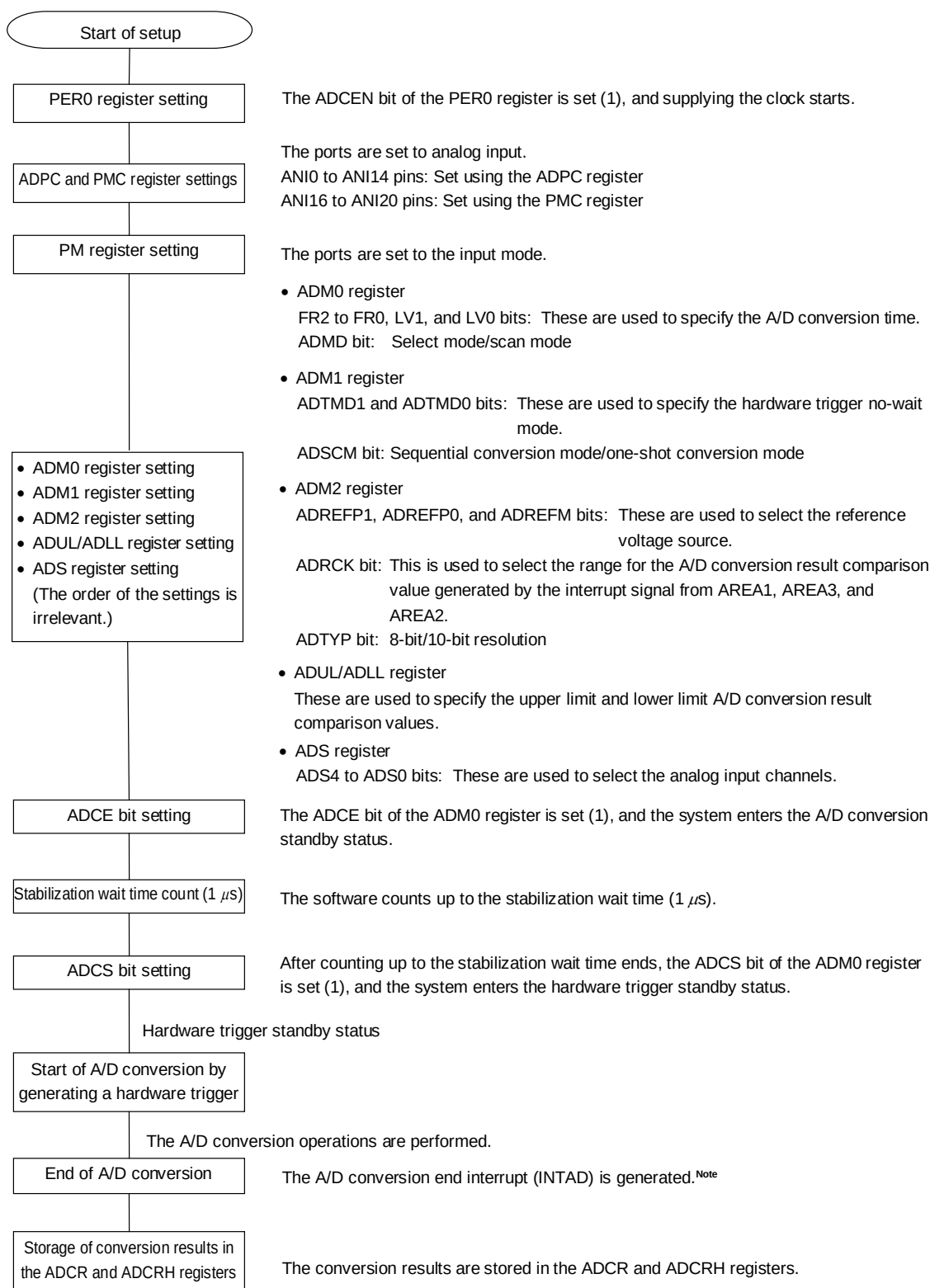
图 14-32. 设置软件触发模式



注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设置，有可能不产生中断信号。这种情况下，结果存储于 ADCR、ADCRH 寄存器。

14.7.2 设置硬件触发无等待模式

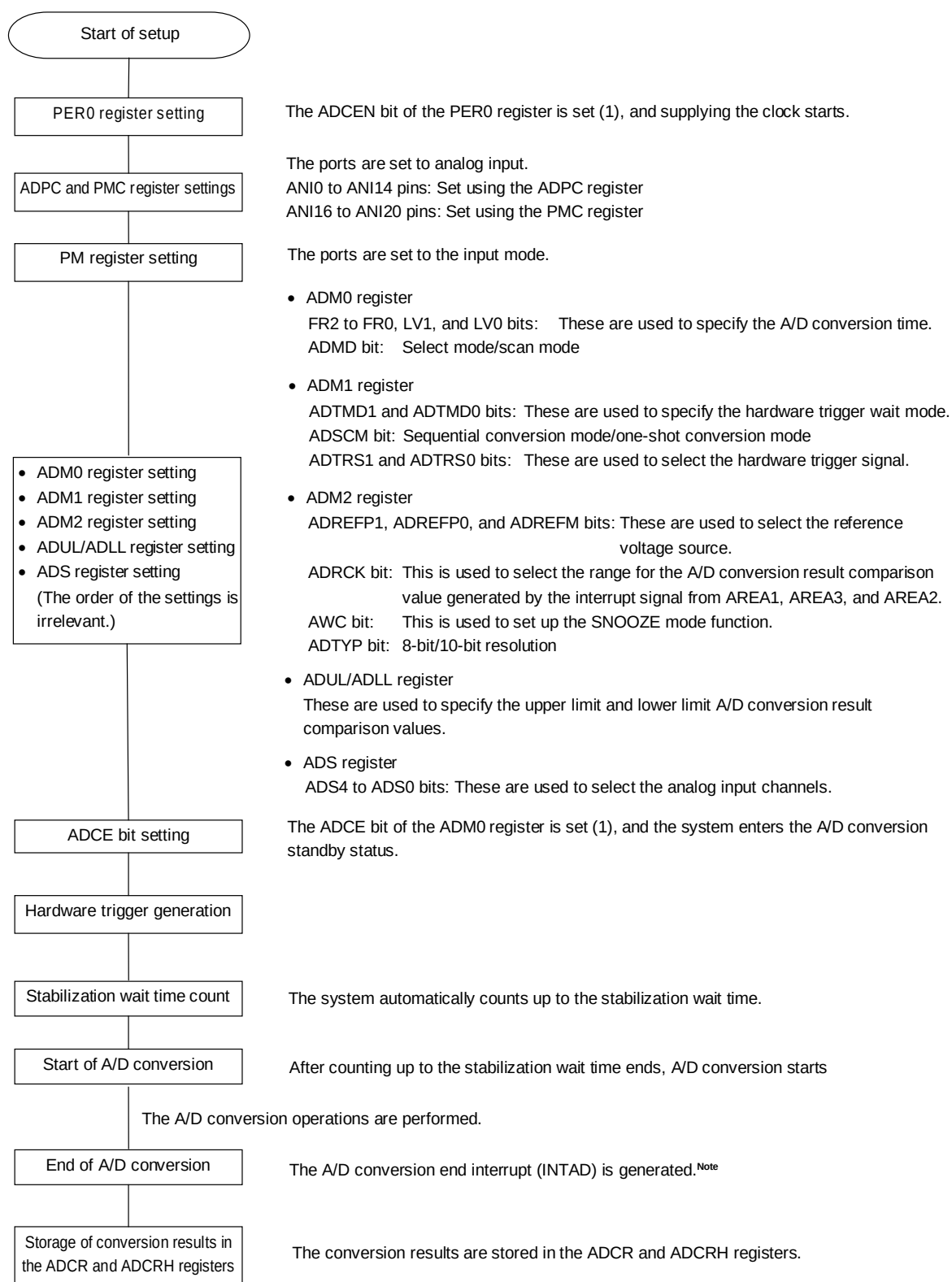
图 14-33. 设置硬件触发无等待模式



注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设置，有可能不产生中断信号。这种情况下，结果存储于 ADCR、ADCRH 寄存器。

14.7.3 设置硬件触发等待模式

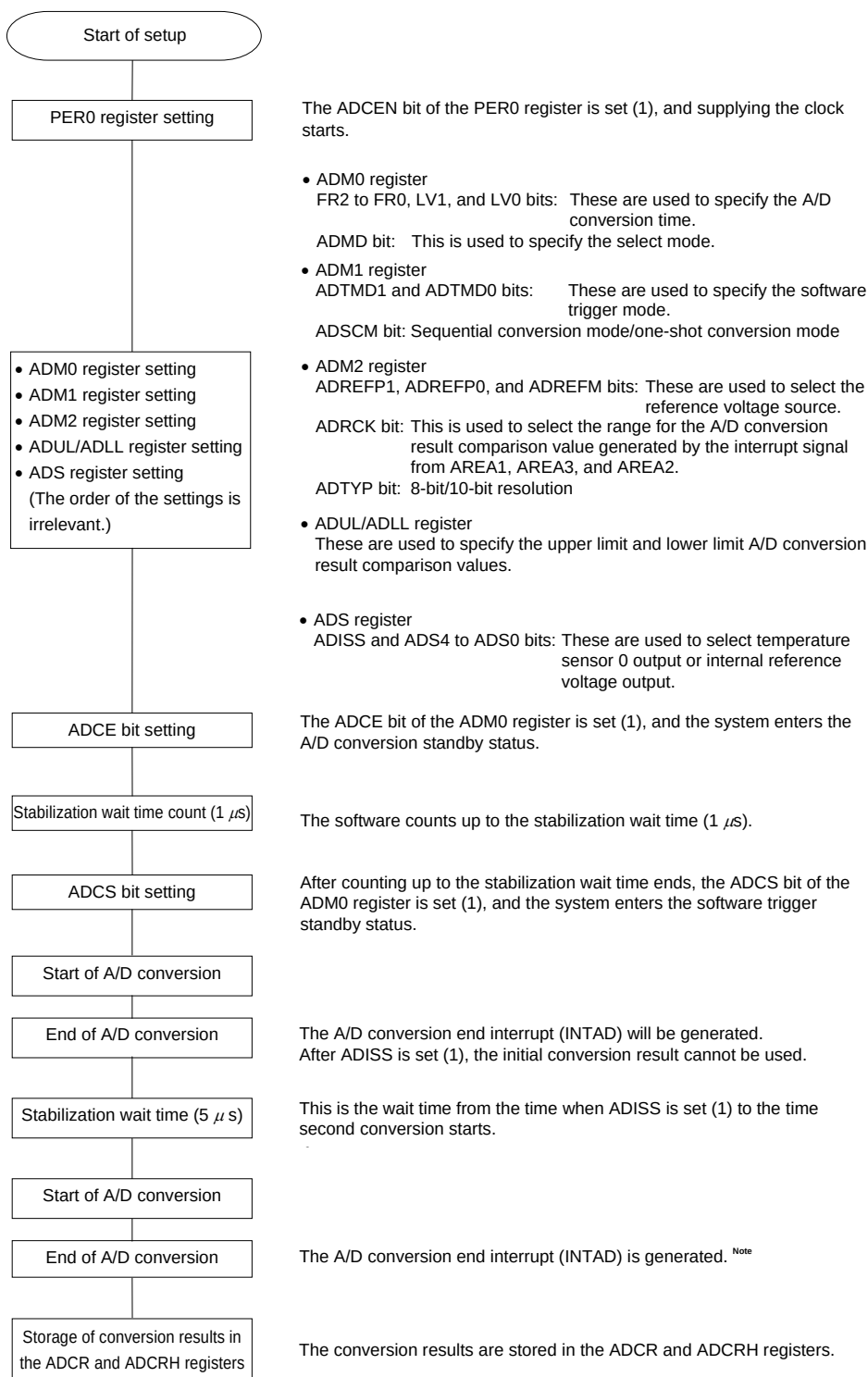
图 14-34. 设置硬件触发等待模式



注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设置，有可能不产生中断信号。这种情况下，结果存储于 ADCR、ADCRH 寄存器。

14.7.4 使用温度传感器时的设置 (软件触发模式和单触发转换模式下的示例)

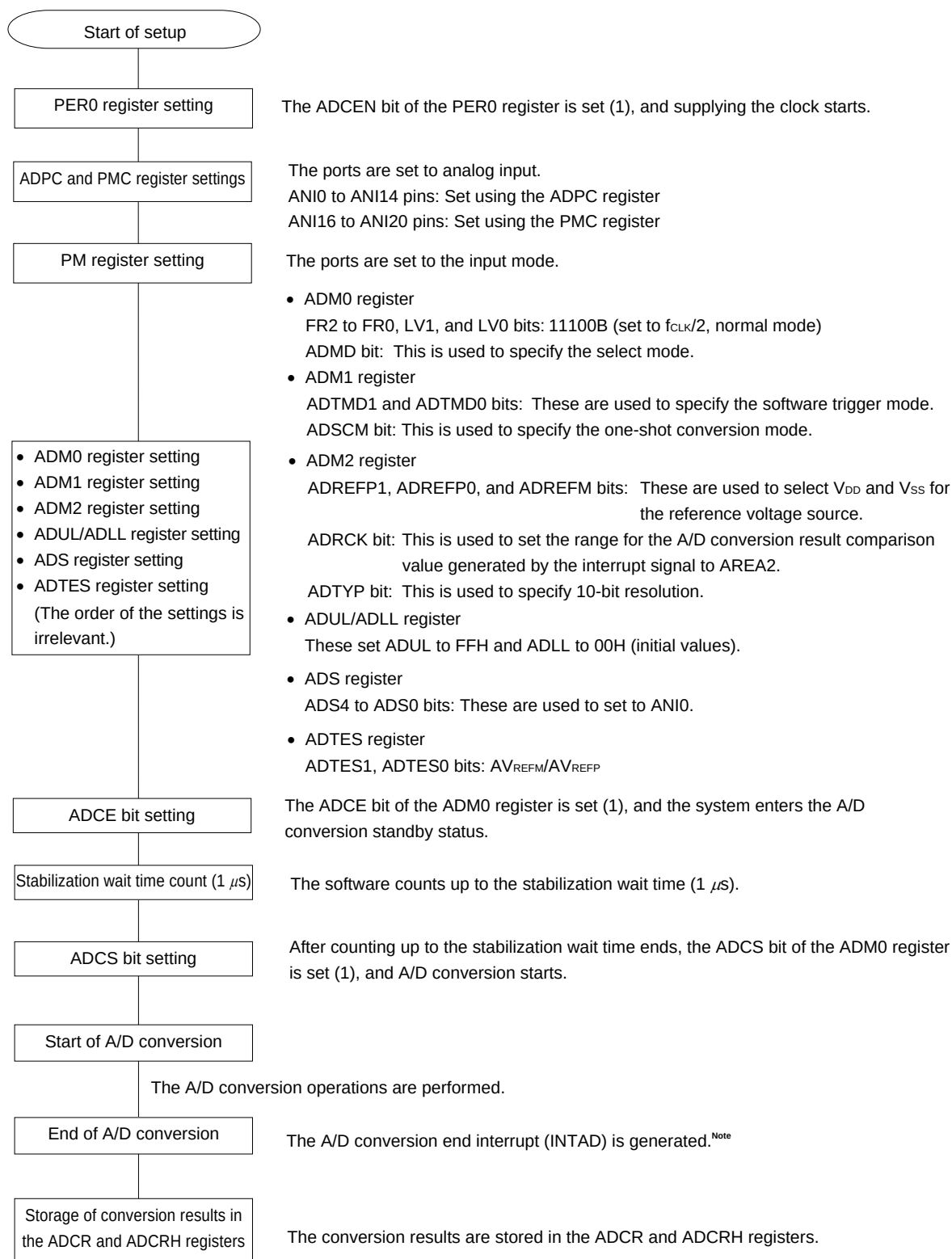
图 14-35. 使用温度传感器时的设置



注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设置, 有可能不产生中断信号。这种情况下, 结果存储于 ADCR、ADCRH 寄存器。

14.7.5 设置测试模式

图 14-36. 设置测试触发模式



注 根据 ADRCK 位和 ADUL/ADLL 寄存器的设置，有可能不产生中断信号。这种情况下，结果存储于 ADCR、ADCRH 寄存器。

14.8 SNOOZE 模式功能

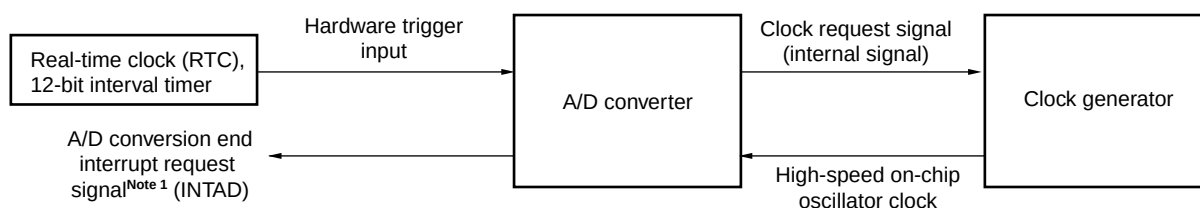
SNOOZE 模式时，通过在 STOP 模式下输入硬件触发来触发 A/D 转换。正常情况下，在 STOP 模式时停止 A/D 转换，但是，在 SNOOZE 模式时，可以在不操作 CPU 的情况下通过输入硬件触发执行 A/D 转换。这样可以有效减少工作电流。

SNOOZE 模式时，仅能使用以下两种转换模式：

- 硬件触发等待模式 (选择模式，单触发转换模式)
- 硬件触发等待模式 (扫描模式，单触发转换模式)

请注意，仅在选用高速片上振荡器时钟作为 f_{CLK} 时可以指定 SNOOZE 模式。

图 14-37. 使用 SNOOZE 模式功能时的框图



使用 SNOOZE 模式功能时，在切换至 STOP 模式之前指定每个寄存器的初始设置。(有关这些设置的详情，请参阅 14.7.3 设置硬件触发等待模式^{注 2}。)此时，A/D 转换器模式寄存器 2(ADM2)的位 2(AWC)被设置为 1。指定初始设置之后，A/D 转换器模式寄存器 0(ADM0)的位 0(ADCE)被设置为 1。

如果在切换至 STOP 模式之后输入硬件触发，则向 A/D 转换器供应高速片上振荡器时钟。供应该时钟之后，系统将自动递增计数至稳定等待时间，然后开始 A/D 转换。

A/D 转换结束后的 SNOOZE 模式操作因是否产生中断信号而有所不同^{注 1}。

- 注 1. 根据 A/D 转换结果比较功能的设置 (ADRCK 位、ADUL/ADLL 寄存器)，有可能不产生中断请求信号。
2. 务必将 ADM1 寄存器设置为 E1H、E2H 或 E3H。

备注 硬件触发为由 ELC 选择的事件、INTRTC 或 INTIT。
通过 A/D 转换器模式寄存器 1(ADM1)指定硬件触发。

(1) 如果在 A/D 转换结束后产生中断

如果 A/D 转换结果值处于 A/D 转换结果比较功能指定的值的范围之内（通过 ADRCK 位和 ADUL/ADLL 寄存器指定），则产生 A/D 转换结束中断请求信号(INTAD)。

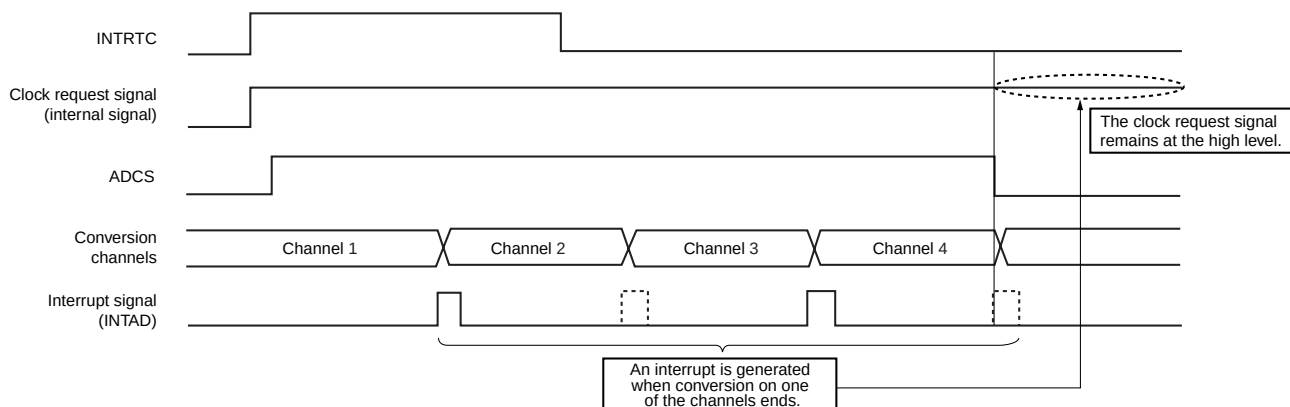
- 当处于选择模式时

在 A/D 转换结束且产生 A/D 转换结束中断请求信号(INTAD) 之后，时钟请求信号保持高电平，A/D 转换器从 SNOOZE 模式切换至正常操作模式。要在 SNOOZE 模式下停止供应高速片上振荡器时钟，可将 A/D 转换器模式寄存器 2(ADM2)的位 2(AWC)清除至 0。这样将时钟请求信号（内部信号）设置为低电平，并停止供应高速片上振荡器时钟。

- 当处于扫描模式时

即使在四个通道的 A/D 转换过程中产生一个 A/D 转换结束中断请求信号(INTAD)，时钟请求信号也保持高电平，A/D 转换器将从 SNOOZE 模式切换至正常操作模式。要在 SNOOZE 模式下停止供应高速片上振荡器时钟，可将 A/D 转换器模式寄存器 2(ADM2)的位 2(AWC)清除至 0。这样将时钟请求信号（内部信号）设置为低电平，并停止供应高速片上振荡器时钟。

图 14-38. A/D 转换结束后产生中断时的操作示例(扫描模式下)



(2) 如果在 A/D 转换结束后不产生中断

如果 A/D 转换结果值处于 A/D 转换结果比较功能指定的值的范围之外（通过 ADRCK 位和 ADUL/ADLL 寄存器指定），则不产生 A/D 转换结束中断请求信号(INTAD)。

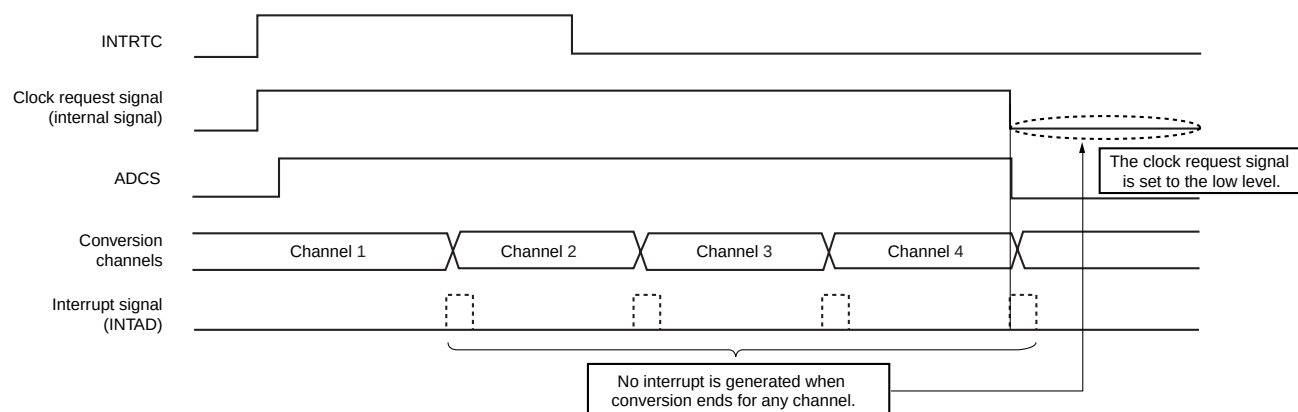
- 当处于选择模式时

如果 A/D 转换结束后未产生 A/D 转换结束中断请求信号(INTAD)，时钟请求信号（内部信号）将被自动设置为低电平，并停止供应高速片上振荡器时钟。如果稍后输入硬件触发，则会再次在 SNOOZE 模式下执行 A/D 转换。

- 当处于扫描模式时

如果未在四个通道的 A/D 转换过程中产生 A/D 转换结束中断请求信号(INTAD)，则时钟请求信号（内部信号）将在四个通道的 A/D 转换结束后被自动设置为低电平，并停止供应高速片上振荡器时钟。如果稍后输入硬件触发，则会再次在 SNOOZE 模式下执行 A/D 转换。

图 14-39. A/D 转换结束后不产生中断时的操作示例(扫描模式下)



14.9 如何阅读 A/D 转换器特性表

以下将解释 A/D 转换器特有的术语。

(1) 分辨率

可以分辨的最低模拟输入电压。即是说，每位数字输出中模拟输入电压的百分比被称为 1LSB（最低有效位）。1LSB 对满量程的比率被表示为 %FSR（满标度量程）。

当分辨率为 10 位时，1LSB 表示如下：

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\%\text{FSR} \end{aligned}$$

精度与分辨率无关，而是取决于整体误差。

(2) 整体误差

整体误差是实际测量值和理论值之间的最大误差值。

将零标度误差、满量程误差、积分线性误差和微分线性误差以及这些组合所产生的误差综合起来，即为整体误差。

请注意，整体误差特性表中不包括量化误差。

(3) 量化误差

当模拟值被转换为数字值时，会自然出现 $\pm 1/2\text{LSB}$ 的误差。在 A/D 转换器中， $\pm 1/2\text{LSB}$ 范围内的模拟输入电压被转换成同样的数字代码，因此量化误差不可避免。

请注意，量化误差不包括在特性表中的整体误差、零标度误差、满量程误差、积分线性误差和微分线性误差之中。

图 14-40. 整体误差

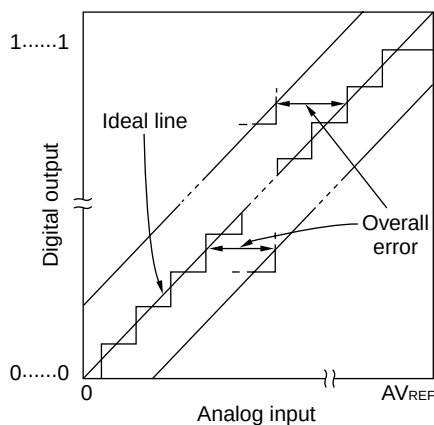
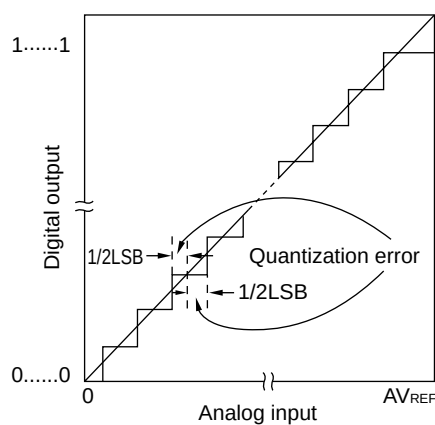


图 14-41. 量化误差



(4) 零标度误差

零标度误差是指当数字输出从 0.....000 变为 0.....001 时，模拟输入电压的实际测量值和理论值(1/2LSB)之间的差值。

如果实际测量值大于理论值，则表示当数字输出从 0.....001 变为 0.....010 时，模拟输入电压的实际测量值和理论值(3/2LSB)之间的差值。

(5) 满量程误差

满量程误差是当数字输出从 1.....110 变为 1.....111 时，模拟输入电压的实际测量值和理论值（满量程 - 3/2LSB）之间的差值。

(6) 积分线性误差

积分线性误差指示转换特性偏离理想线性关系的程度。它表示当零标度误差和满量程误差均为 0 时，实际测量值和理想直线之间的最大误差。

(7) 微分线性误差

微分线性误差是指，输出代码的理想宽度为 1LSB 时，某个代码输出宽度的实际测量值与理想值之间的差值。

图 14-42. 零标度误差

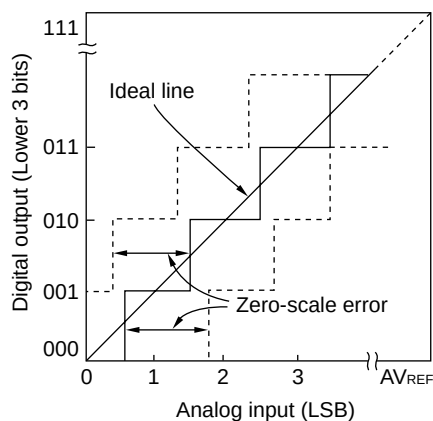


图 14-43. 满量程误差

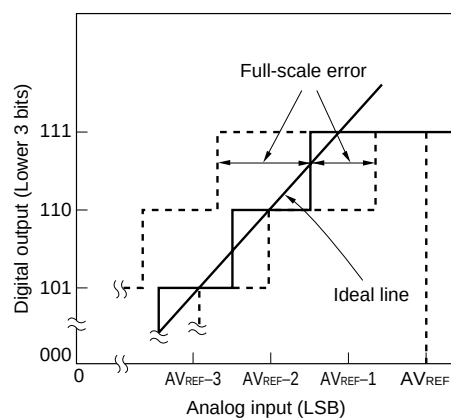


图 14-44. 积分线性误差

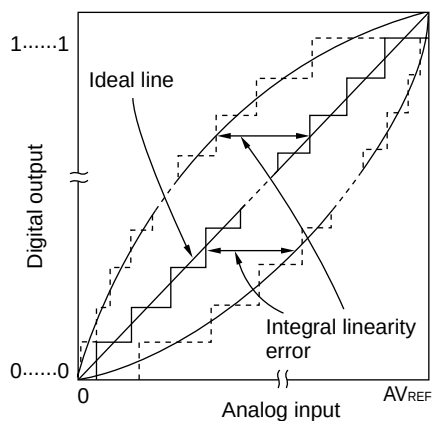
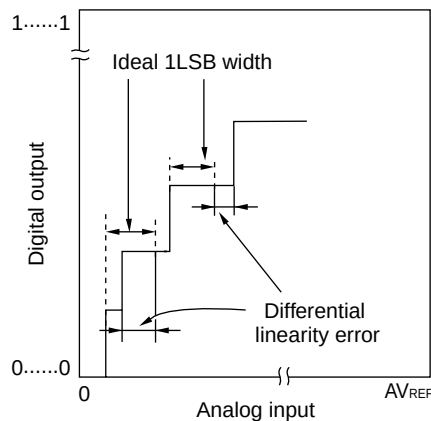


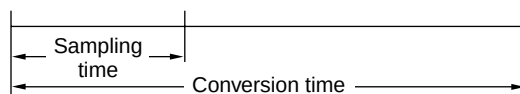
图 14-45. 微分线性误差

**(8) 转换时间**

转换时间是指从开始采样到获得数字输出的时间。
特性表中的转换时间包括采样时间。

(9) 采样时间

采样时间是指为了将模拟电压载入采样&保持电路而打开模拟开关的时间。



14.10 A/D 转换器的注意事项

(1) STOP 模式下的操作电流

停止 A/D 转换器（将 A/D 转换器模式寄存器 0(ADM0)的位 7(ADCS)设置为 0）之后切换至 STOP 模式。同时，可通过将 ADM0 寄存器的位 0(ADCE)设置为 0 来减少工作电流。

从待机状态重启时，将中断请求标志寄存器 1H(IF1H)的位 0(ADIF)清除为 0 之后再开始操作。

(2) ANI0 至 ANI14 和 ANI16 至 ANI20 引脚的输入范围

请遵守 ANI0 至 ANI14 以及 ANI16 至 ANI20 引脚输入电压的额定范围。如果向模拟输入通道输入大于或等于 V_{DD} 和 AV_{REFP} 或者小于或等于 V_{SS} 和 AV_{REFM} 的电压（即使在绝对最大额定范围内），则该通道的转换值将不确定。另外，也可能影响到其他通道的转换值。

选择内部基准电压(1.45 V)作为 A/D 转换器+侧的基准电压源时，不得向 ADS 寄存器选择的引脚输入大于或等于内部基准电压的电压。然而，ADS 寄存器选择的引脚以外的引脚可以承受大于或等于内部基准电压的电压。

(3) 冲突操作

<1> 转换结束时，对于 A/D 转换结果寄存器(ADCR、ADCRH)的写入与通过指令对于 ADCR 或 ADCRH 寄存器的读取之间的冲突

对于 ADCR 或 ADCRH 寄存器的读取优先。读取操作之后，新转换结果被写入 ADCR 或 ADCRH 寄存器。

<2> 转换结束时，对于 ADCR 或 ADCRH 寄存器的写入、对于 A/D 转换器模式寄存器 0(ADM0)的写入、对于模拟输入通道指定寄存器(ADS)或 A/D 端口配置寄存器(ADPC)的写入之间的冲突。

对于 ADM0、ADS 或 ADPC 寄存器的写入优先。不执行对于 ADCR 或 ADCRH 寄存器的写入，也不产生转换结束中断信号(INTAD)。

(4) 噪声对策

为了维持 10 位分辨率，必须注意输入至 AV_{REFP} 、 V_{DD} 、ANI0 至 ANI14 以及 ANI16 至 ANI20 引脚的噪声。

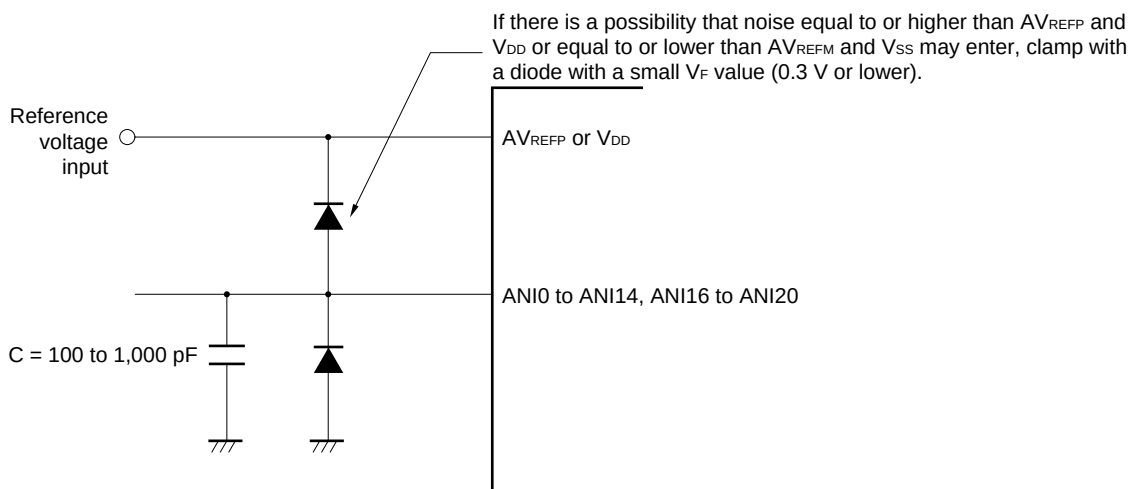
<1> 连接到电源的电容器请使用具备等效电阻低且良好的频率响应的电容器。

<2> 模拟输入源的输出阻抗越高，影响越大。如图 14-46 所示，建议外接 C 以减少噪声。

<3> 转换过程中，不要将与其他引脚进行切换。

<4> 转换开始后立即设置为 HALT 模式可以提高精度。

图 14-46. 模拟输入引脚的连接



(5) 模拟输入 (ANIn) 引脚

<1> 模拟输入引脚 (ANI0 至 ANI14、ANI16 至 ANI20) 也用作输入端口引脚 (P20 至 P27、P03、P02、P147、P120、P100、P150 至 P156)。

选择 ANI0 至 ANI14 以及 ANI16 至 ANI20 引脚中的任意一个引脚并对其执行 A/D 转换时，不要在转换过程中存取引脚 P20 至 P27、P03、P02、P147、P120、P100、P150 至 P156。否则，可能导致转换分辨率下降。

<2> 对正在执行 A/D 转换的引脚相邻的引脚施加数字脉冲的话，由于耦合噪声的影响，可能无法取得预期的 A/D 转换值。因此，不要对正在执行 A/D 转换的引脚的相邻引脚施加脉冲。

(6) 模拟输入(ANIn)引脚的输入阻抗

A/D 转换器在采样时间对于内部的采样电容充电，并进行采样。

因此，不进行采样时仅通过漏电流，采样时还通过对于电容充电的电流。所以输入阻抗将依据是否进行采样而产生波动。

然而，为了保证采样有效，建议将模拟输入源的输出阻抗保持在 $1\text{k}\Omega$ 以内，并且在高输出阻抗时将大约 100pF 的电容器连接至 ANI0 至 ANI14 以及 ANI16 至 ANI20 引脚(参阅 图 14-46)。

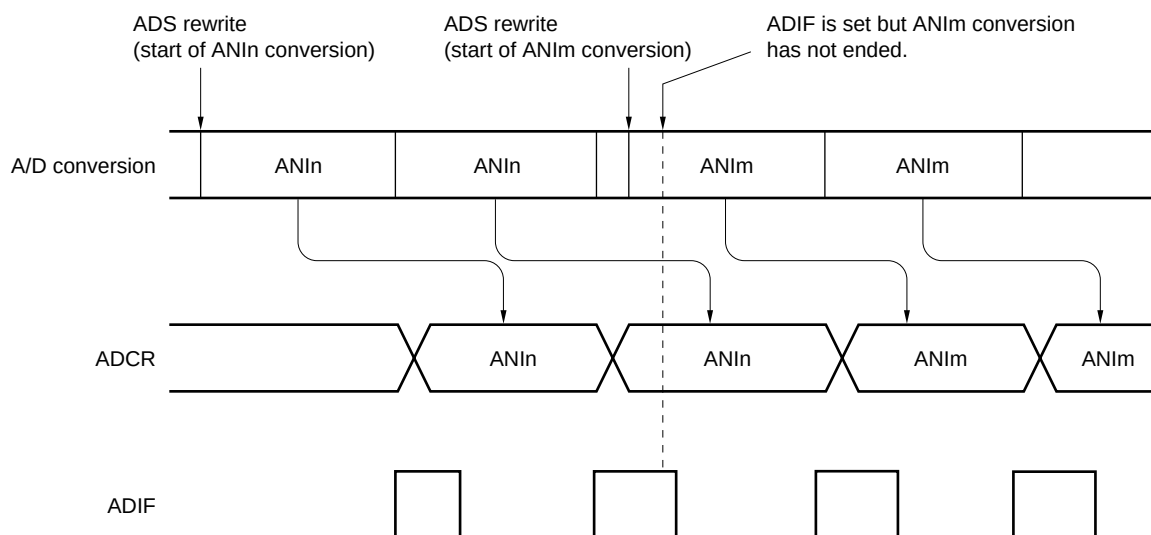
(7) 中断请求标志(ADIF)

即使更改模拟输入通道指定寄存器(ADS)，中断请求标志(ADIF)也不会被清除。

因此，A/D 转换过程中更改了模拟输入引脚时，重写 ADS 寄存器之前，变更前的模拟输入的 A/D 转换结果和 ADIF 标志有可能被设置。因此，重写 ADS 寄存器之后立即读取 ADIF 标志时，要注意即使变更后的模拟输入的 A/D 转换尚未结束 ADIF 标志也已经被设置。

另外，暂时停止 A/D 转换并且恢复时，须在恢复 A/D 转换之前清除 ADIF 标志。

图 14-47. 产生 A/D 转换结束中断请求的时序

**(8) A/D 转换开始后的初次转换结果**

当在软件触发模式或硬件触发无等待模式时，如果在 ADCE 位设置为 1 之后的 1 μ s 内将 ADCS 位设置为 1，则开始 A/D 转换操作后初次产生的 A/D 转换值可能不在额定范围内。须采取例如轮询 A/D 转换结束中断请求(INTAD)以舍弃初次的转换结果等措施。

(9) A/D 转换结果寄存器(ADCR、ADCRH)的读取操作

对于 A/D 转换器模式寄存器 0(ADM0)、模拟输入通道指定寄存器(ADS)、A/D 端口配置寄存器(ADPC)以及端口模式控制寄存器(PMC) 执行写操作时，ADCR 和 ADCRH 寄存器的内容可能不确定。转换操作结束后，对于 ADM0、ADS、ADPC 或 PMC 寄存器执行写操作之前读取转换结果。如果不在上述时机执行，则可能读取错误的转换结果。

(10) 内部等效电路

模拟输入模块的等效电路如下所示。

图 14-48. ANIn 引脚的内部等效电路

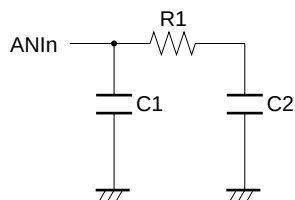


表 14-6. 等效电路的电阻和电容值 (基准值)

AV _{REFP} , V _{DD}	ANIn引脚	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V ≤ V _{DD} ≤ 5.5 V	ANI0 至 ANI14	14	8	2.5
	ANI16 至 ANI20	18	8	7.0
2.7 V ≤ V _{DD} < 3.6 V	ANI0 至 ANI14	39	8	2.5
	ANI16 至 ANI20	53	8	7.0
1.8 V ≤ V _{DD} < 2.7 V	ANI0 至 ANI14	231	8	2.5
	ANI16 至 ANI20	321	8	7.0
1.6 V ≤ V _{DD} < 2.7 V	ANI0 至 ANI14	632	8	2.5
	ANI16 至 ANI20	902	8	7.0

备注 表 14-6 所示电阻和电容值均非保证值。

(11) 开始 A/D 转换器的操作

在 AV_{REFP} 和 V_{DD} 的电压稳定后，开始进行 A/D 转换器的操作。

(12) 温度传感器的输出

如果将内部基准电压(1.45 V)选为具有 96 KB 或更多代码闪存的产品中的比较器 0 或比较器 1 的基准电压，则不能选择温度传感器输出。

第十五章 D/A 转换器

D/A 转换器是一款 8 位分辨率的 R-2R 型器件，用于将数字输入转换成模拟信号。该转换器用于控制两个独立通道的模拟输出。D/A 输出引脚的数目因产品而异。每种产品的输出引脚配置如表 15-1 所示。

表 15-1. D/A 转换器的输出引脚配置

D/A 输出 引脚	R5F104xA (x = A 至 C, E 至 G)	R5F104xC (x = A 至 C, E 至 G, J, L)	R5F104xD (x = A 至 C, E 至 G, J, L)	R5F104xE (x = A 至 C, E 至 G, J, L)	R5F104AF	R5F104xF (x = B, C, E 至 G, J, L, M, P)	R5F104AG	R5F104xG (x = B, C, E 至 G, J, L, M, P)	R5F104xH (x = E 至 G, J, L, M, P)	R5F104xJ (x = F, G, J, L, M, P)
ANO0	—	—	—	—	√	√	√	√	√	√
ANO1	—	—	—	—	—	√	—	√	√	√

15.1 D/A 转换器的功能

A/D 转换器具有以下功能。

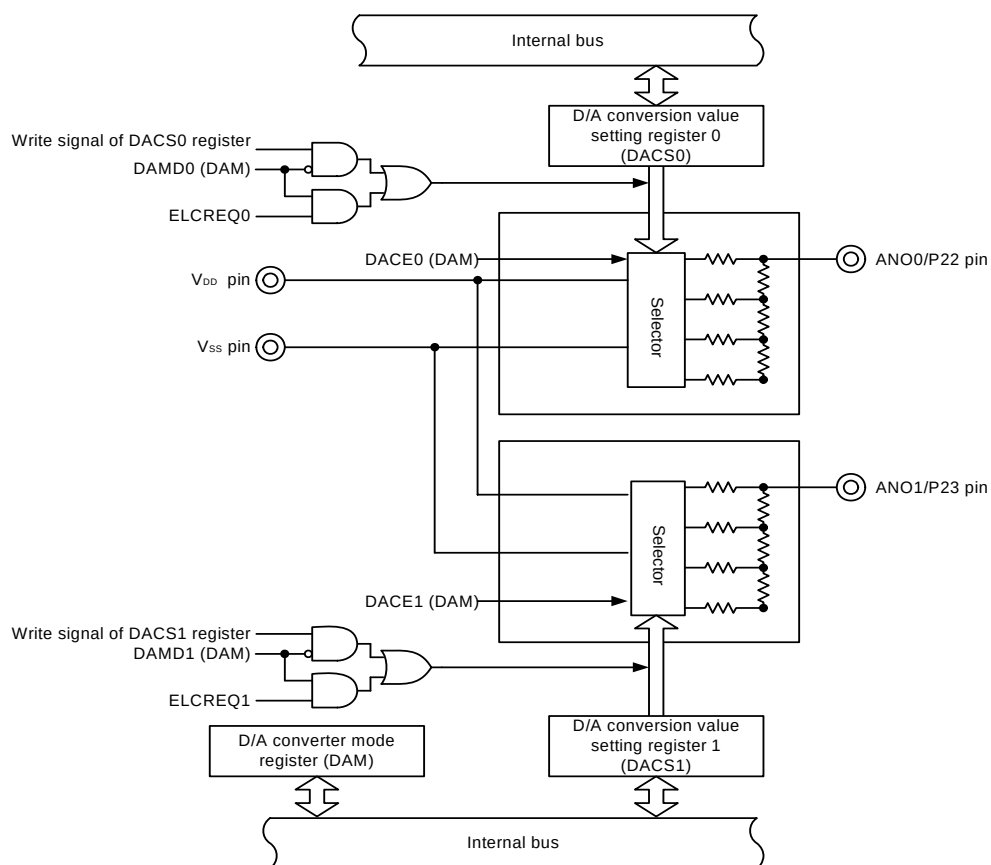
- 8 位分辨率×2 通道
- R-2R 梯形电阻网络方式
- 输出模拟电压
 - 8 位分辨率： $V_{DD} \times m8/256$ (m8: DACSi 寄存器的设置值)
- 操作模式
 - 正常模式
 - 实时输出模式

备注 i = 0, 1

15.2 D/A 转换器的配置

D/A 转换器的框图如图 15-1 所示。

图 15-1. D/A 转换器的框图



备注 ELCREQ0和ELCREQ1是用于实时输出模式中的触发信号 (来自ELC的请求信号)。

15.3 A/D 转换器的配置

D/A 转换器使用以下的五种寄存器。

- A/D 端口配置寄存器 (ADPC)
- 外围允许寄存器 1 (PER1)
- D/A 转换器模式寄存器 (DAM)
- D/A 转换值设置寄存器 0、1 (DACS0, DACS1)
- 端口模式寄存器 2 (PM2)

(1) A/D 端口配置寄存器 (ADPC)

该寄存器将 ANI0/P20 至 ANI7/P27 引脚切换到模拟输入或端口数字输入/输出。

ADPC 寄存器可利用一条 8 位存储器操作指令进行设置。

通过产生复位信号，将本寄存器清除为 00H。

图 15-2. A/D 端口配置寄存器 (ADPC)的格式

地址: F0076H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	模拟输入/输出 (A) 和数字输入/输出 (D) 的切换							
				ANI7/P27	ANI6/P26	ANI5/P25	ANI4/P24	ANO1/ANI3/P23	ANO0/ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	A	A
0	1	0	0	D	D	D	D	D	A	A	A
0	1	0	1	D	D	D	D	A	A	A	A
0	1	1	0	D	D	D	A	A	A	A	A
0	1	1	1	D	D	A	A	A	A	A	A
1	0	0	0	D	A	A	A	A	A	A	A
其它				禁止设置							

注意事项 1. 通过端口模式寄存器 2 (PM2) 将用于 A/D 转换的通道设为输入模式。

2. 对于通过 ADPC 寄存器被设置为数字 I/O 的引脚，不要用 D/A 转换器模式寄存器(DAM)将其设置为 D/A 转换操作允许。

(2) 外围允许寄存器 1 (PER1)

PER1 寄存器用于允许或禁止向每个外围硬件供应时钟。同时停止向未使用的硬件供应时钟，以减少功耗和噪声。

当使用 D/A 转换器时，务必将该寄存器的位 7 (DACEN) 设为 1。

PER1 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号，将本寄存器清除为 00H。

图 15-3. 外围允许寄存器 1 (PER1)的格式

地址: F007AH 复位后: 00H

符号	<7>	<6>	<5>	<4>	<3>	2	1	<0>
PER1	DACEN ^注	TRGEN	CMPE ^注	TRD0EN	DTCEN	0	0	TRJ0EN

DACEN	D/A 转换输入时钟的控制	R/W
0	停止输入时钟供应。 • 不能写入 D/A 转换器所使用的 SFR。 • D/A 转换器处于复位状态。	R/W
1	供应输入时钟。 • 能写入 D/A 转换器所使用的 SFR。	

注 仅限代码闪存为 96 KB 或更大的产品。

注意事项 1. 当设置 D/A 转换器时，务必将该寄存器的 DACEN 位设为 1。如果 DACEN = 0，则对 D/A 转换器的控制寄存器进行的写操作将被忽略，所有读取值均为初始值（端口模式寄存器 2 (PM2) 和端口寄存器 2 (P2) 除外）。

2. 确保下列位清为 0。

代码闪存为 64 KB 或更小的产品：位 1、2、5 和 7

代码闪存为 96 KB 或更大的产品：位 1 和 2

(3) D/A 转换器模式寄存器 (DAM)

该寄存器控制 D/A 转换器的操作。

DAM 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号，将本寄存器清除为 00H。

图 15-4. D/A 转换器模式寄存器 (DAM)的格式

地址: FFF36H 复位后: 00H

符号	7	6	<5>	<4>	3	2	1	0
DAM	—	—	DACE1	DACE0	—	—	DAMD1	DAMD0

DACEi	D/A转换器的操作模式的控制	R/W
0	停止D/A转换操作	R/W
1	允许D/A转换操作	

DAMDi	选择D/A转换器的操作模式	R/W
0	正常模式	R/W
1	实时输出模式	

备注 i = 0, 1

(4) D/A 转换值设置寄存器 i (DACS*i*) (i = 0, 1)

当使用 D/A 转换器时，该寄存器用来设置输出到 ANO0 和 ANO1 引脚的模拟电压值。

DACS*i* 寄存器可利用一条 8 位存储器操作指令进行设置。

通过产生复位信号，将本寄存器清除为 00H。

图 15-5. D/A 转换值设置寄存器 i (DACS*i*) (i = 0, 1)的格式

地址：FFF34H (DACS0), FFF35H (DACS1) 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
DACS <i>i</i>	DACS <i>i</i> 7	DACS <i>i</i> 6	DACS <i>i</i> 5	DACS <i>i</i> 4	DACS <i>i</i> 3	DACS <i>i</i> 2	DACS <i>i</i> 1	DACS <i>i</i> 0

备注 D/A 转换器的分辨率和模拟输出电压 (VANO*i*) 间的关系如下所示。

$$VANO_i = \text{D/A 转换器的基准电压} \times (DACS_i) / 256$$

当未使用 D/A 转换器时，须将 DACE*i* 位设为 0（禁止输出）并将 DACSi 寄存器设为 00H，以防止电流流入 R-2R 梯形电阻，从而减少不必要的电流消耗。

(5) 端口模式寄存器 2 (PM2)

当使用 ANO0/ANI2/P22 和 ANO1/ANI3/P23 引脚作为模拟输入端口时，将 PM22 和 PM23 位设置为 1。

如果 PM22 和 PM23 位被设置为 0，则这些引脚不能用作模拟输入端口。

PM2 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

产生复位信号时会将该寄存器设置为 FFH。

注意事项 如果一个引脚被设置为模拟输入端口，则读取的始终不是引脚电平而是 0。

图 15-6. 端口模式寄存器 2 (PM2)的格式

地址：FFF22H 复位后：FFH

符号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	选择 P2n 引脚的输入/输出模式 (n = 0 至 7)	R/W
0	输出模式 (输出缓冲上电)	R/W
1	输入模式 (输出缓冲掉电)	

ANO0/ANI2/P22 至 ANO1/ANI3/P23 引脚的功能可通过 A/D 端口配置寄存器(ADPC)、D/A 转换器模式寄存器、模拟输入通道指定寄存器 (ADS) 和端口模式寄存器 2 (PM2) 来选择。

表 15-2. 设置 ANO0/ANI2/P22 至 ANO1/ANI3/P23 引脚功能

ADPC	PM2	DAM	ADS	ANO0/ANI2/P22 至 ANO1/ANI3/P23 引脚功能
数字 I/O 选择	输入模式	—	—	数字输入
	输出模式	—	—	数字输出
模拟 I/O 选择	输入模式	允许 D/A 转换操作	选择 ANI。	禁止设置
			不选择 ANI。	模拟输出
		停止 D/A 转换操作	选择 ANI。	模拟输出 (被转换)
			不选择 ANI。	模拟输出 (不被转换)
	输出模式	允许 D/A 转换操作	选择 ANI。	禁止设置
			不选择 ANI。	
		停止 D/A 转换操作	选择 ANI。	
			不选择 ANI。	

15.4 D/A 转换器的操作

15.4.1 正常模式时的操作

对于 DACSi 寄存器的写操作为触发，执行 D/A 转换。

设置方式如下所示。

- <1> 将 PER1 寄存器（外围允许寄存器 1）的 DACEN 位设置为 1，以开始向 D/A 转换器供应输入时钟。
- <2> 用 ADPC 寄存器（端口配置寄存器）将端口设置为模拟引脚。
- <3> 将 DAM 寄存器（D/A 转换器模式寄存器）的 DAMDi 位设置为 0（正常模式）。
- <4> 向 DACSi 寄存器设置输出到 ANOi 引脚的模拟电压值 (D/A 转换值设置寄存器 i)。

上面的第<1>和第<4>步构成初始设置。

- <5> 将 DAM 寄存器的 DACEi 位设置为 0（允许 D/A 转换）。
开始 D/A 转换，然后，在经过建立时间之后，第<4>步时设置的模拟电压被输出至 ANOi 引脚。
- <6> 写入 DACSi 寄存器，以执行后续 D/A 转换。

前面的 D/A 转换结果将被保留至执行下次 D/A 转换为止。

当 DAM 寄存器的 DACEi 位被设置为 0（停止 D/A 转换操作）时，D/A 转换停止。

如果使用 ADPC 寄存器将端口设置为数字引脚，则在端口中 PM2 寄存器的 PM2i 位= 1（输入模式）时，ANOi 引脚将进入高阻抗状态，当 PM2i 位= 0（输出模式）时，ANOi 引脚将输出 PM2 寄存器的设置值。

- 注意事项**
1. 即使将 DACEi 位依次设置为 1、0 和 1，在最后一次设置 1 之后，也会发生等待。
 2. 如果 DACSi 寄存器在建立时间期间被重写，则中止 D/A 转换，并开始用重写值来重新转换。

备注 i = 0, 1

15.4.2 实时输出模式时的操作

来自 ELC 的各个中断请求信号作为触发, 针对各个通道执行 D/A 转换。

设置方式如下所示。

- <1> 将 PER1 寄存器（外围允许寄存器 1）的 DACEN 位设置为 1, 以开始向 D/A 转换器供应输入时钟。
- <2> 用 ADPC 寄存器（端口配置寄存器）将端口设置为模拟引脚。
- <3> 将 DAM 寄存器（D/A 转换器模式寄存器）的 DAMDi 位设置为 0（正常模式）。
- <4> 向 DACSi 寄存器设置输出到 ANOi 引脚的模拟电压值 (D/A 转换值设置寄存器 i)。
- <5> 将 DAM 寄存器的 DACEi 位设置为 0（允许 D/A 转换）。
- 开始 D/A 转换, 然后, 在经过建立时间之后, 第<3>步时设置的模拟电压被输出至 ANOi 引脚。
- <6> 用 ELSELR 寄存器（ELC 控制寄存器）来设置实时触发信号。
- <7> 将 DAM 寄存器的 DAMDi 位设置为 1（实时输出模式）。
- <8> 开始操作 ECL 请求源。

上面的第<1>至第<8>步构成初始设置。

- <9> 产生实时输出触发时, 开始 D/A 转换, 第<4>步时设置的模拟电压将在经过建立时间之后被输出至 ANOi 引脚。

执行下一个 D/A 转换前 (产生实时输出触发), 向 DACSi 寄存器设置输出到 ANOi 引脚的模拟电压值。

执行下一个 D/A 转换前 (产生 ELC 触发信号), 向 DACSi 寄存器设置输出到 ANOi 引脚的模拟电压值。

当 DAM 寄存器的 DACEi 位被设置为 0（停止 D/A 转换操作）时, D/A 转换停止。

如果使用 ADPC 寄存器将端口设置为数字引脚, 则在端口中 PM2 寄存器的 PM2i 位= 1（输入模式）时, ANOi 引脚将进入高阻抗状态, 当 PM2i 位= 0（输出模式）时, ANOi 引脚将输出 PM2 寄存器的设置值。

- 注意事项**
- 1. 即使将 DACEi 位依次设置为 1、0 和 1, 在最后一次设置 1 之后, 也会发生等待。
 - 2. 使产生 ELC 事件请求触发信号的间隔比建立时间长。如果在建立时间期间产生了 ELC 事件请求触发信号, 则中止 D/A 转换, 并开始重新转换。
 - 3. 即使 ELC 事件请求触发信号的产生与 DACSi 寄存器的重写相冲突, 也输出 D/A 转换结果。

15.5 D/A 转换器使用上的注意事项

使用 D/A 转换器时遵守以下的注意事项。

- (1) 数字端口 I/O 功能是 ANO0 和 ANO1 引脚的复用功能，使用 ADPC 寄存器（端口配置寄存器）将端口设置为模拟引脚的情况下，该功能无效。使用 ADPC 寄存器将端口设置为模拟引脚的情况下，如果对 P2 寄存器进行读取操作，则在输入模式下，读取值为 0，输出模式下，读取值则为 P2 寄存器的设置值。如果设置为数字输出模式，则不向引脚输出数据。
- (2) HALT 和 STOP 模式下继续执行 D/A 转换器的操作。因此，要降低功耗，可将 DACEi 位清除至 0，并在停止 D/A 转换器操作之后执行 HALT 或 STOP 指令。

备注 i = 0, 1

- (3) 必须使用以下步骤中的一个来停止实时输出模式（包括更改为正常模式时）：
 - 在停止触发输出源之后，至少等待三个时钟，然后将 DACEi 和 DAMDi 位设置为 0。
 - 在设置 DACEi 和 DAMDi 位之后，将 PER1 寄存器的 DACEN 位设置为 0（停止 DAC）。
 - 当 DACEN 位被设置为 0 时，DAC 中的所有寄存器均将被清除，因此，需要设置 SFR 以再次开始操作。
- (4) 当允许 D/A 转换操作时，不要在复用于 ANO0 和 ANO1 引脚的模拟输入引脚执行 A/D 转换。
- (5) 在实时输出模式下，在产生定时器触发之前，设置 DACSi 寄存器的值。当输出触发信号时，不要更改 DACSi 寄存器的设置值。
- (6) 由于 D/A 转换器的输出阻抗高，因此电流不能从 ANO0 或 ANO1 引脚流出。如果负载的输入阻抗低，则须在使用之前在负载与 ANO0 和 ANO1 引脚之间插入一个跟踪放大器。另外，由于高输出阻抗的影响，必须尽量缩短跟踪放大器与负载之间的线长。如果布线较长，则须采取相应的措施，例如在布线区周围设置接地布局。
- (7) 在允许 D/A 转换的实时输出事件模式的情况下进入 STOP 模式时，要在进入该模式之前禁止 ELC 事件的连接。

第十六章 比较器

比较器对于基准输入电压和模拟输入电压进行比较。由两个独立的比较器构成：比较器 0 和比较器 1。比较器通道的数目因产品而异。具有片上比较器的产品一览如表 16-1 所示。

表 16-1. 具有片上比较器的产品一览

引脚	R5F104xA (x = A 至 C, E 至 G)	R5F104xC (x = A 至 C, E 至 G, J, L)	R5F104xD (x = A 至 C, E 至 G, J, L)	R5F104xE (x = A 至 C, E 至 G, J, L)	R5F104xF (x = A 至 C, E 至 G, J, L, M, P)	R5F104xG (x = A 至 C, E 至 G, J, L, M, P)	R5F104xH (x = E 至 G, J, L, M, P)	R5F104xJ (x = F, G, J, L, M, P)
IVREF	—	—	—	—	2 通道	2 通道	2 通道	2 通道
IVCMP	—	—	—	—	2 通道	2 通道	2 通道	2 通道
VCOUT	—	—	—	—	2 通道	2 通道	2 通道	2 通道

16.1 概要

可以通过软件读取基准输入电压和模拟输入电压的比较结果。另外，还可以向外部输出比较结果。基准输入电压可从 IVREF_i (i = 0 或 1) 引脚的输入和 LSI 中产生的内部基准电压 (1.45 V) 两者之间选择。也可选择窗口比较器操作。

可以在开始操作之前设置比较器的响应速度。设置高速模式将减少响应延迟时间，但会增加电流消耗。设置低速模式将增加响应延迟时间，但会降低电流消耗。不能单独对比较器 0 和比较器 1 设置比较器响应速度。

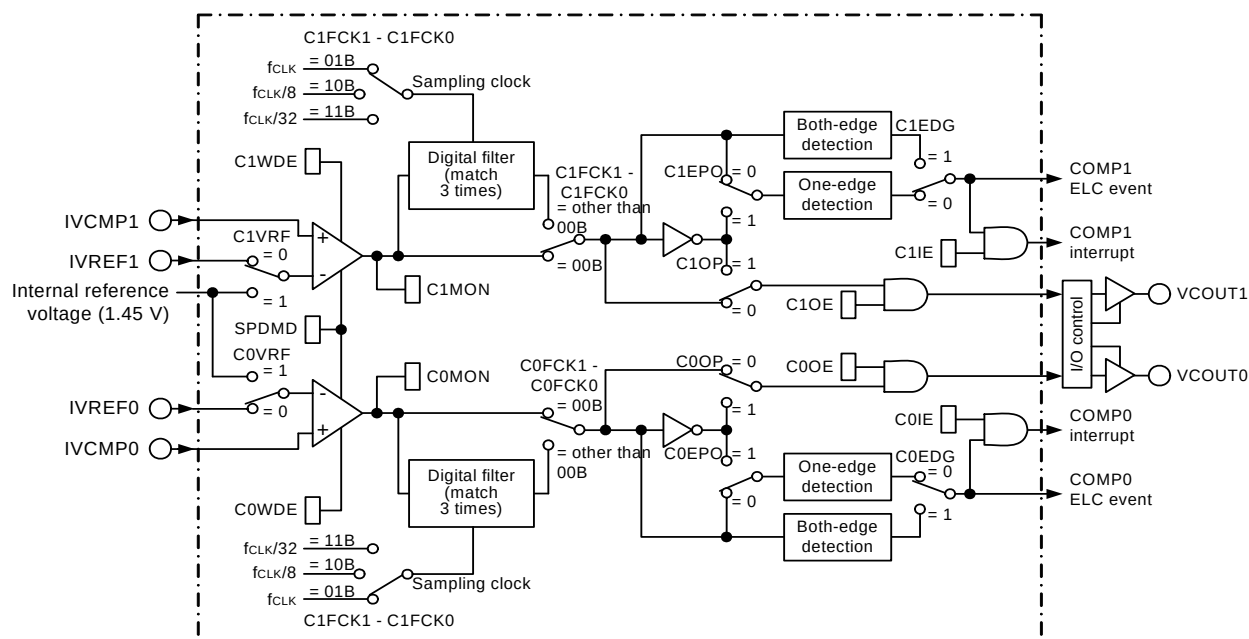
比较器的规格如表 16-2 所示，比较器的框图如图 16-1 所示。

表 16-2. 比较器的规格

项目	规格
模拟输入电压	IVCMP _i 引脚的输入电压
基准输入电压	IVREF _i 引脚的输入电压或者 LSI 内部产生的基准电压
转换结果	从 COMPMDR 寄存器中的 CiMON 位读取 可以向外部输出比较结果。
中断请求产生	检测到比较器输出变化时产生一个中断请求和一个 ELC 事件。
可选择功能	比较器功能：可选择窗口比较器操作/标准比较器操作。 数字滤波器功能：为数字滤波器选择采样频率。中断请求发生条件：可为比较器输出变化选择上升沿/下降沿/双边沿。基准输入电压：可选择 IVREF _i 引脚输入/内部基准电压 (1.45 V) (内部产生)。 比较器响应速度：可选择高速模式/低速模式。

备注 i = 0, 1

图 16-1. 比较器的框图



备注 C1MON, C0MON, C1VRF, C0VRF, C1WDE, C0WDE: COMPMDR寄存器的位
 C1FCK1, C1FCK0, C0FCK1, C0FCK0, C1EDG, C0EDG, C1EPO, C0EPO: COMPFIR寄存器的位
 SPDMD, C1PO, C0PO, C1OE, C0OE, C1IE, C0IE: COMPOCR寄存器的位

16.2 输入/输出引脚

比较器的引脚配置如表16-3所示。

图 16-3. 比较器引脚的配置

引脚名称	输入/输出	功能
IVCMP0	输入	比较器 0 模拟引脚
IVREF0	输入	比较器 0 外部基准电压引脚
IVCMP1	输入	比较器 1 模拟引脚
IVREF1	输入	比较器 1 外部基准电压引脚
VOUT0	输出	比较器 0 输出
VOUT1	输出	比较器 1 输出

16.3 寄存器

比较器的寄存器配置如表 16-4 所示。

表 16-4. 比较器的寄存器配置

寄存器名称	符号	复位后	地址	存取大小
外围允许寄存器 1	PER1	00H	F007AH	8
比较器模式设置寄存器	COMPMDR	00H	F0340H	8
比较器滤波器控制寄存器	COMPFIR	00H	F0341H	8
比较器输出控制寄存器	COMPOCR	00H	F0342H	8
端口模式控制寄存器 1	PMC1	00H	F0061H	8
端口模式寄存器 1	PM1	FFH	FFF21H	8
端口模式寄存器 12	PM12	FFH	FFF2CH	8
端口模式寄存器 14	PM14	FFH	FFF2EH	8
端口寄存器 1	P1	00H	FFF01H	8
端口寄存器 12	P12	不确定	FFF0CH	8
端口寄存器 14	P14	00H	FFF0EH	8

(1) 外围允许寄存器 1(PER1)

PER1 寄存器用于允许或禁止向每个外围硬件供应时钟用。同时停止向未使用的硬件供应时钟，以减少功耗和噪声。

当使用比较器时，务必确实设置该寄存器的位 5 (CMPEN) 为 1。

PER1 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号，将本寄存器清除为 00H。

图 16-2. 外围允许寄存器 1(PER1)的格式

地址: F007AH 复位后: 00H

符号	<7>	<6>	<5>	<4>	<3>	2	1	<0>
PER1	DACEN ^注	TRGEN	CMPEN ^注	TRD0EN	DTCEN	0	0	TRJ0EN

CMPEN	比较器的输入时钟的控制	R/W
0	停止输入时钟供应。 • 不能写入比较器所使用的 SFR。 • 比较器处于复位状态。	R/W
1	供应输入时钟。 • 能读取/写入比较器所使用的 SFR。	

注 仅限代码闪存为 96 KB 或更大的产品。

注意事项 1. 要设置比较器，务必首先将 CMPEN 位设置为“1”。如果 CMPEN = 0，则对比较器的控制寄存器进行的写操作将被忽略，所有读取值均为初始值（端口模式寄存器 1、12、14（PM1、PM12、PM14）和端口寄存器 1、12、14（P1、P12、P14）除外）。

2. 确保下列位清为 0。

代码闪存为 64 KB 或更小的产品：位 1、2、5 和 7

代码闪存为 96 KB 或更大的产品：位 1 和 2

(2) 比较器模式设置寄存器(COMPMDR)

图 16-3. 比较器模式设置寄存器(COMPMDR)的格式

地址: F0340H 复位后: 00H

符号	<7>	6	5	<4>	<3>	2	1	<0>
COMPMDR	C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB

C1MON	比较器 1 监控标志 ^{注 3}							R/W
0	正常模式时： IVCMP1 < 停止比较器 1 基准电压或比较器 1 窗口模式时： IVCMP1 < 低电压基准或 IVCMP1 > 高电压基准							R
1	正常模式时： IVCMP1 >比较器 1 基准电压 窗口模式时： 低电压基准 < IVCMP1 < 高电压基准							

C1VRF	比较器1基准电压选择 ^{注 1,4}							R/W
0	比较器1基准电压为IVREF1输入							R/W
1	比较器1基准电压为内部基准电压 (1.45 V)							

C1WDE	比较器1窗口模式选择 ^{注 2}							R/W
0	比较器1正常模式							R/W
1	比较器1窗口模式							

C1ENB	允许比较器1操作							R/W
0	禁止比较器1操作							R/W
1	允许比较器1操作							

C0MON	比较器0监控标志 ^{注 3}							R/W
0	正常模式时： IVCMP0 < 停止比较器 0 基准电压或比较器 0 窗口模式时： IVCMP0 < 低电压基准或 IVCMP0 > 高电压基准							R
1	正常模式时： IVCMP0 >比较器 0 基准电压 窗口模式时： 低电压基准 < IVCMP0 < 高电压基准							

(注如下页所示。)

C0VRF	比较器0基准电压选择 ^{注1,4}	R/W
0	比较器0基准电压为IVREF0输入	R/W
1	比较器0基准电压为内部基准电压 (1.45 V)	

C0WDE	比较器0窗口模式选择 ^{注2}	R/W
0	比较器0正常模式	R/W
1	比较器0窗口模式	

C0ENB	允许比较器0操作	R/W
0	禁止比较器0操作	R/W
1	允许比较器0操作	

- 注 1.** 仅在选择标准模式时有效。在窗口模式下，无论该位的设置如何，都选择比较器中的基准电压。
- 2.** 在选择低速模式时，不能设置窗口模式（COMPOCR 寄存器中的 SPDMD 位为 0）。
- 3.** 解除复位后的瞬间初始值为 0。然而，当 C0ENB 被设置为 0 时，该值不确定，在允许比较器的操作后 C1ENB 立刻被设置为 0。
- 4.** 在 HS(高速主)模式下可以选择。当在 HS（高速主）模式下选择内部基准电压(1.45 V)时，不可为 A/D 转换器选择温度传感器输出。

(3) 比较器滤波器控制寄存器(COMPFR)

图 16-4. 比较器滤波器控制寄存器(COMPFR)的格式

地址: F0341H 复位后: 00H

符号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0

C1EDG	比较器 1 沿检测选择 ^{注 1}							R/W
0	来自比较器1单沿检测的中断请求							R/W
1	来自比较器1双沿检测的中断请求							

C1EPO	比较器1沿极性切换 ^{注 1}							R/W
0	比较器1上升沿处的中断请求							R/W
1	比较器1下降沿处的中断请求							

C1FCK1	C1FCK0	比较器1滤波器选择 ^{注 1}					R/W
0	0	没有比较器1滤波器					R/W
0	1	有比较器1滤波器，f _{CLK} 处采样					
1	0	有比较器1滤波器，f _{CLK} /8处采样					
1	1	有比较器1滤波器，sf _{CLK} /32处采样					

C0EDG	比较器0沿检测选择 ^{注 2}							R/W
0	来自比较器0单沿检测的中断请求							R/W
1	来自比较器0双沿检测的中断请求							

C0EPO	比较器0沿极性切换 ^{注 2}							R/W
0	比较器0上升沿处的中断请求							R/W
1	比较器0下降沿处的中断请求							

C0FCK1	C0FCK0	比较器 0 滤波器选择 ^{注 2}					R/W
0	0	没有比较器0滤波器					R/W
0	1	有比较器0滤波器，f _{CLK} 处采样					
1	0	有比较器0滤波器，f _{CLK} /8处采样					
1	1	有比较器0滤波器，sf _{CLK} /32处采样					

- 注 1.** 如果 C1FCK1 至 C1FCK0 位、C1EPO 位以及 C1EDG 位改变, 则可能产生一个比较器 1 中断请求和一个 ELC 事件。仅在设置 ELC 的 ELSELR25 寄存器为 0 (不连接至比较器 1 输出) 之后, 才能更改这些位。另外, 在更改这些位之后, 要在中断控制寄存器中初始化标志位 CMPIF1 (不请求中断)。
- 如果 C1FCK1 至 C1FCK0 位从 00B (无比较器 1 滤波器) 改变为不同于 00B 的值 (允许比较器 1 滤波器), 在滤波器输出更新之前, 允许经过四个采样时间, 然后使用比较器 1 中断请求或 ELC 事件。
- 2.** 如果 C0FCK1 至 C0FCK0 位、C0EPO 位以及 C0EDG 位改变, 则可能产生一个比较器 0 中断请求和一个 ELC 事件。仅在设置 ELC 的 ELSELR24 寄存器为 0 (不连接至比较器 0 输出) 之后, 才能更改这些位。另外, 在更改这些位之后, 要在中断控制寄存器中初始化标志位 CMPIF0 (不请求中断)。
- 如果 C0FCK1 至 C0FCK0 位从 00B (无比较器 0 滤波器) 改变为不同于 00B 的值 (允许比较器 0 滤波器), 在滤波器输出更新之前, 允许经过四个采样时间, 然后使用比较器 0 中断请求或 ELC 事件。

(4) 比较器输出控制寄存器(COMPOCR)

图 16-5. 比较器输出控制寄存器(COMPOCR)的格式

地址: F0342H 复位后: 00H

符号	<7>	<6>	<5>	<4>	3	<2>	<1>	<0>
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE

SPDMD	比较器速度选择 ^{注1}	R/W
0	比较器低速模式	R/W
1	比较器高速模式	

C1OP	VCOUT1输出极性选择	R/W
0	向VCOUT1输出比较器1输出	R/W
1	向VCOUT1输出翻转比较器1输出	

C1OE	允许VCOUT1引脚输出	R/W
0	禁止比较器1VCOUT1引脚输出	R/W
1	允许比较器1VCOUT1引脚输出	

C1IE	允许比较器1中断请求 ^{注2}	R/W
0	禁止比较器1中断请求	R/W
1	允许比较器1中断请求	

Bit 3	没有任何设置	R/W
—	写入值必须为0。读取值为0。	R

C0OP	VCOUT0输出极性选择	R/W
0	向VCOUT0输出比较器0输出	R/W
1	向VCOUT0输出翻转比较器0输出	

C0OE	允许比较器0VCOUT0引脚输出	R/W
0	禁止比较器0VCOUT0引脚输出	R/W
1	允许比较器0VCOUT0引脚输出	

C0IE	允许比较器0中断请求 ^{注3}	R/W
0	禁止比较器0中断请求	R/W
1	允许比较器0中断请求	

- 注 1. 在重写 SPDMD 位时, 务必提前将 COMPMDR 寄存器中的 CiENB 位 (i = 0 或 1) 设置为 0。
2. 如果 C1IE 从 0 (禁止中断请求) 改变为 1 (允许中断请求), 则中断控制寄存器中的标志位 CMPIF1 可能被设置为 1 (请求中断), 因此使用中断之前须初始化 CMPIF1 (不请求中断)。
3. 如果 C0IE 从 0 (禁止中断请求) 改变为 1 (允许中断请求), 则中断控制寄存器中的标志位 CMPIF0 可能被设置为 1 (请求中断), 因此使用中断之前须初始化 CMPIF0 (不请求中断)。

(5) 端口模式控制寄存器 1(PMC1)

该寄存器按 1 位单位为 P12、P13 和 P16、P17 指定数字 I/O 或模拟输入模式。

PMC1 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

产生复位信号时会将该寄存器设置为 00H。

图 16-6. 端口模式控制寄存器 1(带片上比较器的产品)的格式

地址: F0061H 复位后: 00H

符号	7	6	5	4	3	2	1	0
PMC1	PMC17	PMC16	0	0	PMC13	PMC12	0	0

PMC1n	选择P1n引脚数字输入/输出和模拟输入 (n = 2, 3, 6, 7)	R/W
0	数字输入/输出 (模拟输入以外的多种功能)	R/W
1	模拟输入	

(6) 端口模式寄存器 1(PM1)

将 IVREF1/P12、IVCMP1/P13、IVREF0/P16 和 IVCMP0/P17 引脚用作模拟输入端口时, 将 PM12、PM13、PM16 和 PM17 位设置为 1。此时, P12、P13 和 P16、P17 的输出锁存可以设置为 0 或 1。

如果 PM12、PM13、PM16 和 PM17 位被设置为 0, 则这些引脚不能用作模拟输入端口。

PM1 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

产生复位信号时会将该寄存器设置为 FFH。

注意事项 如果一个引脚被设置为模拟输入端口, 则读取的始终不是引脚电平而是 0。

图 16-7. 端口模式寄存器 1(PM1)的格式

地址: FFF21H 复位后: FFH

符号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	选择P1n引脚输入/输出模式 (n = 2, 3, 6, 7)	R/W
0	输出模式 (输出缓冲器上电)	R/W
1	输入模式 (输出缓冲器掉电)	

(7) 端口模式寄存器 12 (PM12)

该寄存器按 1 位单位指定端口 12 的输入模式或输出模式。
 将 VCOUT0/P120 引脚用于比较器 0 输出功能时，将 PM120 位和 P120 的输出锁存器设置为 0。
 PM12 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。
 产生复位信号时会将这些寄存器设置为 FFH。

图 16-8. 端口模式寄存器 12 (PM12)的格式

地址: FFF2CH 复位后: FFH

符号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	选择P120引脚输入/输出模式	R/W
0	输出模式 (输出缓冲器上电)	R/W
1	输入模式 (输出缓冲器掉电)	

(8) 端口模式寄存器 14 (PM14)

该寄存器按 1 位单位指定端口 14 的输入模式或输出模式。
 将 VCOUT1/P147 引脚用于比较器 1 输出功能时，将 PM147 位和 P147 的输出锁存器设置为 0。
 PM14 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。
 产生复位信号时会将这些寄存器设置为 FFH。

图 16-9. 端口模式寄存器 14 (PM14)的格式

地址: FFF2EH 复位后: FFH

符号	7	6	5	4	3	2	1	0
PM14	PM147	PM146	1	1	1	1	PM141	PM140

PM14n	选择P14n引脚输入/输出模式 (n = 0, 1, 6, 7)	R/W
0	输出模式 (输出缓冲器上电)	R/W
1	输入模式 (输出缓冲器掉电)	

16.4 操作

比较器 0 和比较器 1 分别操作。这些比较器的设置方式和操作相同。与比较器相关寄存器的设置步骤如表 16-5 所示。

表 16-5. 与比较器相关寄存器的设置步骤

阶段	寄存器	位	设置值		
1	PMC1	PMC1n	选择IVCMPi和IVREFi引脚的功能。 设置 PMC1n位为1 (模拟输入)。 设置 PM1n位为1 (输入模式)。 详情参阅 16.3 (5) 端口模式控制寄存器1(PMC1) 和 16.3 (6) 端口模式寄存器1(PM1) 。		
	PM1	PM1n			
	选择VCOUTi引脚的功能。参阅 16.4.4比较器i输出 (i = 0或1)。				
2	COMPOCR	SPDMD	选择比较器响应速度 (0：低速模式/1：高速模式) ^{注 1}		
3	COMPMDR	CiWDE	0 (正常模式模式)		1 (窗口模式) ^{注 2}
		CiVRF	0 (基准 = IVREFi输入)	1 (基准 = 内部基准电压 (1.45 V)) ^{注 5}	窗口比较器的操作 (基准 = 内部VREF)
		CiENB	1 (允许操作)		
		4	等待比较器的稳定时间 (最大100 μs)。		
5	COMPFIR	CiFCK1-CiFCK0	选择是否使用数字滤波器和采样时钟。		
		CiEOP, CiEDG	选择一个中断请求的沿检测条(上升沿/下降沿/双沿)。		
6	COMPOCR	CiOP, CiOE	设置 VCOUTi 的输出 (选择极性, 设置输出为允许或禁止)。		
		CiIE	设置中断请求允许或禁止输出。		
7	PR2L, PR2H ^{注3}	CMPPR0i, CMPPR1i	使用中断时, 选择中断优先等级。		
8	MK2L, MK2H ^{注 3}	CMPMKi	使用中断时, 选择中断屏蔽。		
9	IF2L, IF2H ^{注 3}	CMPIFi	使用中断时, 0 (没有中断请求: 初始化) ^{注 4}		

- 注 1. 比较器 0 和比较器 1 不能分别设置。
 2. 仅能在高速模式下设置 (SPDMD = 1)。
 3. PR2L、MK2L 和 IF2L 是比较器 0 的中断控制寄存器, PR2H、MK2H 和 IF2H 比较器 1 的中断控制寄存器。
 4. 设置比较器后, 在操作稳定之前可能发生不必要的中断, 因此须初始化中断标志。
 5. 可在 HS (高速主)模式时设置。

备注 i = 0, 1, n = 2, 3, 6, 7

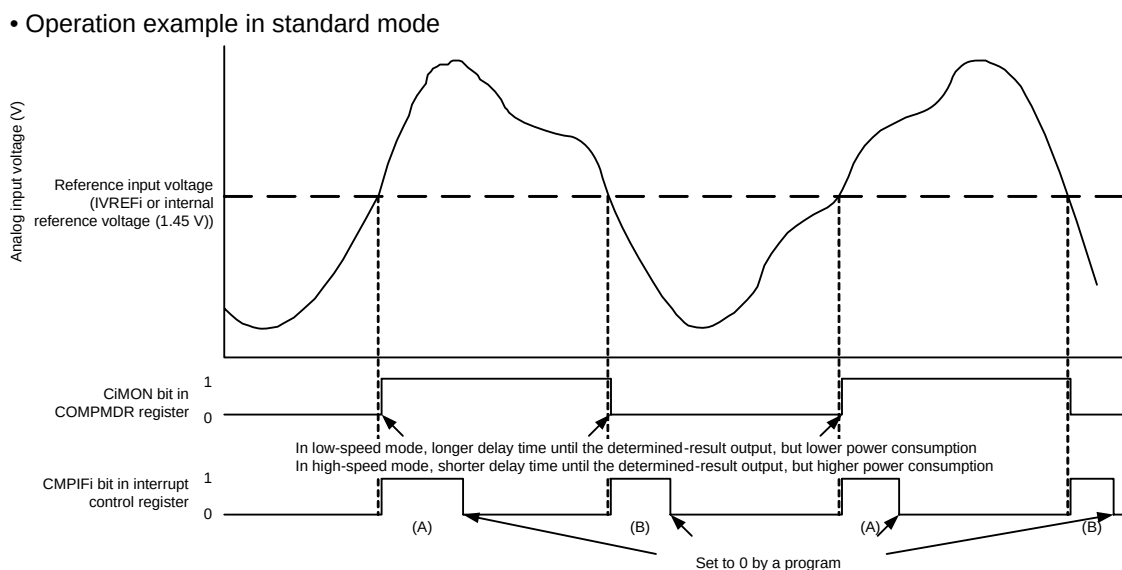
比较器 i ($i = 0$ 或 1) 操作示例如图 16-9 和图 16-10 所示。在低速模式和高速模式下，当模拟输入电压高于基准输入电压时，COMPMDR 寄存器中的 CiMON 位被设置为 1，当模拟输入电压低于基准输入电压时，CiMON 位被设置为 0。

在窗口模式下，当模拟输入电压符合以下条件时，COMPMDR 寄存器中的 CiMON 位被设置为 1，当模拟输入电压不符合以下条件时，CiMON 位被设置为 0：

“低压基准电压 < 模拟输入电压 < 高压基准电压”

在使用比较器 i 中断时，将 COMPOCR 寄存器中的 CiIE 设置为 1（允许中断请求输出）。如果此时比较结果发生变化，则可能产生一个比较器 i 中断请求。有关中断请求的详情，请参阅 16.4.2 比较器 i 中断($i = 0$ 或 1)。

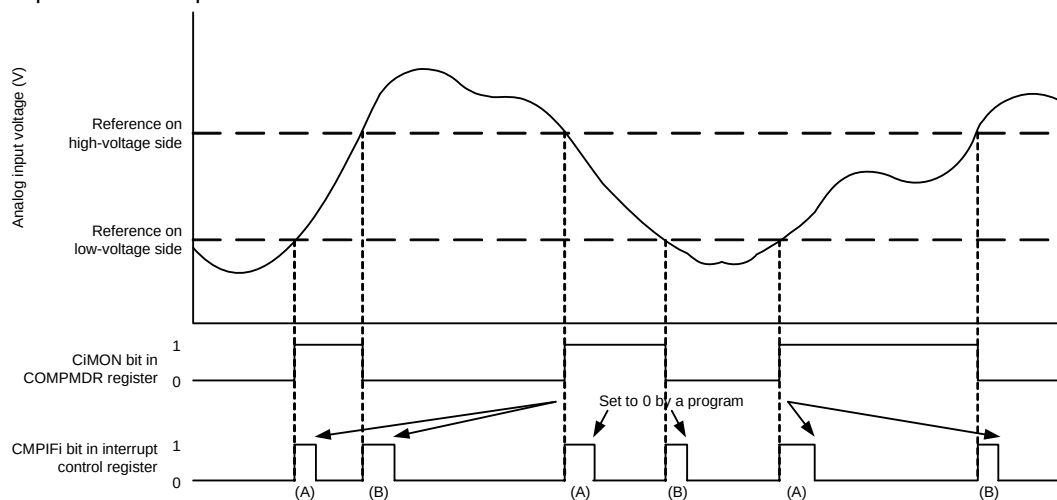
图 16-9. 正常模式时的比较器 i ($i = 0$ 或 1) 操作示例



注意事项 上图适用于 COMPFIR 寄存器中的 CiFCK1 至 CiFCK0 位 = 00B（无滤波器）且 CiEDG = 1（双边沿）的情况。当 CiEDG = 0 且 CiEOP = 0（上升沿）时，CMPIFi 的变化仅如(A)所示。当 CiEDG = 0 且 CiEOP = 1（下降沿）时，CMPIFi 的变化仅如(B)所示。

图 16-10. 窗口模式时的比较器 i ($i = 0$ 或 1) 的操作示例

• Operation example in window mode



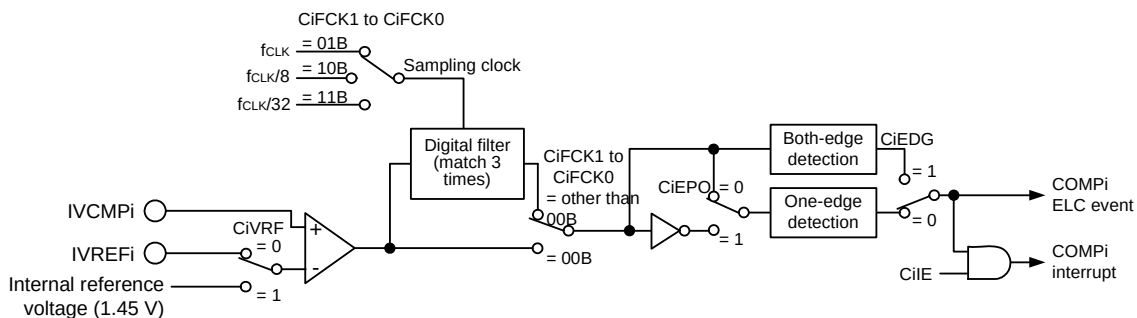
注意事项 上图适用于 **COMPfIR** 寄存器中的 **CiFCK1** 至 **CiFCK0** 位 = **00B** (无滤波器) 且 **CiEDG** = **1** (双边沿) 的情况。当 **CiEDG** = **0** 且 **CiEOP** = **0** (上升沿) 时, **CMPIFi** 的变化仅如(A)所示。当 **CiEDG** = **0** 且 **CiEOP** = **1** (下降沿) 时, **CMPIFi** 的变化仅如(B)所示。

16.4.1 比较器 i 数字滤波器(i = 0 或 1)

比较器 i 内置一个数字滤波器。可以通过 COMPFIR 寄存器的 CiFCK1-CiFCK0 位选择采样时钟。在每个采样时钟处对于比较器 i 输出信号进行采样，电平匹配三次时，在下一个采样时钟处该值被确定为数字滤波器输出。

比较器 i (i = 0 或 1) 数字滤波器和边沿检测的配置如图 16-11 所示，比较器 i (i = 0 或 1) 数字滤波器和中断操作的示例图 16-12 所示。

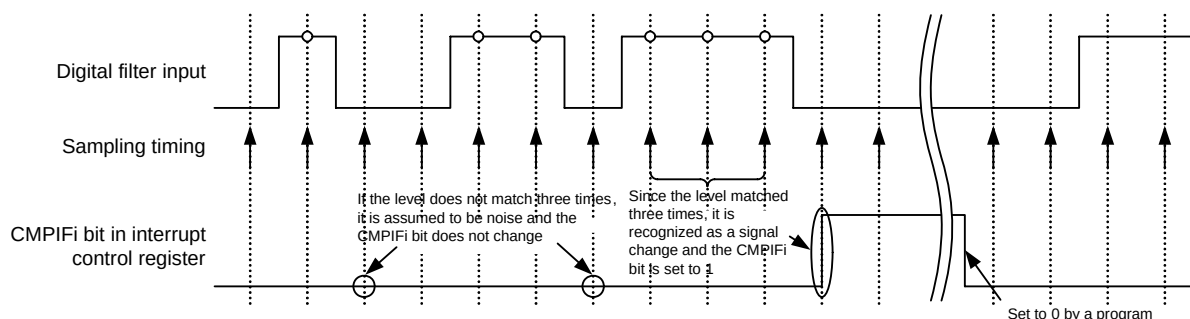
图 16-11. 比较器 i (i = 0 或 1) 数字滤波器和边沿检测的配置



备注

CiVRF:	COMPMDR 寄存器的位
CiFCK1 至 CiFCK0, CiEPO, CiEDG:	COMPFIR 寄存器的位
CiIE:	COMPOCR 寄存器的位

图 16-12. 比较器 i (i = 0 或 1) 数字滤波器和中断操作的示例



注意事项 上图是 COMPFIR 寄存器的 CiFCK1 至 CiFCK0 位为 01B、10B 或 11B 中的任何一位时（允许数字滤波器）的适用操作示例。

16.4.2 比较器 i 中断(i = 0 或 1)

比较器从比较器 0 和比较器 1 这两个源产生中断请求。每个比较器 i 中断都使用一个优先级指定标志、一个中断屏蔽标志、一个中断请求标志和一个单向量。

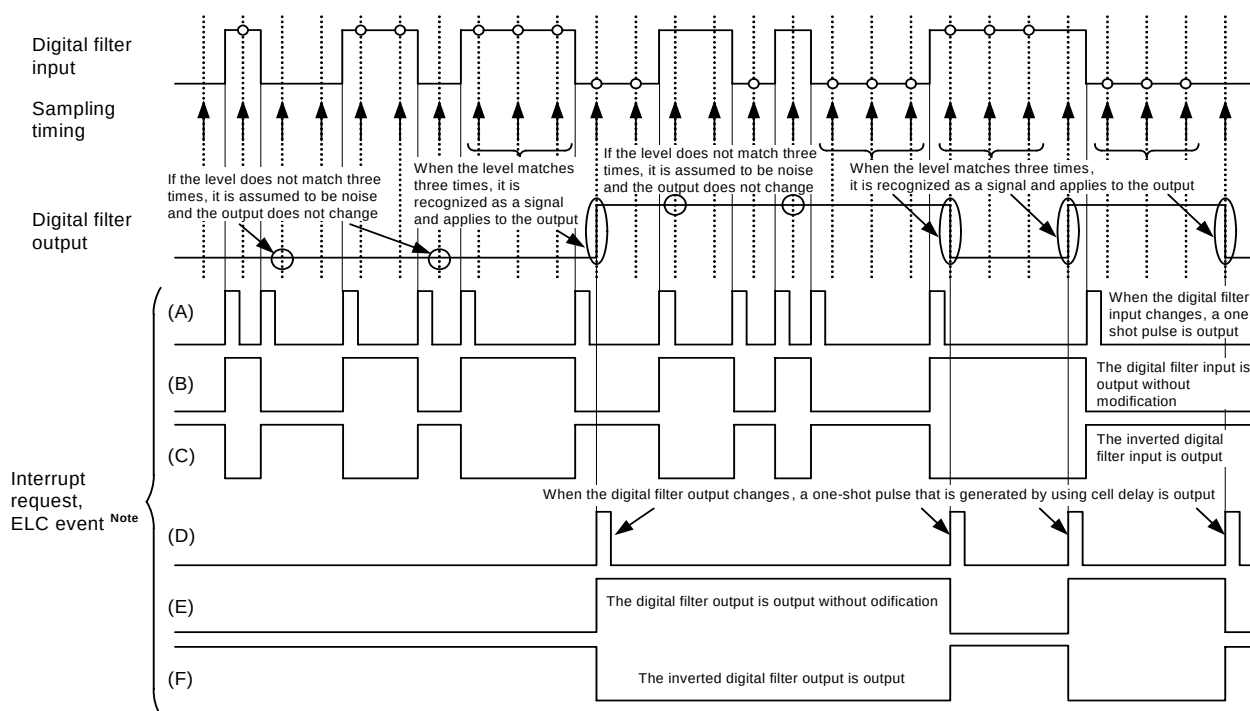
在使用比较器 i 中断时，将 COMPOCR 寄存器中的 CiIE 位设置为 1（允许中断请求输出）。可以通过 COMPFIR 寄存器来设置产生中断请求的条件。比较器输出也可通过数字滤波器。可以为数字滤波器选择三种不同的采样时钟。

有关寄存器设置和发生中断请求的详情，请参阅 16.3 (3) 比较器滤波器控制寄存器(COMPFI)和 16.3 (4) 比较器输出控制寄存器(COMPOCR)。

16.4.3 比较器 i ELC 事件输出 (i = 0 或 1)

如 COMPFIR 寄存器所设置, 通过检测数字滤波器输出的边沿, 从而产生用于比较器的 ELC 事件, 该条件与产生中断请求的条件相同。然而, 与中断请求不同, 将始终输出 ELC 事件而不受 COMPOCR 寄存器中的 CiIE 位的影响。为 ELC 设置寄存器 ELSELR24 和 ELSELR25, 以选择事件输出目的地, 并停止连接事件。

图 16-13 数字滤波器和中断请求/ELC 事件输出操作



注 当 CiIE 位(i = 0, 1) 为 1 时, 中断请求和 ELC 事件产生同样的波形。当 CiIE 位(i = 0, 1) 为 0 时, 仅中断请求的值固定为 0。

COMPFIR 寄存器的 CiFCK 位(i = 0, 1)为 01B、10B 或 11B 中的任何一位时 (有数字滤波器), (A)、(B)和(C)波形的操作示例。COMPFIR 寄存器的 CiFCK 位(i = 0, 1)为 00B 时 (没有数字滤波器), (D)、(E)和(F)波形的操作示例。(A)和(D)适用于 CiEDG 位被设置为 1 (双边沿) 的情况, (B)和(E)适用于 CiEDG 位为 0 且 CiEPO 位为 0 (上升沿) 的情况, (C)和(F)适用于 CiEDG 位为 0 且 CiEPO 位为 1 (下降沿) 的情况。

16.4.4 比较器 i 输出 (i = 0 或 1)

可以将比较器的比较结果输出至外部引脚。COMPOCR 寄存器中的 CiOP 和 CiOE 位可用于设置输出极性（同相输出或反相输出）以及允许输出或禁止输出。对于寄存器设置与比较器输出之间的对应关系，请参阅 16.3 (4) 比较器输出控制寄存器(COMPOCR)。

按以下步骤设置端口，从而将比较器的比较结果输出至 VCOUTi 输出引脚。请注意，这些端口在复位后被设置为输入。

- <1> 设置比较器的模式（参阅表 16-5. 与比较器相关寄存器的设置步骤 中的第 1 至第 4 步）。
- <2> 为比较器设置 VCOUTi 输出（设置 COMPOCR 寄存器以选择极性并允许输出）。
- <3> 设置对应 VCOUTi 输出引脚的端口寄存器的位为 0。
- <4> 设置对应 VCOUTi 输出引脚的端口方向寄存器为输出（从引脚开始输出）。

16.4.5 停止或供应比较器时钟

使用以下步骤，以通过设置外围允许寄存器 1(PER1)来停止比较器时钟：

- <1> 设置 COMPMDR 寄存器的 CiENB 位为 0(停止比较器)。
- <2> 设置 IF2L 和 IF2H 寄存器的 CMPIFi 位为 0 (清除停止比较器前所有不需要的中断)。
- <3> 设置 PER1 寄存器的 CMPEN 位为 0。

通过设置 PER1 停止时钟，所有比较器的内部寄存器会初始化。再次使用比较器时，根据表 16-5 的步骤来设置寄存器。

- 注意事项**
- 1. 当比较器模式设置寄存器(COMPMDR)中的比较器 n 基准电压选择位(CnVRF)为 1 时，温度传感器不能用于 A/D 转换器（比较器 n 基准电压为内部基准电压(1.45 V)）。(n = 0, 1)
 - 2. 当在下述任意一个条件下允许激活 DTC 时，开始 DTC 传送，并在完成传送后产生中断。因此，可根据需要在确认比较器监控标志(CnMON)之后允许激活 DTC。(n = 0, 1)
 - 比较器被设置为检测到一个边沿时允许中断请求(CnEDG = 0)，且设置为在比较器的上升沿允许中断请求(CnEPO = 1)，并且 IVCMP > IVREF（或内部基准电压：1.45 V）
 - 比较器被设置为检测到一个边沿时允许中断请求(CnEDG = 0)，且设置为在比较器的下降沿允许中断请求(CnEPO = 0)，并且 IVCMP < IVREF（或内部基准电压：1.45 V）

第十七章 串行阵列单元

串行阵列单元有四个串行通道。各通道可以实现 3 线串行 (CSI)、UART 和简化 I²C 通信。
RL78/G14 中支持的各通道的功能分配如下所示。

- 30、32 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

- 36、40、44 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

- 48、52 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

- 64 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

- 80、100 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

在单元 0 的通道 0 和 1 使用“UART0”时，不能使用 CSI00 或 CSI01，但可以使用通道 2、3 的 CSI10、UART1 或 IIC10。

注意事项 本章的下述内容大多是以 100 针产品的单元和通道为例。

17.1 串行阵列单元的功能

RL78/G14 中支持的各个串行接口均具有如下特点。

17.1.1 3 线串行 I/O (CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31)

与主通道输出的串行时钟($\overline{\text{SCK}}$)同步后执行数据的发送或接收。

3 线串行通信为时钟同步式通信功能，通过三条通信线路实现：一条用于串行时钟($\overline{\text{SCK}}$)、一条用于发送串行数据(SO)、一条用于接收串行数据(SI)。

有关具体的设置例，请参阅 17.5 3 线串行 I/O(CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31)通信的操作。

[数据的发送/接收]

- 数据长度为 7 或 8 位
- 发送/接收数据的相位控制
- MSB/LSB 的优先选择
- 发送/接收数据的电平设置

[时钟控制]

- 主/从属的选择
- I/O 时钟的相位控制
- 通过预分频器和通道内部计数器设置传输周期
- 最大传送速率

主通信时(CSI00): $\text{Max. } f_{\text{CLK}}/2^{\#}$

主通信时(CSI00 以外): $\text{Max. } f_{\text{CLK}}/4^{\#}$

从属通信时: $\text{Max. } f_{\text{MCK}}/6^{\#}$

[中断功能]

- 传送结束中断/缓冲器空白中断

[错误检测标志]

- 溢出错误

以下通道的 CSI 支持 SNOOZE 模式。当在 STOP 模式下检测到 $\overline{\text{SCK}}$ 输入时，借助 SNOOZE 模式，不需要 CPU 就可以接收数据。异步接收只能指定以下 CSI。

- 30 至 64 针产品: 仅限 CSI00
- 80、100 针产品: 仅限 CSI00 和 CSI20

另外，CSI00 支持从属选择输入功能。

注 在满足 $\overline{\text{SCK}}$ 周期时间(t_{KCY})特性的范围内使用时钟(参阅 第三十四章 电特性)。

17.1.2 UART (UART0 至 UART3)

这是一种起止式同步功能，采用两条线路：串行数据发送 (TxD) 和串行数据接收 (RxD) 线路。利用这两条通信线路，各数据帧（由一个起始位、数据、奇偶校验位和停止位构成）在微控制器与其他通信方之间（以内部波特率）异步传输。全双工 UART 通信可以利用一个发送专用通道（偶数通道）和一个接收专用通道（奇数通道）来实现。可以结合使用定时器阵列单元和外部中断(INTP0)来实现支持 LIN-bus。

有关具体的设置例，请参阅 **17.7 UART (UART0 至 UART3) 通信的操作**。

[数据的发送/接收]

- 数据长度为 7、8 或 9 位
- MSB/LSB 优先的选择
- 发送/接收数据的电平设置及反相选择
- 附加奇偶校验位和奇偶校验功能
- 附加停止位

[中断功能]

- 传送结束中断/缓冲器空白中断
- 出现帧错误、奇偶检验错误或溢出错误时的错误中断

[错误检测标志]

- 帧错误、奇偶校验错误、溢出错误

另外，以下通道的 UART 支持 SNOOZE 模式。当在 STOP 模式下检测到 RxD 输入时，借助 SNOOZE 模式，不需要 CPU 就可以接收数据。异步接收只能指定以下 UART。

- 30 至 64 针产品： 仅限 UART0
- 80、100 针产品： 仅限 UART0 和 UART2

UART0 (单元 0 的 0 和 1 通道)支持 LIN-bus。

[LIN-bus 功能]

- 唤醒信号检测
- 同步中断区域 (SBF) 检测
- 同步区域测量、波特率计算

使用外部中断 (INTP0) 和
定时器阵列单元

17.1.3 简化 I²C (IIC00、IIC01、IIC10、IIC11、IIC20、IIC21、IIC30、IIC31)

这是一种时钟同步式通信功能，通过两条线路与两个或更多器件进行通信：串行时钟(SCL) 和串行数据 (SDA)。简化 I²C 被设计用于和 EEPROM、闪存以及 A/D 转换器等器件进行单一通信，因此，只能作为主发挥作用。

在符合 AC 规范的范围内，通过软件操作控制寄存器来处理开始条件和停止条件。

关于设置的详情，请参阅 **17.9 简化 I²C (IIC00、IIC01、IIC10、IIC11、IIC20、IIC21、IIC30、IIC31)通信的操作**。

[数据的发送/接收]

- 主发送、主接收 (仅限单一主的主功能)
- ACK 输出功能^{*}和 ACK 检测功能
- 数据长度为 8 位 (发送地址时，该地址由高 7 位指定，最低有效位用于 R/W 控制。)
- 手动产生开始条件和停止条件

[中断功能]

- 传送结束中断

[错误检测标志]

- 奇偶校验错误 (ACK 错误)或溢出错误

* [简化 I²C 不支持的功能]

- 从属发送、从属接收
- 仲裁失败检测功能
- 等待检测功能

注 接收最后的数据时，如果将 0 写入 SOEmn 位 (串行输出允许寄存器 m (SOEm)) 并停止串行通信数据输出，则不输出 ACK。详情请参阅 **17.9.3 (2) 处理流程**。

备注 关于使用全功能的 I²C 总线，请参阅 **第十八章 串行接口 IICA**。

17.2 串行阵列单元的配置

串行阵列单元包含以下硬件。

表 17-1. 串行阵列单元的配置

项目	配置
移位寄存器	8 位或 9 位 ^{※1}
缓冲寄存器	串行数据寄存器 mn (SDRmn) ^{※1,2} 的低 8 位或 9 位
串行时钟 I/O	$\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK20}}$, $\overline{\text{SCK21}}$, $\overline{\text{SCK30}}$, $\overline{\text{SCK31}}$ 引脚(用于 3 线串行 I/O), $\overline{\text{SCL00}}$, $\overline{\text{SCL01}}$, $\overline{\text{SCL10}}$, $\overline{\text{SCL11}}$, $\overline{\text{SCL20}}$, $\overline{\text{SCL21}}$, $\overline{\text{SCL30}}$, $\overline{\text{SCL31}}$ 引脚(用于简化 I ² C)
串行数据输入	SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31 引脚(用于 3 线串行 I/O), RxD0 引脚(用于支持 UART 的 LIN-bus), RxD1, RxD2, RxD3 引脚(用于 UART)
串行数据输出	SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31 引脚(用于 3 线串行 I/O), TxD0 引脚(用于支持 UART 的 LIN-bus), TxD1, TxD2, TxD3 引脚(用于 UART), 输出控制电路
串行数据 I/O	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31 引脚(用于简化 I ² C)
从属选择输入	SSI00 引脚(用于从属选择输入功能)
控制寄存器	<单元设置块的寄存器> • 外围允许寄存器 0 (PER0) • 串行时钟选择寄存器 m (SPSm) • 串行通道允许状态寄存器 m (SEm) • 串行通道开始寄存器 m (SSm) • 串行通道停止寄存器 m (STm) • 串行输出允许寄存器 m (SOEm) • 串行输出寄存器 m (SOM) • 串行输出电平寄存器 m (SOLm) • 串行待机控制寄存器 m (SSCm) • 输入切换控制寄存器(ISC) • 噪声滤波器允许寄存器 0 (NFEN0)
	<每个通道的寄存器> • 串行数据寄存器 mn (SDRmn) • 串行模式寄存器 mn (SMRmn) • 串行通信操作设置寄存器 mn (SCRmn) • 串行状态寄存器 mn (SSRmn) • 串行标志清除触发寄存器 mn (SIRmn)
	• 端口输入模式寄存器 0, 1, 3, 5 (PIM0, PIM1, PIM3, PIM5) • 端口输出模式寄存器 0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7) • 端口模式寄存器 0, 1, 3, 5 至 7 (PM0, PM1, PM3, PM5 至 PM7) • 端口寄存器 0, 1, 3, 5 至 7 (P0, P1, P3, P5 至 P7)

(注和备注如下页所示。)

注 1. 用于移位寄存器和缓冲寄存器的位数因单元和通道而异。

- 30 至 64 针产品和 mn = 00、01: 低 9 位
- 80、100 针产品和 mn = 00、01、10、11: 低 9 位
- 其它: 低 8 位

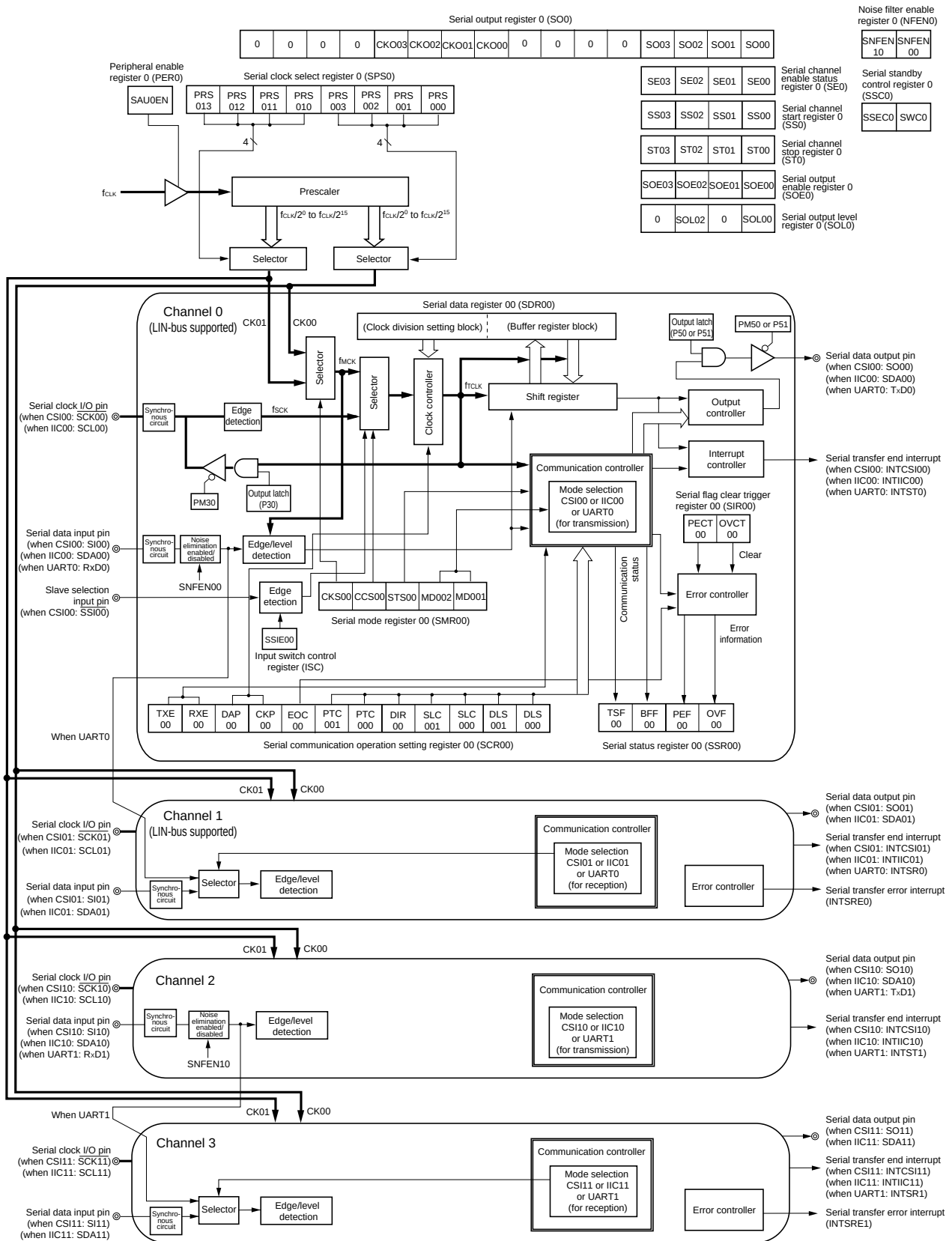
2. 依据通信模式，串行数据寄存器 mn (SDRmn)的低 8 位可以按以下 SFR 名称读取或写入。

- CSIp 通信 ... SIOp (CSIp 数据寄存器)
- UARTq 接收 ... RXDq (UARTq 接收数据寄存器)
- UARTq 发送 ... TXDq (UARTq 发送数据寄存器)
- IICr 通信 ... SIOr (IICr 数据寄存器)

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3), p: CSI 编号(p = 00, 01, 10, 11, 20, 21, 30, 31),
q: UART 编号(q = 0 至 3), r: IIC 编号(r = 00, 01, 10, 11, 20, 21, 30, 31)

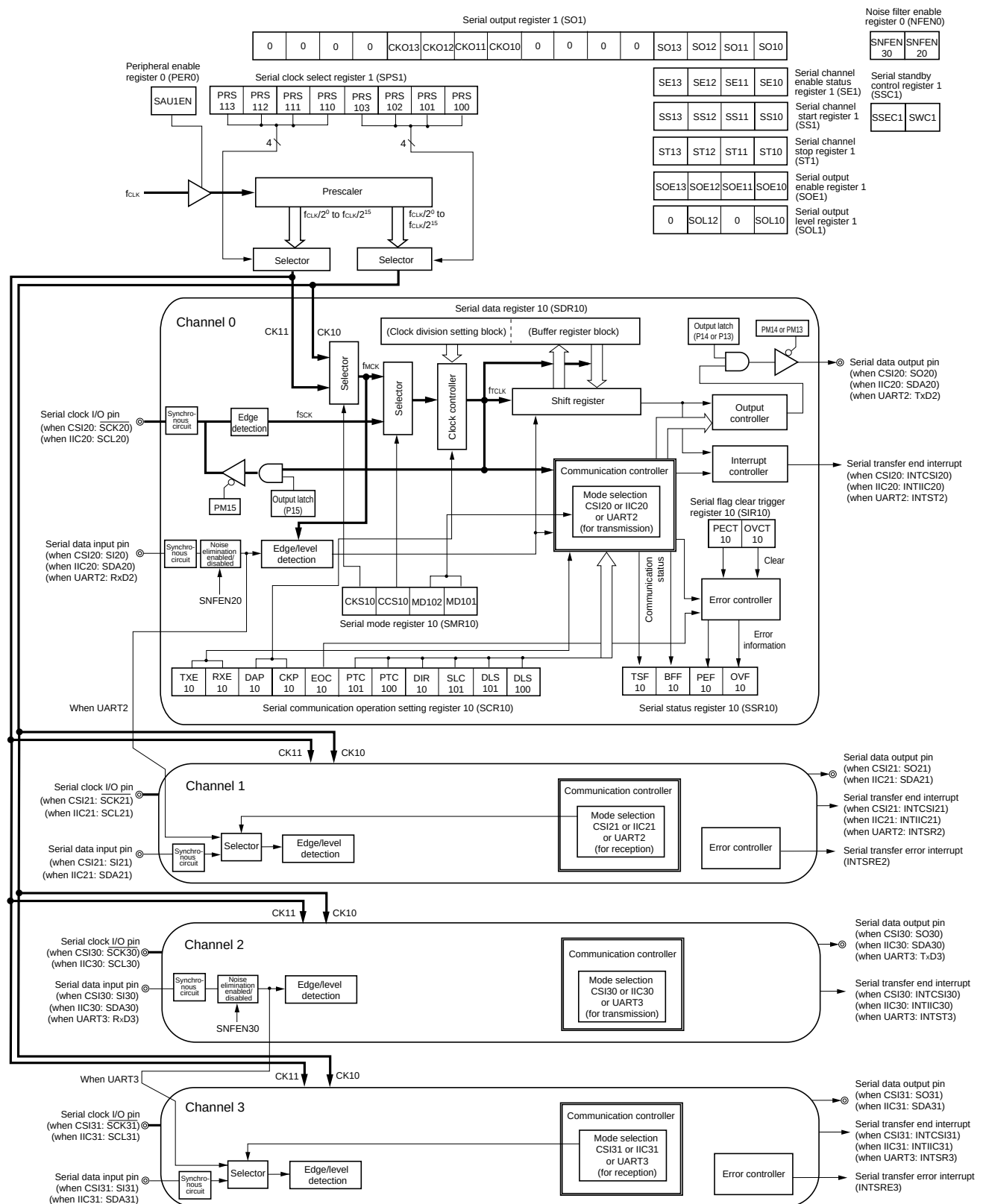
串行阵列单元 0 的框图如图 17-1 所示。

图 17-1. 串行阵列单元 0 的框图



串行阵列单元 1 的框图如图 17-2 所示。

图 17-2. 串行阵列单元 1 的框图



(1) 移位寄存器

这是一种 9 位寄存器，可将并行数据转换为串行数据，反之亦然。

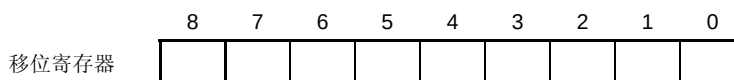
在 9 位数据 UART 通信的情况下，将使用 9 位（位 0 至位 8）^{※1}。

接收期间，将输入至串行输入引脚的数据转换为并行数据。

发送数据时，将设置到该寄存器的值作为串行数据从串行输出引脚输出。

不能用程序直接操作移位寄存器。

使用串行数据寄存器 mn (SDRmn)的低 8/9 位对于移位寄存器进行读取或写入。

**(2) 串行数据寄存器 mn (SDRmn)的低 8/9 位**

SDRmn 寄存器为通道 n 的发送/接收数据寄存器（16 位）。位 8 至位 0（低 9 位）^{※1}或位 7 至位 0（低 8 位）作为发送/接收缓冲寄存器，位 15 至位 9 作为设置操作时钟(f_{MCK}) 分频比的寄存器。

接收数据时，由移位寄存器转换的并行数据被存储于低 8/9 位。发送数据时，把传送至移位寄存器的发送值设置到低 8/9 位。

依据串行通信操作设置寄存器 mn (SCRmn)位 0 和位 1 (DLSmn0、DLSmn1)的设置，存储于该寄存器低 8/9 位的数据的情况如下所示（与数据输出顺序无关）：

- 7 位数据长度 (存储于 SDRmn 寄存器的位 0 至位 6)
- 8 位数据长度 (存储于 SDRmn 寄存器的位 0 至位 7)
- 9 位数据长度 (存储于 SDRmn 寄存器的位 0 至位 8)^{※1}

SDRmn 寄存器可以按照 16 位单位进行读取或写入。

依据通信模式，SDRmn 寄存器的低 8/9 位可以按以下 SFR 名称读取或写入^{※2}。

- CSIp 通信 ... SIOp (CSIp 数据寄存器)
- UARTq 接收 ... RXDq (UARTq 接收数据寄存器)
- UARTq 发送 ... TXDq (UARTq 发送数据寄存器)
- IICr 通信 ... SIOr (IICr 数据寄存器)

产生复位信号后，清除 SDRmn 寄存器为 0000H。

注 1. 仅限以下 UART 可以指定 9 位的数据长度。

- 30 至 64 针产品： UART0
- 80、100 针产品： UART0、UART2

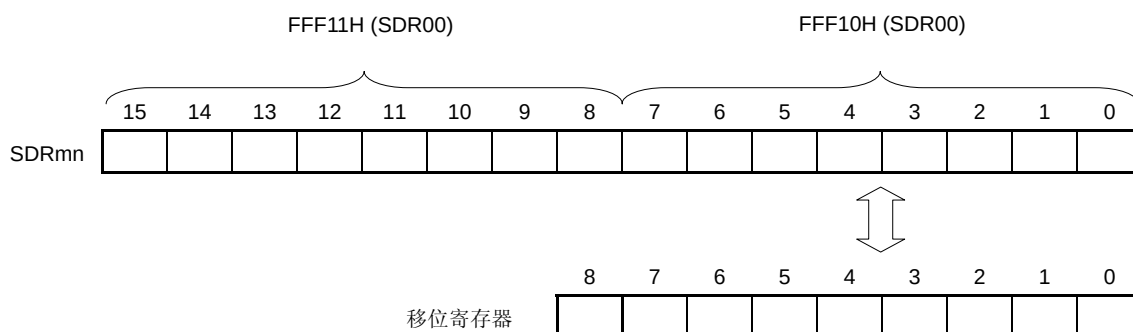
2. 停止操作(SEmn = 0)时，禁止按 8 位单位写入。

备注1. 数据接收完成后，将“0”存储于位 0 至位 8 中超过数据长度部分的位。

- 2.** m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3), p: CSI 编号(p = 00, 01, 10, 11, 20, 21, 30, 31), q: UART 编号(q = 0 至 3), r: IIC 编号(r = 00, 01, 10, 11, 20, 21, 30, 31)

图 17-3. 串行数据寄存器 mn (SDRmn)的格式 (mn = 00、01、10、11)

地址: FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01) 复位后: 0000H R/W
 FFF48H, FFF49H (SDR10) [※], FFF4AH, FFF4BH (SDR11) [※]

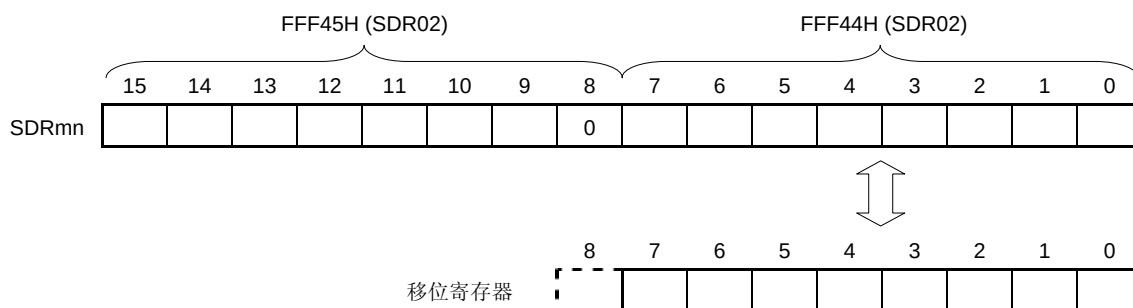


注 80、100 针产品

备注 关于 SDRmn 寄存器的高 7 位功能，请参阅 17.3 控制串行阵列单元的寄存器。

图 17-4. 串行数据寄存器 mn (SDRmn)的格式 (mn = 02、03、10、11、12、13)

地址: FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03), 复位后: 0000H R/W
 FFF48H, FFF49H (SDR10) [※], FFF4AH, FFF4BH (SDR11) [※]
 FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



注 30 至 64 针产品

注意事项 务必将位 8 清除为“0”。

备注 关于 SDRmn 寄存器的高 7 位功能，请参阅 17.3 控制串行阵列单元的寄存器。

17.3 控制串行阵列单元的寄存器

串行阵列单元由下列寄存器控制。

- 外围允许寄存器 0 (PER0)
- 串行时钟选择寄存器 m (SPSm)
- 串行模式寄存器 mn (SMRmn)
- 串行通信操作设置寄存器 mn (SCRmn)
- 串行数据寄存器 mn (SDRmn)
- 串行标志清除触发寄存器 mn (SIRmn)
- 串行状态寄存器 mn (SSRmn)
- 串行通道开始寄存器 m (SSm)
- 串行通道停止寄存器 m (STm)
- 串行通道允许状态寄存器 m (SEm)
- 串行输出允许寄存器 m (SOEm)
- 串行输出电平寄存器 m (SOLm)
- 串行输出寄存器 m (SOM)
- 串行待机控制寄存器 m (SSCm)
- 输入切换控制寄存器 (ISC)
- 噪声滤波器允许寄存器 0 (NFEN0)
- 端口输入模式寄存器 0、1、3、5 (PIM0、PIM1、PIM3、PIM5)
- 端口输出模式寄存器 0、1、3、5、7 (POM0、POM1、POM3、POM5、POM7)
- 端口模式寄存器 0、1、3、5 至 7 (PM0、PM1、PM3、PM5 至 PM7)
- 端口寄存器 0、1、3、5 至 7 (P0、P1、P3、P5 至 P7)

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(1) 外围允许寄存器 0 (PER0)

PER0 用于允许或禁止向外围硬件供应时钟。并且停止向未使用的硬件供应时钟，以减少电力消耗和噪声。

当使用串行阵列单元 0 时，务必将该寄存器的位 2 (SAU0EN) 设置为 1。

当使用串行阵列单元 1 时，务必将该寄存器的位 3 (SAU1EN) 设置为 1。

使用 1 位或 8 位存储器操作指令设置 PER0 寄存器。

产生复位信号后，清除 PER0 寄存器为 00H。

图 17-5. 外围允许寄存器 0 (PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCEN	IICA1EN [‡]	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN [‡]	TAU0EN

SAUmEN	串行阵列单元m的输入时钟供应的控制
0	停止输入时钟供应。 - 不可写入串行阵列单元m所使用的SFR。 - 串行阵列单元m处于复位状态。
1	允许输入时钟供应。 不可读取/写入串行阵列单元m所使用的SFR。

注 仅限 80 和 100 针产品。

- 注意事项 1.** 在设置串行阵列单元 m 时，务必先将 SAUmEN 位设置为 1。如果 SAUmEN = 0，对于串行阵列单元的控制寄存器进行的写入操作被忽略，而且该寄存器的读取值总为初始值（输入切换控制寄存器 (ISC)、串行待机控制寄存器 m (SSCm)、噪声滤波器允许寄存器 0 (NFEN0)、端口输入模式寄存器 0、1、3、5 (PIM0、PIM1、PIM3、PIM5)、端口输出模式寄存器 0、1、3、5、7 (POM0、POM1、POM3、POM5、POM7)、端口模式寄存器 0、1、3、5 至 7 (PM0、PM1、PM3、PM5 至 PM7)以及端口寄存器 0、1、3、5 至 7 (P0、P1、P3、P5 至 P7)除外）。
- 2.** 在将 SAUmEN 位设置为 1 后，需经过 f_{CLK} 的 4 个或更多时钟后才可以设置串行时钟选择寄存器 m (SPSm)。
- 3.** 务必将以下位清除为 0。

30、32、36、40、44、48、52、64 针产品：位 1、6

(2) 串行时钟选择寄存器 m (SPSm)

SPSm 寄存器为 16 位寄存器，用于选择供应给各个通道共通的两种操作时钟(CKm0、CKm1)。通过 SPSm 寄存器的位 7 至位 4 选择 CKm1，位 3 至位 0 选择 CKm0。

当寄存器在运行 (SEmn = 1) 时，禁止重写 SPSm 寄存器。

使用 16 位存储器操作指令设置 SPSm 寄存器。

通过 SPSmL 使用 8 位存储器操作指令设置 SPSm 寄存器的低 8 位。

产生复位信号后，清除 SPSm 寄存器为 0000H。

图 17-6. 串行时钟选择寄存器 m (SPSm)的格式

地址: F0126H, F0127H (SPS0), F0166H, F0167H (SPS1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		操作时钟(CKmk) ^注 的选择				
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.8 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.9 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注 要更改被选为 f_{CLK} 的时钟时（通过更改系统时钟控制寄存器(CKC)的值），必须在停止串行阵列单元(SAU)操作（串行通道停止寄存器 m (STm) = 000FH）之后才可以执行。

注意事项 务必将位 15 至 8 清除为“0”。

备注1. f_{CLK}: CPU/外围硬件时钟频率

f_{SUB}: 副系统时钟频率

2. m: 单元编号(m = 0, 1)

3. k = 0, 1

(3) 串行模式寄存器 mn (SMRmn)

SMRmn 寄存器用于设置通道 n 的操作模式。也用于选择操作时钟(f_{MCK})，指定是否可以输入串行时钟(f_{SCK})，设置开始触发、操作模式 (CSI、UART 或简化 I²C) 和中断源。该寄存器还用于仅在 UART 模式下使接收数据的电平反相。

禁止向操作中 (SEmn = 1 时) 的 SMRmn 寄存器进行重写。然而，可以在操作过程中重写 MDmn0 位。

使用 16 位存储器操作指令设置 SMRmn 寄存器。

产生复位信号后，设置 SMRmn 寄存器为 0020H。

图 17-7. 串行模式寄存器 mn (SMRmn)的格式(1/2)

地址: F0110H, F0111H (SMR00)至F0116H, F0117H (SMR03), 复位后: 0020H R/W

F0150H, F0151H (SMR10)至F0156H, F0157H (SMR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn [※]	0	SIS mn0 [※]	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	通道n的操作时钟(f _{MCK})的选择
0	由SPSm寄存器设置的操作时钟CKm0
1	由SPSm寄存器设置的操作时钟CKm1
边沿检测电路所使用的操作时钟(f _{MCK})。另外，根据SDRmn寄存器的CCSmn位和高7位的设置，产生传输时钟(f _{TCLK})。	

CCS mn	通道n的传输时钟(f _{TCLK})的选择
0	由CKSmn位指定的分频操作时钟f _{MCK}
1	从SCKp引脚的输入时钟 f _{SCK} (CSI模式的从属传输)
传输时钟 f _{TCLK} 用于移位寄存器、通信控制电路、输出控制电路、中断控制电路和错误控制电路。当CCSmn = 0时，使用 SDRmn寄存器的高7位设置操作时钟(f _{MCK})的分频比。	

STS mn	开始触发源的选择
0	仅限软件触发有效 (CSI、UART发送和简化 I ² C时选择)。
1	RxDq引脚的有效沿 (UART接收时选择)。
将SSm寄存器设置为1并且满足以上条件时，开始传送。	

注 仅限 SMR01、SMR03、SMR11 和 SMR13 寄存器。

注意事项 务必将位 13 至 9、7、4 和 3 (或者 SMR00、SMR02 或 SMR10 寄存器的位 13 至 6、4 和 3)清除为“0”。务必将位 5 设置为“1”。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3), p: CSI 编号(p = 00, 01, 10, 11, 20, 21, 30, 31), q: UART 编号(q = 0 至 3), r: IIC 编号(r = 00, 01, 10, 11, 20, 21, 30, 31)

图 17-7. 串行模式寄存器 mn (SMRmn)的格式(2/2)

地址: F0110H, F0111H (SMR00)至F0116H, F0117H (SMR03), 复位后: 0020H R/W
F0150H, F0151H (SMR10)至F0156H, F0157H (SMR13)

符号

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn [※]	0	SIS mn0 [※]	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0	UART模式下，通道n接收数据的电平反相的控制
0	下降沿被检测为起始位。 按原样捕捉被输入的通信数据。
1	上升沿被检测为起始位。 将被输入的通信数据反相并捕捉。

MD mn2	MD mn1	通道n操作模式的设置
0	0	CSI模式
0	1	UART模式
1	0	简化 I ² C模式
1	1	禁止设置

MD mn0	通道n中断源的选择
0	传输结束中断
1	缓冲器空白中断 (发生于把数据从SDRmn寄存器传送至移位寄存器时。)
连续发送时，将MDmn0位设置为1，并且在SDRmn的数据为空时，写入下一个发送数据。	

注 仅限 SMR01、SMR03、SMR11 和 SMR13 寄存器。

注意事项 务必将位 13 至 9、7、4 和 3 (或者 SMR00、SMR02、SMR10 或 SMR12 寄存器的位 13 至 6、4 和 3)清除为“0”。务必将位 5 设置为“1”。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3), p: CSI 编号(p = 00, 01, 10, 11, 20, 21, 30, 31), q: UART 编号(q = 0 至 3), r: IIC 编号(r = 00, 01, 10, 11, 20, 21, 30, 31)

(4) 串行通信操作设置寄存器 mn (SCRmn)

SCRmn 寄存器是通道 n 的通信操作设置寄存器。该寄存器用于设置数据发送/接收模式、数据和时钟相位、是否屏蔽错误信号、奇偶检验位、起始位、停止位和数据长度。
当寄存器在运行时(SEmn = 1 时), 禁止重写 SCRmn 寄存器。
使用 16 位存储器操作指令设置 SCRmn 寄存器。
产生复位信号后, 设置 SCRmn 寄存器为 0087H。

图 17-8. 串行通信操作设置寄存器 mn (SCRmn)的格式 (1/2)

地址: F0118H, F0119H (SCR00)至F011EH, F011FH (SCR03), 复位后: 0087H R/W
F0158H, F0159H (SCR10)至F015EH, F015FH (SCR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{#1}	SLC mn0	0	1	DLSm n1 ^{#2}	DLS mn0

TXE mn	RXE mn	通道n的操作模式的设置
0	0	禁止通信
0	1	仅接收
1	0	仅发送
1	1	发送/接收

DAP mn	CKP mn	CSI模式下数据和时钟相位的选择	Type
0	0		1
0	1		2
1	0		3
1	1		4
UART模式和简化I ² C模式下务必设置为DAPmn、CKPmn = 0、0。			

EOC mn	选择是否屏蔽错误中断信号(INTSREx (x = 0至3))
0	屏蔽错误中断INTSREx (不屏蔽INTSRx)。
1	允许产生错误中断INTSREx (如果出现错误, INTSRx将被屏蔽)。
CSI模式、简化I ² C模式和UART发送 ^{#3} 期间设置为EOCmn = 0。 UART接收期间设置为EOCmn = 1。	

- 注 1. 仅限 SCR00、SCR02、SCR10 和 SCR12 寄存器。
2. 仅限 80、100 针产品的 SCR00 和 SCR01 寄存器以及 SCR10 和 SCR11 寄存器。其余固定为 1。
3. 当 EOC01 为 0 时不使用 CSI01 的情况下, 有可能产生错误中断 INTSRE0。

注意事项 务必将位 3、6 和 11 清除为“0”。(将 SCR01、SCR03、SCR11 或 SCR13 寄存器的位 5 也清除为“0”。同时将 SCR02、SCR03、SCR12、SCR13 寄存器以及 30 至 64 针产品中寄存器 SCR10 和 SCR11 的位 1 也清除至“0”。) 务必将位 2 设置为“1”。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3), p: CSI 编号(p = 00, 01, 10, 11, 20, 21, 30, 31)

图 17-8. 串行通信操作设置寄存器 mn (SCRmn)的格式 (2/2)

地址: F0118H, F0119H (SCR00)至F011EH, F011FH (SCR03), 复位后: 0087H R/W
F0158H, F0159H (SCR10)至F015EH, F015FH (SCR13)

符号

SCRmn

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{※1}	SLC mn0	0	1	DLSm n1 ^{※2}	DLS mn0

PTC mn1	PTC mn0	UART模式下奇偶校验位的设置													
		发送								接收					
0	0	不输出奇偶校验位。								无奇偶校验的接收。					
0	1	输出零奇偶校验 ^{※3} 。								无奇偶校验判断。					
1	0	输出偶数校验。								偶数校验判断。					
1	1	输出奇数校验。								奇数校验判断。					

CSI模式和简化 I²C模式下务必设置为PTCmn1、PTCmn0 = 0、0。

DIR mn	CSI和UART模式下数据传输序列的选择														
	0	MSB优先的输入/输出数据。													
	1	LSB优先的输入/输出数据。													

简化 I²C模式下务必清除为DIRmn = 0。

SLCm n1 ^{※1}	SLC mn0	UART模式下停止位的设置														
	0	0	无停止位													
	0	1	停止位长度 = 1位													
	1	0	停止位长度 = 2位 (仅限mn = 00、02、10、12)													
	1	1	禁止设置													

选择传送结束中断时，传送完所有停止位时产生中断。
UART 接收时以及简化I²C模式时设置为1位(SLCmn1、SLCmn0 = 0、1)。
CSI模式时设置为无停止位(SLCmn1、SLCmn0 = 0、0)。

DLSm n1 ^{※2}	DLS mn0	CSI和UART模式下数据长度的设置														
	0	1	9位数据长度 (存储于SDRmn寄存器的位0至位8) (仅限UART模式下可设置)													
	1	0	7位数据长度 (存储于SDRmn寄存器的位0至位6)													
	1	1	8位数据长度 (存储于SDRmn寄存器的位0至位7)													
	其它		禁止设置													

简化 I²C模式下务必设置为DLSmn1、DLSmn0 = 1、1。

注 1. 仅限 SCR00、SCR02、SCR10 和 SCR12 寄存器。

2. 仅限 80、100 针产品的 SCR00 和 SCR01 寄存器以及 SCR10 和 SCR11 寄存器。其余固定为 1。

3. 不论数据内容如何, 始终附加 0。

注意事项 务必将位 3、6 和 11 清除为“0”。(将 SCR01、SCR03、SCR11 或 SCR13 寄存器的位 5 也清除为“0”。同时将 SCR02、SCR03、SCR12、SCR13 寄存器以及 30 至 64 针产品中寄存器 SCR10 和 SCR11 的位 1 也清除至“0”。) 务必将位 2 设置为“1”。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3), p: CSI 编号(p = 00, 01, 10, 11, 20, 21, 30, 31)

(5) 串行数据寄存器 mn (SDRmn)的高 7 位

SDRmn 寄存器为通道 n 的发送/接收数据寄存器（16 位）。

SDR00、SDR01、SDR10^{※1}、SDR11^{※1}的位 8 至位 0（低 9 位）或 SDR02、SDR03、SDR10^{※2}、SDR11^{※2}、SDR12 和 SDR13 的位 7 至位 0（低 8 位）用作发送/接收缓冲寄存器，位 15 至位 9 用作设置操作时钟(f_{MCK}) 分频比的寄存器。

将串行模式寄存器 mn (SMRmn)的 CCSmn 位清除为 0 时，操作时钟的分频设置是通过 SDRmn 寄存器的高 7 位进行的时钟被用作传输时钟。

SDRmn 寄存器的低 8/9 位用作发送/接收缓冲寄存器。接收过程中，由移位寄存器转换的并行数据将存储于低 8/9 位中，在发送过程中，发送至移位寄存器的数据将被设置到低 8/9 位。

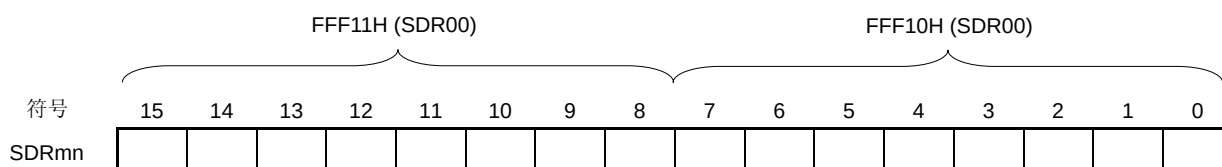
SDRmn 寄存器可以按照 16 位单位进行读取或写入。

然而，仅当停止操作(SEmn = 0)时，才可写入或读取高 7 位。操作过程中 (SEmn = 1)，仅向 SDRmn 寄存器的低 8/9 位写入值。操作过程中 SDRmn 寄存器的读取值始终为 0。

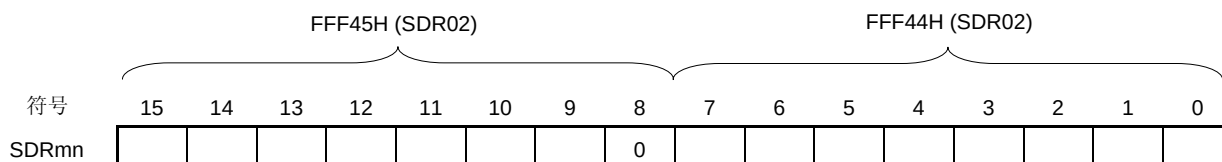
产生复位信号后，清除 SDRmn 寄存器为 0000H。

图 17-9. 串行数据寄存器 mn (SDRmn)的格式

地址：FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01) 复位后：0000H R/W
FFF48H, FFF49H (SDR10)^{※1}, FFF4AH, FFF4BH (SDR11)^{※1}



地址：FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03), 复位后：0000H R/W
FFF48H, FFF49H (SDR10)^{※2}, FFF4AH, FFF4BH (SDR11)^{※2}
FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



SDRmn[15:9]							通过操作时钟(f _{MCK})的分频来设置传输时钟
0	0	0	0	0	0	0	f _{MCK} /2
0	0	0	0	0	0	1	f _{MCK} /4
0	0	0	0	0	1	0	f _{MCK} /6
0	0	0	0	0	1	1	f _{MCK} /8
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
1	1	1	1	1	1	0	f _{MCK} /254
1	1	1	1	1	1	1	f _{MCK} /256

注 1. 80、100 针产品

2. 30 至 64 针产品

(注意事项和备注如下页所示。)

- 注意事项**
1. 务必将 SDR02、SDR03、SDR12、SDR13 和 30 至 64 针产品的 SDR10 和 SDR11 寄存器的位 8 清除为“0”。
 2. 使用 UART 时，禁止设置为 SDRmn[15:9] = (0000000B, 0000001B)。
 3. 使用简化 I²C 时，禁止设置为 SDRmn[15:9] = 0000000B。将 SDRmn[15:9] 设置为 0000001B 或更大。
 4. 停止操作 (SEmn = 0) 时，不要向低 8 位执行 8 位写入。（如果写入这些位，高 7 位将被清除为 0。）
- 备注1.** 关于 SDRmn 寄存器的低 8/9 位功能，请参阅 17.2 串行阵列单元的配置。
2. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(6) 串行标志清除触发寄存器 mn (SIRmn)

SIRmn 寄存器是用于清除通道 n 各个错误标志的触发寄存器。

当该寄存器的各位 (FECTmn、PECTmn、OVCTmn) 被设置为 1 时, 串行状态寄存器 mn 的相应位 (FEFmn、PEFmn、OVFmn) 将被清除为 0。由于 SIRmn 寄存器是一种触发寄存器, 当 SSRmn 寄存器的相应位被清零时, 它们会被立即清零。

使用 16 位存储器操作指令设置 SIRmn 寄存器。

通过 SIRmnL 使用 8 位存储器操作指令设置 SIRmn 寄存器的低 8 位。

产生复位信号后, 清除 SIRmn 寄存器为 0000H。

图 17-10. 串行标志清除触发寄存器 mn (SIRmn)的格式

地址: F0108H, F0109H (SIR00)至F010EH, F010FH (SIR03), 复位后: 0000H R/W
F0148H, F0149H (SIR10)至F014EH, F014FH (SIR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECT mn*	PEC Tmn	OVC Tmn

FEC Tmn	通道n的帧错误标志的清除触发														
0	不清除														
1	将SSRmn寄存器的FEFmn位清除为0。														

PEC Tmn	通道n的奇偶校验错误标志的清除触发														
0	不清除														
1	将SSRmn寄存器的PEFmn位清除为0。														

OVC Tmn	通道n的溢出错误标志的清除触发														
0	不清除														
1	将SSRmn寄存器的OVFmn位清除为0。														

注 仅限 SIR01、SIR03、SIR11 和 SIR13 寄存器。

注意事项 务必将位 15 至 3 (或者 SIR00、SIR02、SIR10 或 SIR12 寄存器的位 15 至 2)清除为“0”。

- 备注1. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)
2. SIRmn 寄存器的读出值一直为 0000H。

(7) 串行状态寄存器 mn (SSRmn)

SSRmn 寄存器用于指示通道 n 的通信状态和错误发生状态。该寄存器指示的错误为帧错误、奇偶校验错误和溢出错误。

使用 16 位存储器操作指令设置 SSRmn 寄存器。

通过 SSRmnL 使用 8 位存储器操作指令设置 SSRmn 寄存器的低 8 位。

产生复位信号后，清除 SSRmn 寄存器为 0000H。

图 17-11. 串行状态寄存器 mn (SSRmn)的格式(1/2)

地址: F0100H, F0101H (SSR00)至F0106H, F0107H (SSR03), 复位后: 0000H R
F0140H, F0141H (SSR10)至F0146H, F0147H (SSR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEFm n [≠]	PEF mn	OVF mn

TSF mn	通道n的通信状态显示标志
0	通信停止或暂停。
1	通信正在进行。
<清除条件> • STm寄存器的STmn位被设置为1 (通信停止) 或者SSm寄存器的SSmn位被设置为1(通信暂停)。 • 通信结束。 <设置条件> • 通信开始。	

BFF mn	通道n的缓冲寄存器状态显示标志
0	SDRmn寄存器中不存储有效数据。
1	SDRmn寄存器中存储有效数据。
<清除条件> • 发送时，从SDRmn寄存器至移位寄存器的发送数据的传送结束。 • 接收时，从SDRmn寄存器的接收数据的读取结束。 • STm寄存器的STmn位被设置为1 (通信停止) 或者SSm寄存器的SSmn位被设置为1 (允许通信)。 <设置条件> • 当SCRmn寄存器的TXEmn位被设置为1（各种通信模式下的发送或者发送和接收模式）时，发送数据被写入 SDRmn寄存器。 • 当SCRmn寄存器的RXEmn位被设置为1（各种通信模式下的发送或者发送和接收模式）时，接收数据被存储于 SDRmn寄存器中。 • 发生接收错误。	

注 仅限 SSR01、SSR03、SSR11 和 SSR13 寄存器。

注意事项 如果在 BFFmn = 1 时将数据写入 SDRmn 寄存器，存储于该寄存器中的发送/接收数据将被丢弃，并检测到溢出错误(OVEmn = 1)。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

图 17-11. 串行状态寄存器 mn (SSRmn)的格式(2/2)

地址: F0100H, F0101H (SSR00)至F0106H, F0107H (SSR03), 复位后: 0000H R
F0140H, F0141H (SSR10)至F0146H, F0147H (SSR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEFm n [≠]	PEF mn	OVF mn

FEFm n [≠]	通道n的帧错误检测标志
0	无错误发生。
1	错误发生 (UART接收期间)。
<清除条件> - 将1写入SIRmn寄存器的FECTmn位。 <设置条件> - 当UART接收结束时未检测到停止位。	

PEF mn	通道n的奇偶校验错误检测标志
0	无错误发生。
1	错误发生(UART接收期间)或未检测到ACK (I ² C发送期间)。
<清除条件> - 将1写入SIRmn寄存器的PECTmn位。 <设置条件> - 当UART接收结束时, 发送数据的奇偶校验和奇偶校验位不匹配(奇偶校验错误)。 - I²C发送过程中, 在ACK接收时序, 从属通道没有返回ACK信号 (未检测到ACK)。	

OVF mn	通道n的溢出错误检测标志
0	无错误发生。
1	错误发生。
<清除条件> - 将1写入SIRmn寄存器的OVCTmn位。 <设置条件> - 当SCRmn寄存器的RXEmn位被设置为1 (各种通信模式下的接收或者发送和接收模式) 时, 即使接收数据存储于SDRmn寄存器中, 也不会读取这些数据, 而是写入发送数据或下一接收数据。 - CSI模式的从属发送或者发送和接收时, 尚未准备好发送数据。	

注 仅限 SSR01、SSR03、SSR11 和 SSR13 寄存器。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(8) 串行通道开始寄存器 m (SSm)

SSm 寄存器是对于各个通道进行设置以允许开始通信/计数的触发寄存器。

当将 1 写入该寄存器(SSmn)的一位时, 串行通道允许状态寄存器 m (SEm)的对应位(SEmn) 将被设置为 1 (允许操作)。由于 SSmn 位为触发位, 所以当 SEmn = 1 时, 该位将立即被清除。

使用 16 位存储器操作指令设置 SSm 寄存器。

通过 SSmL 使用 1 位或 8 位存储器操作指令设置 SSm 寄存器的低 8 位。

产生复位信号后, 清除 SSm 寄存器为 0000H。

图 17-12. 串行通道开始寄存器 m (SSm)的格式

地址: F0122H, F0123H (SS0) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS03	SS02	SS01	SS00

地址: F0162H, F0163H (SS1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	SS13	SS12	SS11	SS10

SSmn	通道n的操作开始触发
0	无触发操作
1	将SEmn位设置为1, 进入通信等待状态 ^注 。

注 如果已有通信操作正在执行, 该操作将被停止。

- 注意事项
1. 务必将 SS0 寄存器的位 15 至 4 以及 SS1 寄存器的位 15 至 4 清除为 “0”。
 2. 对于 UART 接收, 将 SCRmn 寄存器的 RXEmn 位设置为 1, 然后确保在经过 4 个或更多 f_{CLK} 时钟之后将 SSmn 设置为 1。

备注1. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

2. SSm 寄存器的读出值一直为 0000H。

(9) 串行通道停止寄存器 m (STm)

STm 寄存器是对于各个通道进行设置以允许停止通信/计数的触发寄存器。

当将 1 写入该寄存器(SSmn)的一位时，串行通道允许状态寄存器 m (SEm)的对应位(SEmn) 将被清除为 0（停止操作）。由于 STmn 位为触发位，所以当 SEmn = 0 时，该位将立即被清除。

使用 16 位存储器操作指令读取 STm 寄存器。

通过 STmL 使用 1 位或 8 位存储器操作指令设置 STm 寄存器的低 8 位。

产生复位信号后，清除 STm 寄存器为 0000H。

图 17-13. 串行通道停止寄存器 m (STm)的格式

地址: F0124H, F0125H (ST0) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST03	ST02	ST01	ST00

地址: F0164H, F0165H (ST1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	ST13	ST12	ST11	ST10

STm n	通道n的操作停止触发
0	无触发操作
1	将SEmn位清除为0，停止通信操作 ^注 。

注 停止通信，同时保持控制寄存器和移位寄存器的值以及串行时钟 I/O 引脚、串行数据输出引脚和各个错误标志（FEFmn：帧错误标志、PEFmn：奇偶校验位错误标志、OVFmn：溢出错误标志）的状态。

注意事项 务必将 ST0 寄存器的位 15 至 4 以及 ST1 寄存器的位 15 至 4 清除为 “0”。

- 备注 1.** m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)
- 2.** SIRMn 寄存器的读出值一直为 0000H。

(10) 串行通道允许状态寄存器 m (SEm)

SEm 寄存器用于确认各个通道的串行发送/接收操作处于允许或停止状态。

当将 1 写入串行通道开始寄存器 m (SSm)的一个位时，该寄存器的对应位将被设置为 1。当将 1 写入串行通道停止寄存器 m (STm)的一个位时，对应位将被清除为 0。

对于允许操作的通道 n，将不能通过软件重写串行输出寄存器 m (SOM)（描述见后文）的 CKOmn 位的值（通道 n 的串行时钟输出），同时从串行时钟引脚输出一个由通信操作所反映的值。

于停止操作的通道 n，可以通过软件设置 SOM 寄存器的 CKOmn 位的值，并从串行时钟引脚输出该值。这样，任何波形（如开始条件/停止条件的波形）均可由软件创建。

使用 16 位存储器操作指令读取 SEm 寄存器。

通过 SEmL 使用 1 位或 8 位存储器操作指令设置 SEm 寄存器的低 8 位。

产生复位信号后，清除 SEm 寄存器为 0000H。

图 17-14. 串行通道允许状态寄存器 m (SEm)的格式

地址: F0120H, F0121H (SE0) 复位后: 0000H R

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE03	SE02	SE01	SE00

地址: F0160H, F0161H (SE1) 复位后: 0000H R

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	SE13	SE12	SE11	SE10

SEm	通道n的操作允许/停止状态的显示														
n															
0	停止操作。														
1	允许操作。														

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(11) 串行输出允许寄存器 m (SOEm)

SOEm 寄存器用于设置是否允许或停止各个通道的串行通信操作的输出。

对于允许输出的通道 n，将不能通过软件重写串行输出寄存器 m (SOM)（描述见后文）的 SOMn 位的值，同时从串行数据输出引脚输出一个由通信操作所反映的值。

对于停止输出的通道 n，可以通过软件设置 SOM 寄存器的 SOMn 位的值，并从串行数据输出引脚输出该值。这样，任何波形（如开始条件/停止条件的波形）均可由软件创建。

使用 16 位存储器操作指令设置 SOEm 寄存器。

通过 SOEmL 使用 1 位或 8 位存储器操作指令设置 SOEm 寄存器的低 8 位。

产生复位信号后，清除 SOM 寄存器为 0000H。

图 17-15. 串行输出允许寄存器 m (SOEm)的格式

地址: F012AH, F012BH 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	SOE03	SOE02	SOE01	SOE00

地址: F016AH, F016BH 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	SOE13	SOE12	SOE11	SOE10

SOE mn	通道n的串行输出允许/停止														
0	通过串行通信操作来停止输出。														
1	通过串行通信操作来允许输出。														

注意事项 务必将 SOE0 寄存器的位 15 至 4 以及 SOE1 寄存器的位 15 至 4 清除为 “0”。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(12) 串行输出寄存器 m (S0m)

S0m 寄存器是用于各个通道串行输出的缓冲寄存器。

该寄存器的 S0mn 位的值从通道 n 的串行数据输出引脚输出。

该寄存器的 CKOmn 位的值从通道 n 的串行时钟输出引脚输出。

该寄存器的 S0mn 位只有在串行输出被禁止时 (SOEmn = 0) 才可用软件重写。当允许串行输出(SOEmn = 1)时, 用软件重写将被忽略, 且该寄存器的值只能通过串行通信操作更改。

该寄存器的 CKOmn 位只有在停止通道操作时 (SEmn = 0) 才可用软件重写。当允许通道操作(SEmn = 1)时, 用软件重写将被忽略, 且该 CKOmn 位的值只能通过串行通信操作更改。

要将串行接口引脚用作端口功能引脚, 须将相应的 CKOmn 和 S0mn 位设置为“1”。

使用 16 位存储器操作指令设置 S0m 寄存器。

产生复位信号后, 清除 S0m 寄存器为 0F0FH。

图 17-16. 串行输出寄存器 m (S0m)的格式

地址: F0128H, F0129H 复位后: 0F0FH R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S00	0	0	0	0	CKO 03	CKO 02	CKO 01	CKO 00	0	0	0	0	SO 03	SO 02	SO 01	SO 00

地址: F0168H, F0169H 复位后: 0F0FH R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S01	0	0	0	0	CKO 13	CKO 12	CKO 11	CKO 10	0	0	0	0	SO 13	SO 12	SO 11	SO 10

CKO mn	通道n的串行时钟输出
0	串行时钟输出值为“0”。
1	串行时钟输出值为“1”。

SO mn	通道n的串行数据输出
0	串行数据输出值为“0”。
1	串行数据输出值为“1”。

注意事项 务必将 S0m 寄存器的位 15 至 12 以及 7 至 4 清除为“0”。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

(13) 串行输出电平寄存器 m (SOLm)

SOLm 寄存器是用于设置各个通道数据输出电平反相的寄存器。
 仅限 UART 模式时可以设置该寄存器。CSI 模式和简化 I²C 模式时，务必将对应位设置为 0。
 仅当允许串行输出时 (SOEmn = 1)，通过该寄存器对通道 n 所作的反相设置才会体现在引脚输出上。当串行输出被禁止时 (SOEmn = 0)，SOMn 位的值将按原样输出。
 当寄存器在运行 (SEmn = 1) 时，禁止重写 SOLm 寄存器。
 使用 16 位存储器操作指令设置 SOLm 寄存器。
 通过 SOLmL 使用 8 位存储器操作指令设置 SOLm 寄存器的低 8 位。
 产生复位信号后，清除 SOLm 寄存器为 0000H。

图 17-17. 串行输出电平寄存器 m (SOLm)的格式

地址: F0134H, F0135H (SOL0) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02	0	SOL 00

地址: F0174H, F0175H (SOL1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 12	0	SOL 10

SOL mn	UART模式时，通道n的发送数据电平反相的选择
0	通信数据按原样输出。
1	通信数据反相并输出。

注意事项 务必将寄存器 SOL0 的位 15 至 3 和 1 以及 SOL1 寄存器的位 15 至 3 和 1 清除为“0”。

备注 m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 2)

(14) 串行待机控制寄存器 m (SSCm)

SSC0 寄存器可通过接收 CSI00 或 UART0 的串行数据，来控制在 STOP 模式下开始接收（SNOOZE 模式）。

CSI20 或 UART2 的串行数据接收时，SSC1[※]寄存器用于控制在 STOP 模式下开始接收（SNOOZE 模式）。

使用 16 位存储器操作指令设置 SSCm 寄存器。

通过 SSCmL 使用 8 位存储器操作指令设置 SSCm 寄存器的低 8 位。

产生复位信号后，清除 SSCm 寄存器为 0000H。

注 仅在 80、100 针产品中提供 SSC1 寄存器。

注意事项 SNOOZE 模式下的最大传送速率如下所示。

- 使用 CSI00、CSI20 : 1 Mbps (目标)
- 使用 UART0、UART2 : 9600 bps (目标)

图 17-18. 串行待机控制寄存器 m (SSCm)的格式

地址: F0138H (SSC0), F0178H (SSC1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS ECm	SWC m

SS ECm	选择是否允许或停止产生传送结束中断
0	允许产生错误中断(INTSRE0/INTSRE2)。 以下情况时，时钟发生器的时钟请求信号（内部信号）也将被清除： • SWC位被清除为0 • 当误测到UART接收起始位时
1	停止产生错误中断(INTSRE0/INTSRE2)。 以下情况时，时钟发生器的时钟请求信号（内部信号）也将被清除： • SWCm位被清除为0 • 当误测到UART接收起始位时 • 由于奇偶检验错误或帧错误而产生传送结束中断的时序

SW Cm	选择允许或停止在STOP模式下开始CSI00/CSI20或UART0/UART2的接收操作
0	停止在STOP模式下开始接收。
1	允许在STOP模式下开始接收。 (在异步CSI00/CSI20接收或UART0/UART2接收过程中，允许波特率调节功能。)

注意事项 禁止设置为 SSECm、SWCm = 1、0。

(15) 输入切换控制寄存器(ISC)

通过将 ISC 寄存器的 ISC1 和 ISC0 位与外部中断和定时器阵列单元一起使用，从而实现 UART0 时的 LIN-bus 通信操作。

当位 0 被设置为 1 时，串行数据输入(RxD0)引脚的输入信号将被选为外部中断(INTP0)，可用于检测唤醒信号。

当位 1 被设置为 1 时，串行数据输入(RxD0)引脚的输入信号将被选为定时器输入，以便能检测到唤醒信号，并且定时器能够测量同步间隔场的低宽度和同步场的脉冲宽度。

当进行 CSI00 通信且处于从属模式时，SSIE0 位作为控制通道 0 的 $\overline{\text{SSI00}}$ 引脚输入的位。

在高电平输入到 $\overline{\text{SSI00}}$ 引脚期间，即使串行时钟输入也不能进行接收/传送操作。在低电平输入到 $\overline{\text{SSI00}}$ 引脚期间，若串行时钟输入则按照各种模式的设置进行接收/传送操作。

使用 1 位或 8 位存储器操作指令设置 ISC 寄存器。

产生复位信号后，清除 ISC 寄存器为 00H。

图 17-19. 输入切换控制寄存器 (ISC)的格式

地址: F0073H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0

SSIE00	在CSI通信和从属模式时，通道0的 $\overline{\text{SSI00}}$ 输入的设置
0	禁止 $\overline{\text{SSI00}}$ 引脚输入。
1	允许 $\overline{\text{SSI00}}$ 引脚输入。

ISC1	切换定时器阵列单元通道3的输入
0	把TI03引脚的输入信号用作定时器输入（正常操作）。
1	RxD0引脚的输入信号被用作定时器输入（检测唤醒信号，测量同步间隔场的低宽度和同步场的脉冲宽度）。

ISC0	切换外部中断 (INTP0)输入
0	将INTP0引脚的输入信号用作外部中断（正常操作）。
1	将RxD0引脚的输入信号用作外部中断(唤醒信号检测)。

注意事项 务必将位 6 至 2 清除为“0”。

(16) 噪声滤波器允许寄存器 0 (NFEN0)

NFEN0 寄存器是按照每个通道设置对于串行数据输入引脚的输入信号是否使用噪声滤波器。

用于 CSI 或简化 I²C 通信的引脚中，将该寄存器的对应位清除为 0，禁止使用噪声滤波器。

用于 UART 通信的引脚中，将该寄存器的对应位设置为 1，允许使用噪声滤波器。

允许噪声滤波器时，对 CPU/外围硬件时钟(f_{CLK})执行双时钟匹配检测以及同步。关闭噪声滤波器时，只对 CPU/外围硬件时钟(f_{CLK})执行同步[※]。

使用 1 位或 8 位存储器操作指令设置 NFEN0 寄存器。

产生复位信号后，清除 NFEN0 寄存器为 00H。

注 详情请参阅 6.5.1 (2) 选择 TImn 引脚输入信号的有效边沿时(CCSmn = 1) 和 6.5.2 计数器的开始时序。

图 17-20. 噪声滤波器允许寄存器 0 (NFEN0)的格式

地址: F0070H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3引脚的噪声滤波器的使用
0	噪声滤波器OFF
1	噪声滤波器ON
作为RxD3引脚使用时，将SNFEN30设为1。 作为RxD3引脚以外使用时，将SNFEN30清除为0。	

SNFEN20	RxD2引脚的噪声滤波器的使用
0	噪声滤波器OFF
1	噪声滤波器ON
作为RxD2引脚使用时，将SNFEN20设为1。 作为RxD2引脚以外使用时，将SNFEN20清除为0。	

SNFEN10	RxD1引脚的噪声滤波器的使用
0	噪声滤波器OFF
1	噪声滤波器ON
作为RxD1引脚使用时，将SNFEN10设为1。 作为RxD1引脚以外使用时，将SNFEN10清除为0。	

SNFEN00	RxD0引脚的噪声滤波器的使用
0	噪声滤波器OFF
1	噪声滤波器ON
作为RxD0引脚使用时，将SNFEN00设为1。 作为RxD0引脚以外使用时，将SNFEN00清除为0。	

注意事项 务必将位 7、5、3 和 1 清除为“0”。

(17) 端口输入模式寄存器 0、1、3、5 (PIM0、PIM1、PIM3、PIM5)

该寄存器按照 1 位单位设置端口 0、1、3 和 5 的输入缓冲。

使用 1 位或 8 位存储器操作指令设置 PIM0、PIM1、PIM3 和 PIM5 寄存器。

产生复位信号后，清除 PIM0、PIM1、PIM3 和 PIM5 寄存器为 00H。

图 17-21. 端口输入模式寄存器 0、1、3 和 5 (PIM0、PIM1、PIM3、PIM5)的格式

地址: F0040H	复位后: 00H	R/W								
符号	7	6	5	4	3	2	1	0		
PIM0	0	0	0	PIM04	PIM03	0	PIM01	0		

地址: F0041H	复位后: 00H	R/W								
符号	7	6	5	4	3	2	1	0		
PIM1	PIM17	PIM16	PIM15	PIM14	0	0	0	PIM10		

地址: F0043H	复位后: 00H	R/W								
符号	7	6	5	4	3	2	1	0		
PIM3	0	0	0	0	0	0	PIM31	PIM30		

地址: F0045H	复位后: 00H	R/W								
符号	7	6	5	4	3	2	1	0		
PIM5	0	0	PIM55	0	0	0	0	PIM50		

PIMmn	Pmn引脚的输入缓冲器的选择(m = 0、1、3、5; n = 0、1、3至7)									
0	正常输入缓冲									
1	TTL输入缓冲									

(18) 端口输出模式寄存器 0、1、3、5、7 (POM0、POM1、POM3、POM5、POM7)

该寄存器按照 1 位单位设置端口 0、1、3、5 和 7 的输出模式。

使用 1 位或 8 位存储器操作指令设置 POM0、POM1、POM3、POM5 和 POM7 寄存器。

产生复位信号后，清除 POM0、POM1、POM3、POM5 和 POM7 寄存器为 00H。

图 17-22. 端口输出模式寄存器 0、1、3、5 和 7 (POM0、POM1、POM3、POM5、POM7)的格式

地址: F0050H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
POM0	0	0	0	POM04	POM03	POM02	0	POM00

地址: F0051H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
POM1	POM17	0	POM15	POM14	POM13	0	POM11	POM10

地址: F0053H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
POM3	0	0	0	0	0	0	0	POM30

地址: F0055H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
POM5	0	0	POM55	0	0	0	POM51	POM50

地址: F0057H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
POM7	0	0	0	POM74	0	0	POM71	0

POMmn	Pmn引脚的输出模式的选择(m = 0、1、3、5、7; n = 0至5、7)
0	正常输出模式
1	N沟道开路漏极输出 (EV _{DD0} 耐压)模式

(19) 端口模式寄存器 0、1、3、5 至 7 (PM0、PM1、PM3、PM5 至 PM7)

该寄存器按照 1 位单位设置端口 0、1、3、5 至 7 的输入/输出。

将复用于串行数据输出引脚或串行时钟输出引脚的端口（例如 P02/ANI17/SO10/TXD1、P04/ $\overline{\text{SCK10}}$ /SCL10），用作串行数据输出或串行时钟输出时，将与各端口对应的端口模式寄存器(PMxx)位设置为 0。此时将与各端口对应的端口寄存器(Pxx)位设置为 1。

示例：将 P02/ANI17/SO10/TXD1 用于串行数据输出或串行时钟输出时

将端口模式寄存器 0 的 PM02 位设为 0。

将端口寄存器 0 的 P02 位设为 1。

将复用于串行数据输入引脚或串行时钟输入引脚的端口（例如 P04/ $\overline{\text{SCK10}}$ /SCL10、P50/INTP1/SI00/RXD0/TOOLRXD/SDA00/TRG10A），用作串行数据输入或串行时钟输入时，将与各端口对应的端口模式寄存器(PMxx)位设置为 1。这时可以将端口寄存器(Pxx)位设置为 0 或 1。

示例：将 P50/INTP1/SI00/RXD0/TOOLRXD/SDA00/TRG10A 用于串行数据输入引脚或串行时钟输入时

将端口模式寄存器 5 的 PM50 位设为 1。

将端口寄存器 5 的 P50 位设为 1。

使用 1 位或 8 位存储器操作指令设置 PM0、PM1、PM3、PM5 至 PM7 寄存器。

产生复位信号后，设置 PM0、PM1、PM3、PM5 至 PM7 寄存器为 FFH。

图 17-23. 端口模式寄存器 0、1、3、5 至 7 (PM0、PM1、PM3、PM5 至 7)的格式

地址: FFF20H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

地址: FFF21H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

地址: FFF23H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

地址: FFF25H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

地址: FFF26H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	PM63	PM62	PM61	PM60

地址: FFF27H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PMmn	Pmn引脚的I/O模式的选择(m = 0、1、3、5至7; n = 0至7)
0	输出模式 (输出缓冲器 ON)
1	输入模式 (输出缓冲器 OFF)

17.4 操作停止模式

串行阵列单元的各串行接口均有操作停止模式。

在此模式下，不能执行串行通信，因而可降低功耗。

另外，在该模式下，用于串行接口的引脚可用作端口功能引脚。

17.4.1 以单元单位停止操作

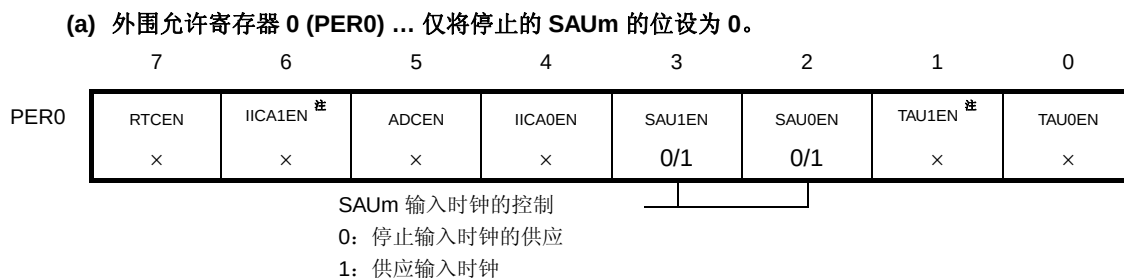
使用外围允许寄存器 0 (PER0) 设置按照单元单位停止操作。

PER0 寄存器用于允许或禁止向外围硬件供应时钟。并且停止向未使用的硬件供应时钟，以减少电力消耗和噪声。

将位 2 (SAU0EN) 设置为 0 以停止操作串行阵列单元 0。

将位 3 (SAU1EN) 设置为 0 以停止操作串行阵列单元 1。

图 17-24. 以单元单位停止操作时外围允许寄存器 0 (PER0) 的设置



注 仅限 80 和 100 针产品。

注意事项 1. 如果 SAUmEN = 0，对于串行阵列单元 m 的控制寄存器进行的写入操作被忽略，而且该寄存器的读取值总为初始值。

但如下的寄存器除外：

- 输入切换控制寄存器 (ISC)
- 噪声滤波器允许寄存器 0 (NFEN0)
- 串行待机控制寄存器 m (SSCm)
- 端口输入模式寄存器 0、1、3、5 (PIM0、PIM1、PIM3、PIM5)
- 端口输出模式寄存器 0、1、3、5、7 (POM0、POM1、POM3、POM5、POM7)
- 端口模式寄存器 0、1、3、5 至 7 (PM0、PM1、PM3、PM5 至 PM7)
- 端口寄存器 0、1、3、5 至 7 (P0、P1、P3、P5 至 P7)

2. 务必将以下位清除为 0。

30、32、36、40、44、48、52、64 针产品：位 1、6

备注 ×：串行阵列单元未使用的位（取决于其他外围功能的设置）

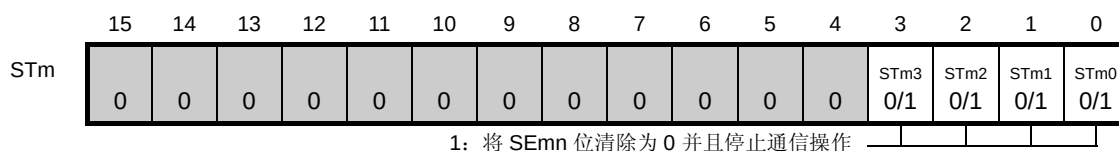
0/1：可根据用户的用途设为 0 或 1

17.4.2 以通道单位停止操作时

使用以下各种寄存器的设置，从而以通道单位停止操作。

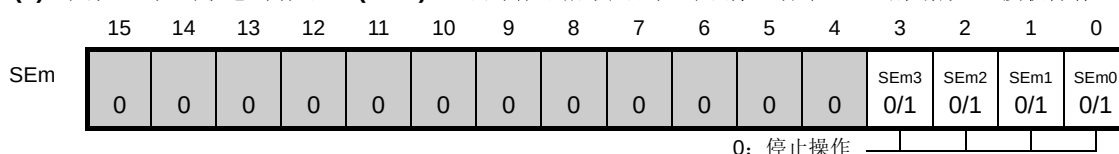
图 17-25. 以通道单位停止操作时每个寄存器的设置

(a) 串行通道停止寄存器 m (STm) ... 该寄存器是用于设置是否允许各个通道的通信/计数的触发寄存器。



* 由于 STmn 位为触发位，所以当 SEmn = 0 时，该位将立即被清除。

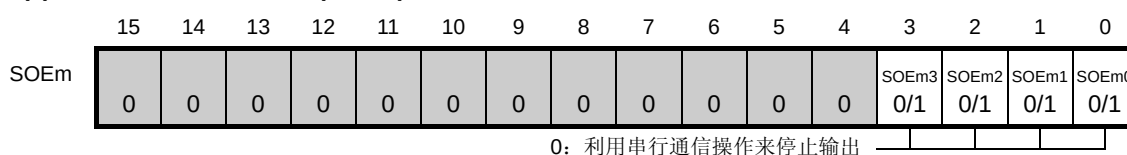
(b) 串行通道允许状态寄存器 m (SEm) ... 该寄存器指示是否允许或停止各个通道的数据发送/接收操作。



* SEm 寄存器是 read-only 状态寄存器，通过 STm 寄存器停止操作该寄存器。

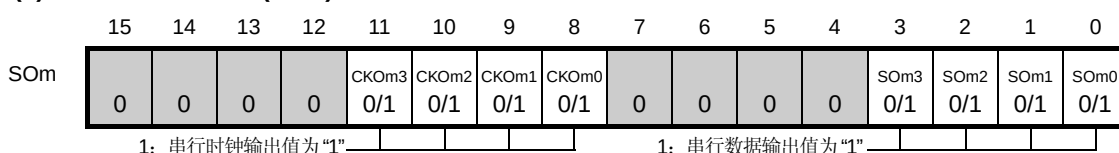
对于已经停止操作的通道，可以通过软件设置 SOm 寄存器的 CKOm_n 位的值。

(c) 串行输出允许寄存器 m (SOEm) ... 该寄存器用于设置允许或停止各个通道的串行通信操作的输出。



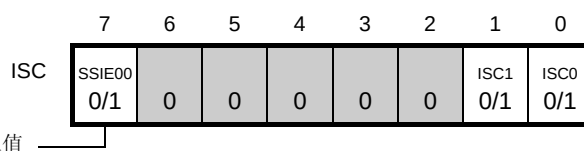
* 对于通道 n（其串行输出已停止），可以用软件设置 SOm 寄存器的 SOMn 位的值。

(d) 串行输出寄存器 m (SOm) ... 该寄存器是各个通道的串行输出的缓冲寄存器。



* 在将对应于各个通道的引脚用作端口功能引脚时，将相应的 CKOm_n、SOMn 位设置为“1”。

(e) 输入切换控制寄存器(ISC) ... CSI00 从属通道(单元 0 的通道 0)中 $\overline{\text{SSI00}}$ 的输入设置。



备注 1. m: 单元编号(m = 0, 1), n: 通道编号(n = 0 至 3)

2. : 禁止设置 (设为初始值)

0/1: 可根据用户的用途设为 0 或 1

17.5 3 线串行 I/O (CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31) 通信的操作

这是一种采用三条线路的时钟同步式通信功能：串行时钟 ($\overline{\text{SCK}}$) 和串行数据 (SI 和 SO) 线路。

[数据发送/接收]

- 数据长度为 7 或 8 位
- 发送/接收数据的相位控制
- MSB/LSB 优先的选择
- 发送/接收数据的电平设置

[时钟控制]

- 主/从属选择
- I/O 时钟的相位控制
- 通过预分频器和通道内部计数器设置传输周期
- 最大传送速率

主通信期间(CSI00): $\text{Max. } f_{\text{CLK}}/2^{\#}$

主通信期间(CSI00 以外): $\text{Max. } f_{\text{CLK}}/4^{\#}$

从属通信期间: $\text{Max. } f_{\text{MCK}}/6^{\#}$

[中断功能]

- 传送结束中断/缓冲器空白中断

[错误检测标志]

- 溢出错误

另外，以下通道的 CSI 支持 SNOOZE 模式。借助 SNOOZE 模式，即使在 STOP 模式下检测到 $\overline{\text{SCK}}$ 输入时也可以不操作 CPU 就执行数据接收。仅可以设置支持异步接收的以下 CSI。

- 30 至 64 针产品： 仅限 CSI00
- 80、100 针产品： 仅限 CSI00 和 CSI20

另外，CSI00 支持从属选择输入功能。详情请参阅 17.6 具有从属选择输入功能的时钟同步串行通信。

注 所用时钟的范围要符合 $\overline{\text{SCK}}$ 周期时间 (t_{KCY}) 特性(参阅 第三十四章 电特性)。

支持 3 线串行 I/O 的通道 (CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31) 为 SAU0 的通道 0 至 3 和 SAU1 的通道 0 至 3。

• 30、32 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

• 36、40、44 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

• 48、52 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

• 64 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

• 80、100 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

3 线串行 I/O (CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31)具有如下七种类型的通信操作。

- 主发送 (参阅 17.5.1。)
- 主接收 (参阅 17.5.2。)
- 主发送/接收 (参阅 17.5.3。)
- 从属发送 (参阅 17.5.4。)
- 从属接收 (参阅 17.5.5。)
- 从属发送/接收 (参阅 17.5.6。)
- SNOOZE 模式功能 (仅限 CSI00) (参阅 17.5.7。)

17.5.1 主发送

主发送指 RL78/G14 输出传送时钟，并将数据发送至另一个器件。

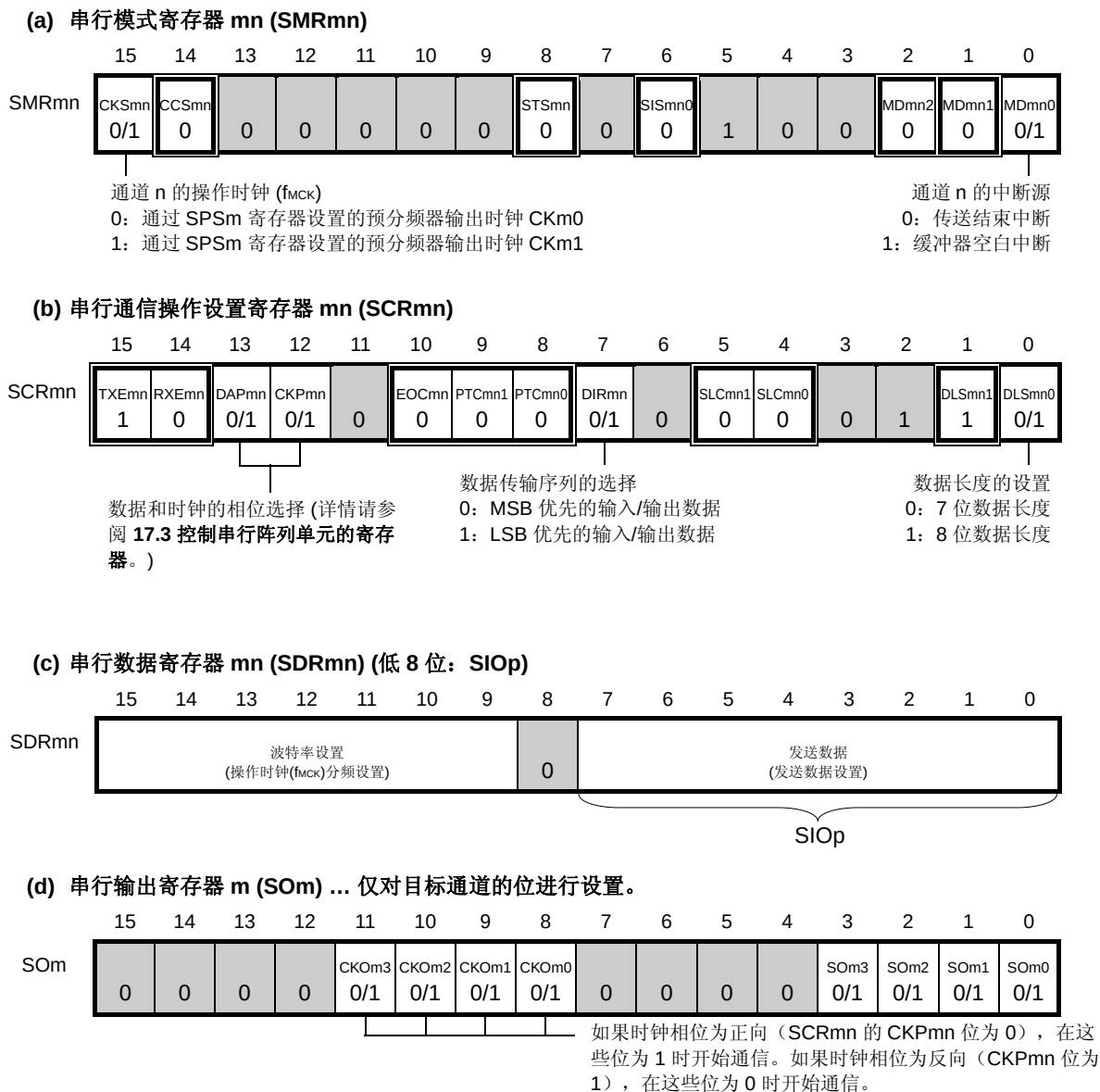
3线串行I/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
目标通道	SAU0的 通道0	SAU0的 通道1	SAU0的 通道2	SAU0的 通道3	SAU1的 通道0	SAU1的 通道1	SAU1的 通道2	SAU1的 通道3
使用引脚	$\overline{\text{SCK00}}$ 、 SO00	$\overline{\text{SCK01}}$ 、 SO01	$\overline{\text{SCK10}}$ 、 SO10	$\overline{\text{SCK11}}$ 、 SO11	$\overline{\text{SCK20}}$ 、 SO20	$\overline{\text{SCK21}}$ 、 SO21	$\overline{\text{SCK30}}$ 、 SO30	$\overline{\text{SCK31}}$ 、 SO31
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	可选择发送结束中断(单发送模式时)或缓冲器空白中断(连续发送模式时)。							
错误检测标志	无							
传送数据长度	7或8位							
传送速率	Max. $f_{\text{CLK}}/2$ [Hz] (CSI00), $f_{\text{CLK}}/4$ [Hz] (CSI00以外) Min. $f_{\text{CLK}}/(2 \times 2^{15} \times 128)$ [Hz] [※] f_{CLK} : 系统时钟频率							
数据相位	可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输出。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输出。							
时钟相位	可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正 • CKPmn = 1: 反							
数据方向	MSB或LSB优先							

注 应在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

(1) 寄存器设置

图 17-26. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)的主发送时的寄存器设置内容示例(1/2)



- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13
2. ☐: 设置固定于 CSI 主机传输模式, ☐: 禁止设置 (设为初始值)
 0/1: 可根据客户的用途设为 0 或 1

图 17-26. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)的主发送时的寄存器设置内容示例(2/2)

(e) 串行输出允许寄存器 m (SOEm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13
2. : 禁止设置 (设为初始值)
0/1: 可根据客户的用途设为 0 或 1

(2) 操作步骤

图 17-27. 主发送的初始设定步骤

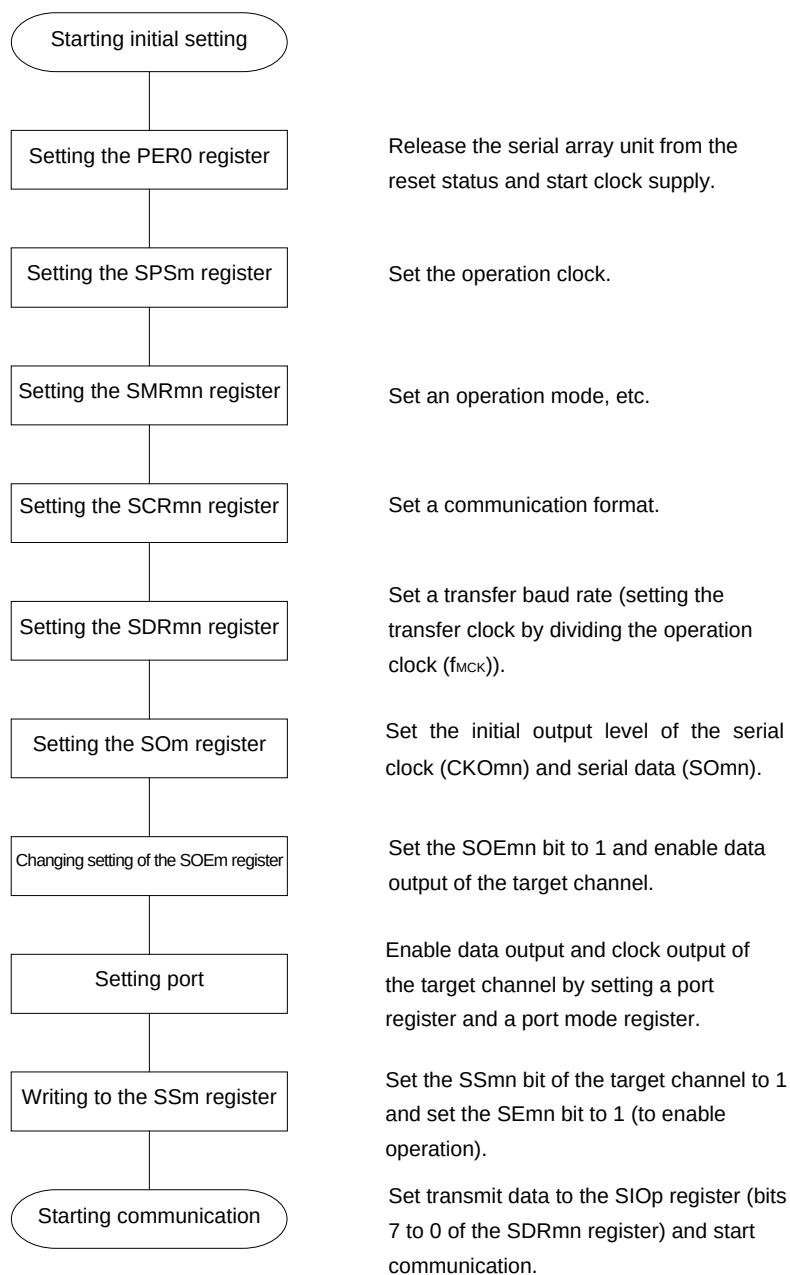


图 17-28. 停止主发送的步骤

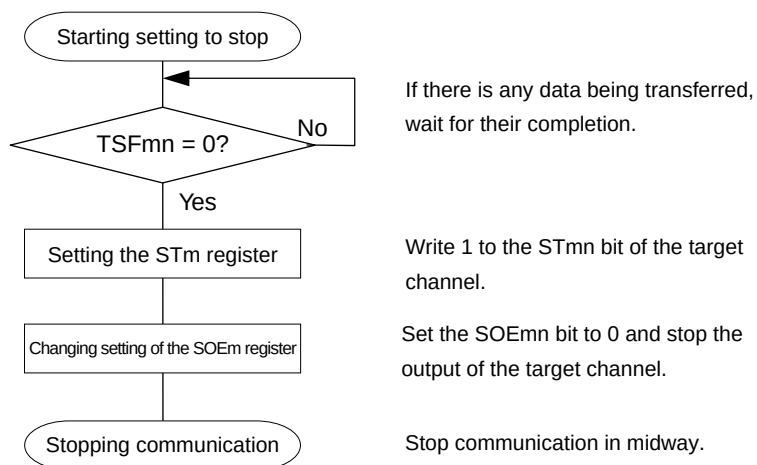
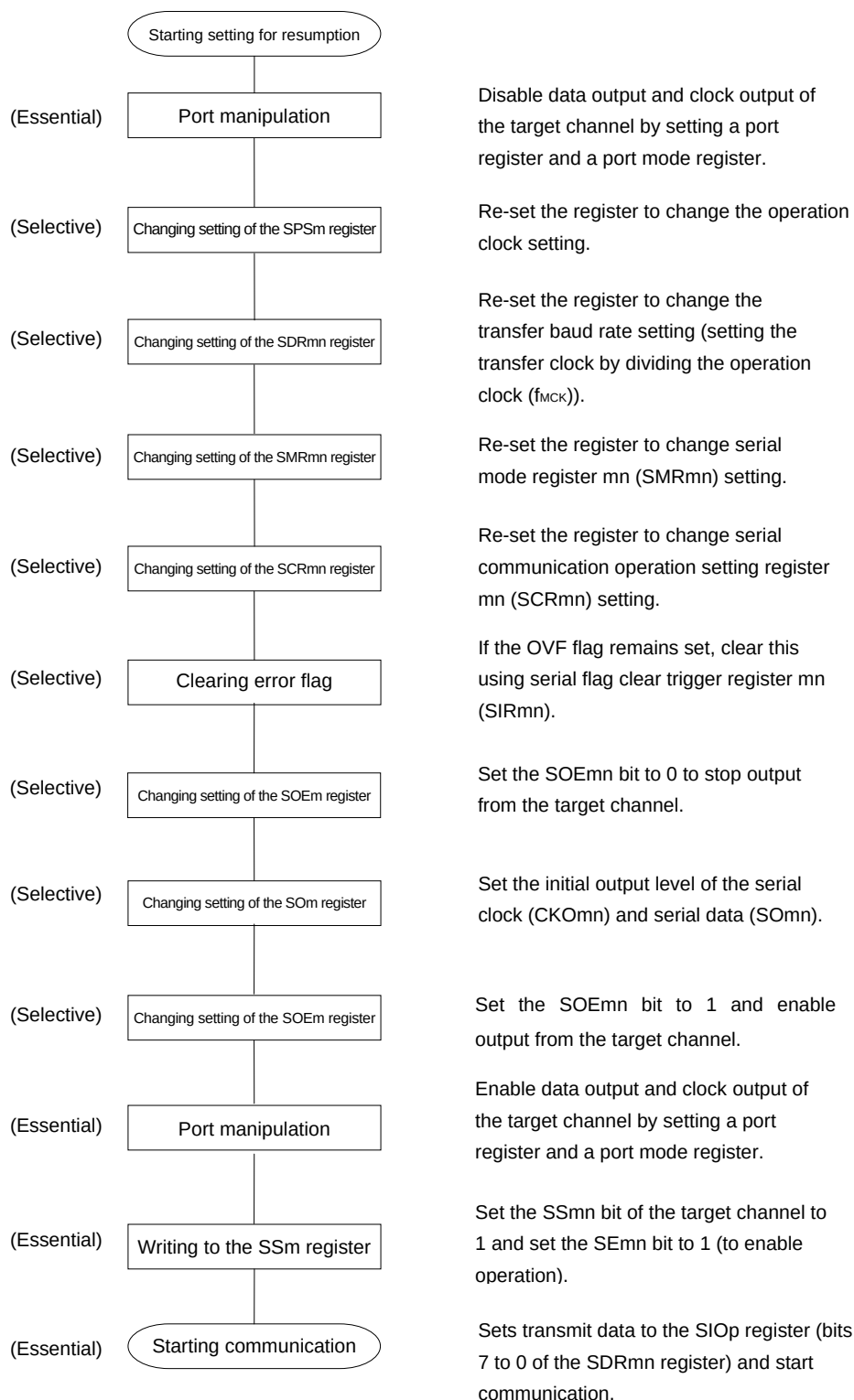
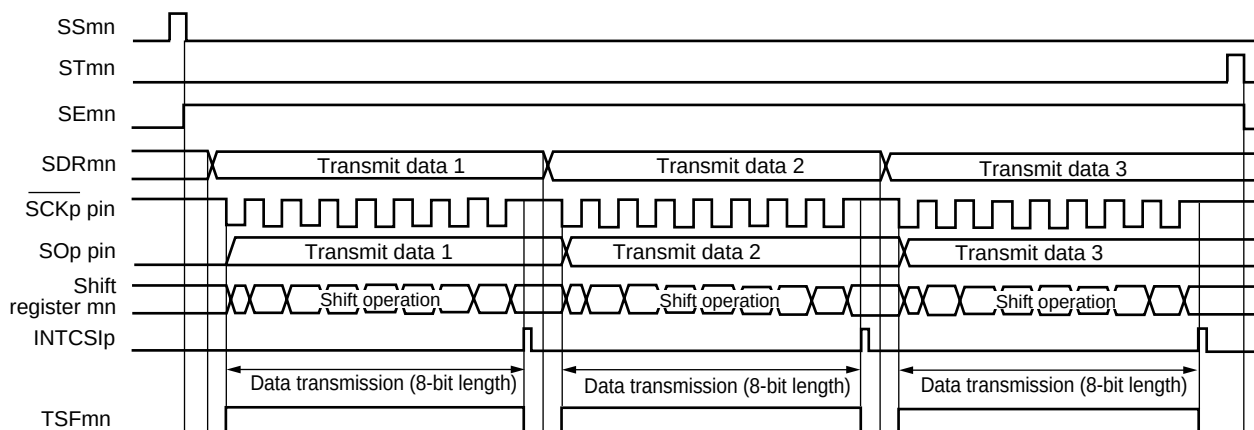


图 17-29. 恢复主发送的步骤



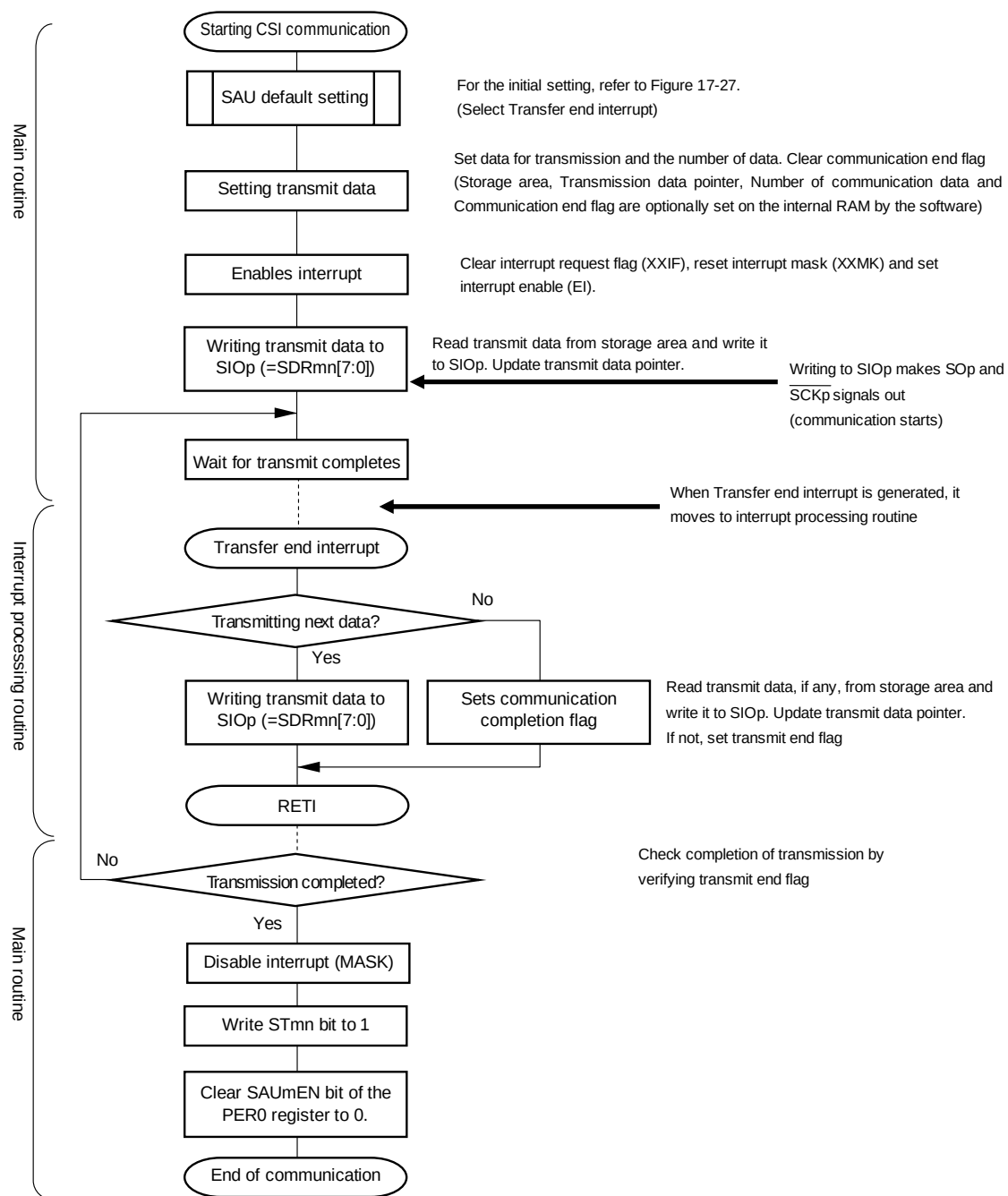
(3) 处理流程 (单发送模式时)

图 17-30. 主发送(单发送模式时)的时序图
(类型 1: DAPmn = 0、CKPmn = 0)



备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13

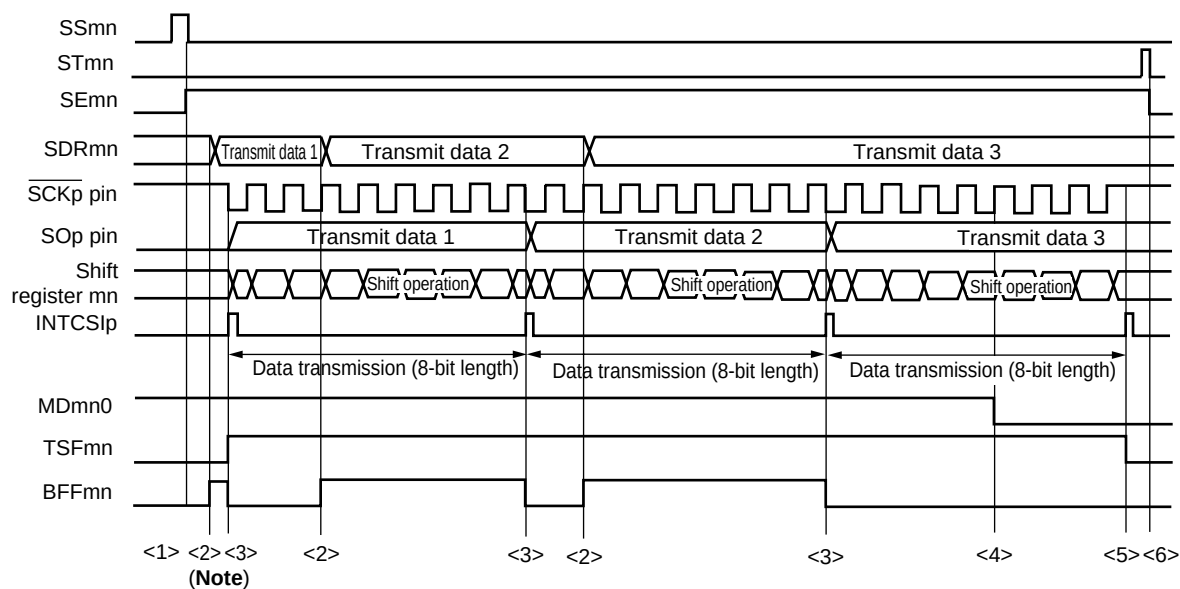
图 17-31. 主发送 (单发送模式时)的流程图



(4) 处理流程 (连续发送模式时)

图 17-32. 主发送 (连续发送模式时)的时序图

(类型 1: DAPmn = 0、CKPmn = 0)



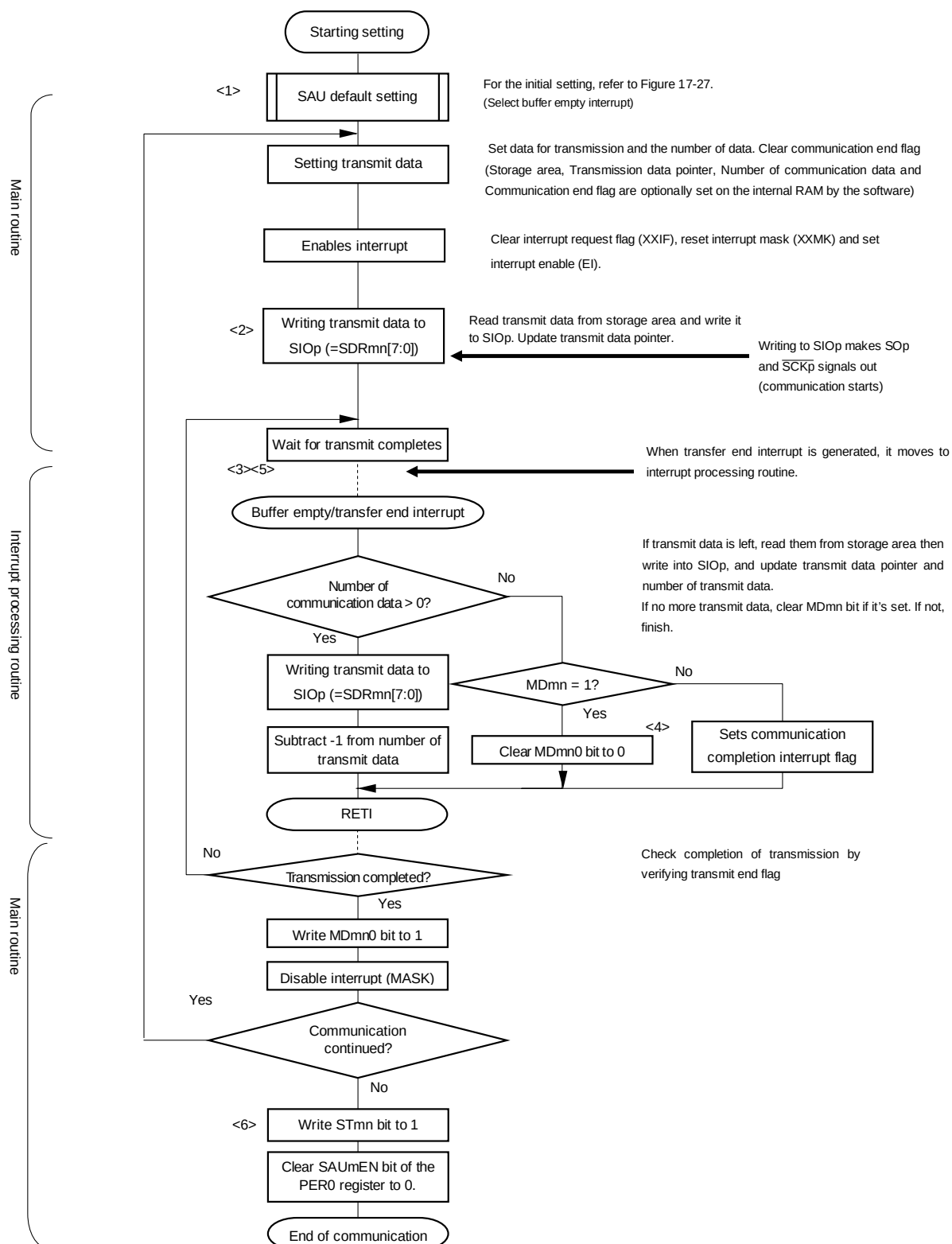
注 如果在串行状态寄存器 mn (SSRmn) 的 BFFmn 位为 1 时将发送数据写入 SDRmn 寄存器 (将有效数据存储于串行数据寄存器 mn (SDRmn) 中)，则发送数据将被覆盖。

注意事项 即使在操作过程中，也可重写串行模式寄存器 mn (SMRmn) 的 MDmn0 位。

然而，一定要在开始传输最后一位之前重写，这样才能在最后发送数据的传送结束中断前完成重写。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13

图 17-33. 主发送 (连续发送模式时)的流程图



备注 此图中的<1>至<6>对应于图 17-32 主发送 (连续发送模式时)的时序图中的<1>至<6>。

17.5.2 主接收

主接收指 RL78/G14 输出传送时钟，并从其他器件接收数据。

3线串行I/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
目标通道	SAU0的 通道0	SAU0的 通道1	SAU0的 通道2	SAU0的 通道3	SAU1的 通道0	SAU1的 通道1	SAU1的 通道2	SAU1的 通道3
使用引脚	$\overline{\text{SCK00}}$ 、 SI00	$\overline{\text{SCK01}}$ 、 SI01	$\overline{\text{SCK10}}$ 、 SI10	$\overline{\text{SCK11}}$ 、 SI11	$\overline{\text{SCK20}}$ 、 SI20	$\overline{\text{SCK21}}$ 、 SI21	$\overline{\text{SCK30}}$ 、 SI30	$\overline{\text{SCK31}}$ 、 SI31
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	可选择发送结束中断(单发送模式时)或缓冲器空白中断(连续发送模式时)。							
错误检测标志	仅限溢出错误检测标志(OVFmn)							
传送数据长度	7或8位							
传送速率	Max. $f_{\text{CLK}}/2$ [Hz] (CSI00), $f_{\text{CLK}}/4$ [Hz] (CSI00以外) Min. $f_{\text{CLK}}/(2 \times 2^{15} \times 128)$ [Hz] [※] f_{CLK} : 系统时钟频率							
数据相位	可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输入 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入							
时钟相位	可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正 • CKPmn = 1: 反							
数据方向	MSB或LSB优先							

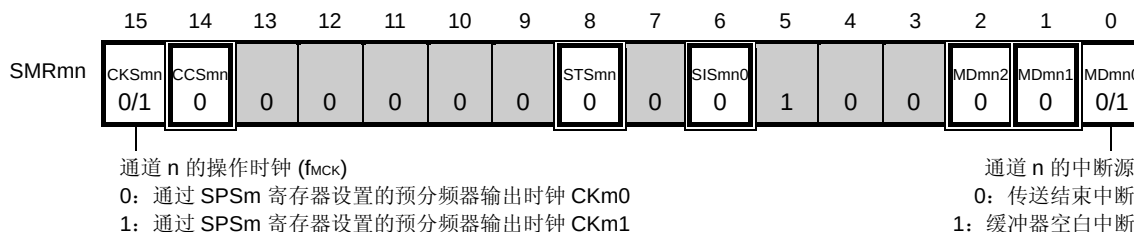
注 应在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

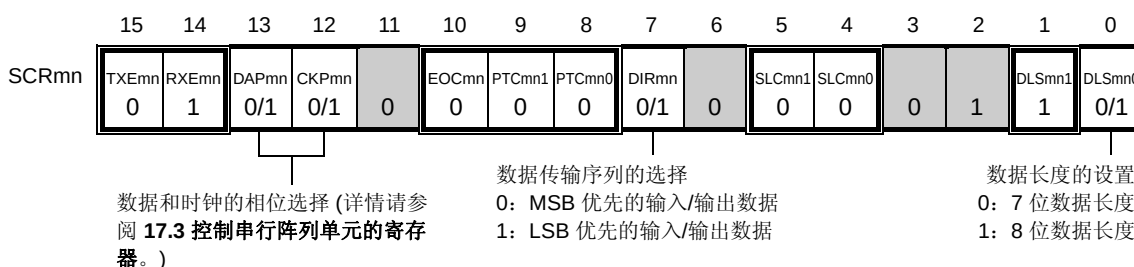
(1) 寄存器设置

图 17-34. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)
的主接收时的寄存器设置内容示例(1/2)

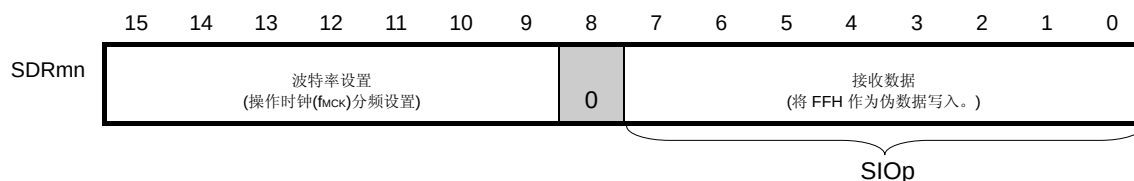
(a) 串行模式寄存器 mn (SMRmn)



(b) 串行通信操作设置寄存器 mn (SCRmn)



(c) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)



(d) 串行输出寄存器 m (SOM) ... 仅对目标通道的位进行设置。



- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13
2. □: 设置固定于 CSI 主接收模式, ■: 禁止设置 (设为初始值)
×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)
0/1: 可根据客户的用途设为 0 或 1

图 17-34. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)
的主接收时的寄存器设置内容示例(2/2)

(e) 串行输出允许寄存器 m (SOEm) ...该模式下不使用的寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

2.  : 禁止设置 (设为初始值)

×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)

0/1: 可根据客户的用途设为 0 或 1

(2) 操作步骤

图 17-35. 主接收的初始设定步骤

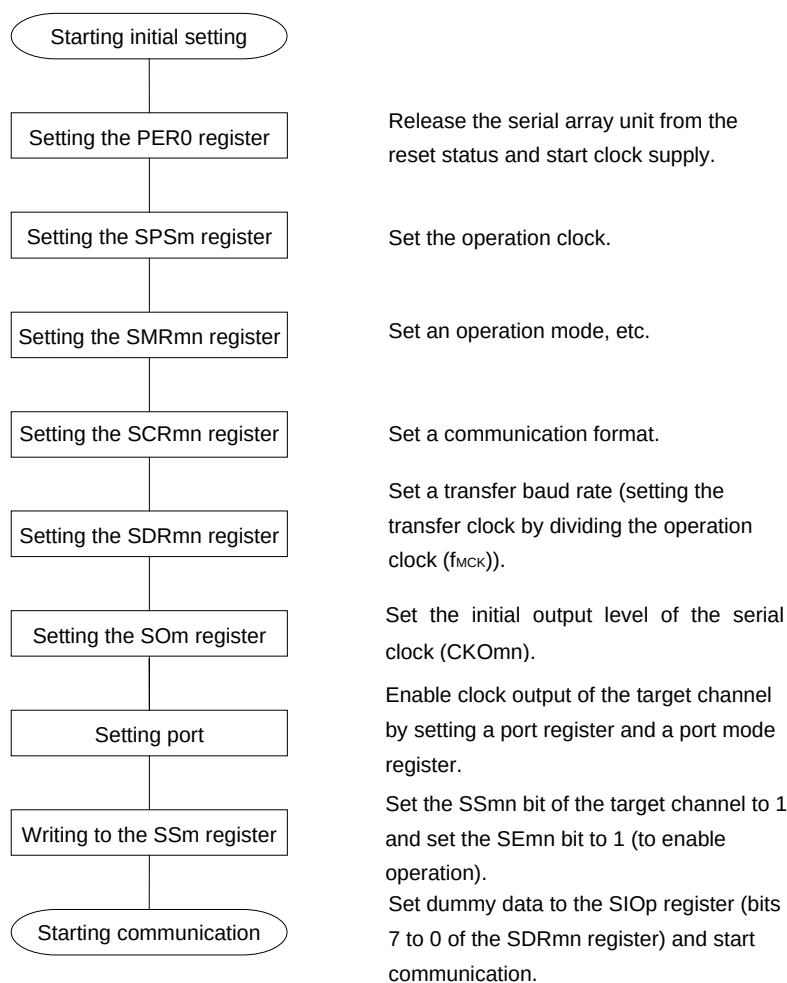
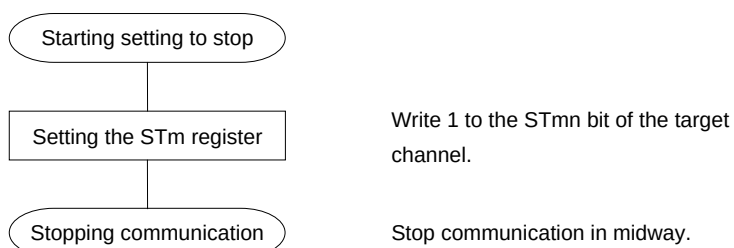
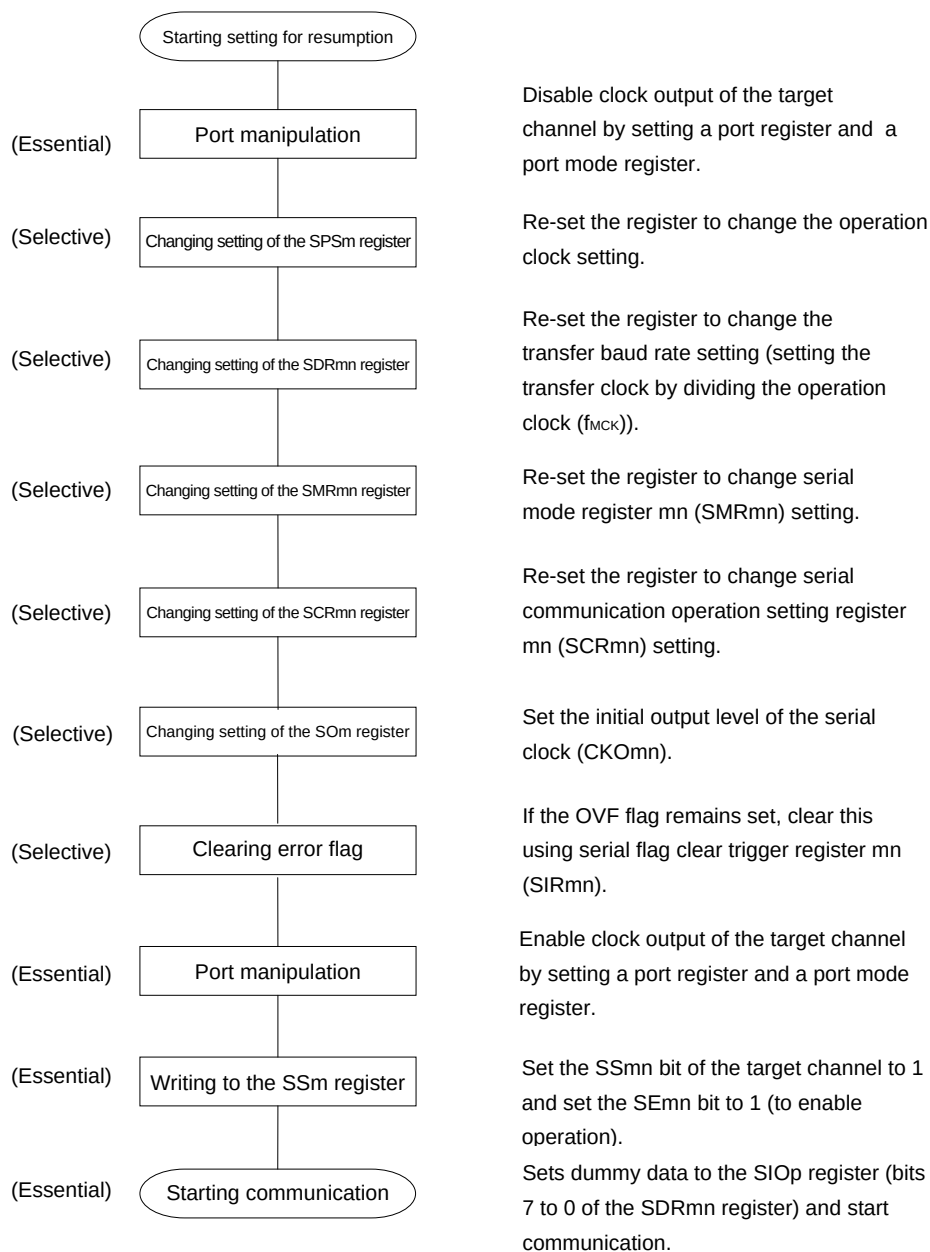


图 17-36. 停止主接收的步骤



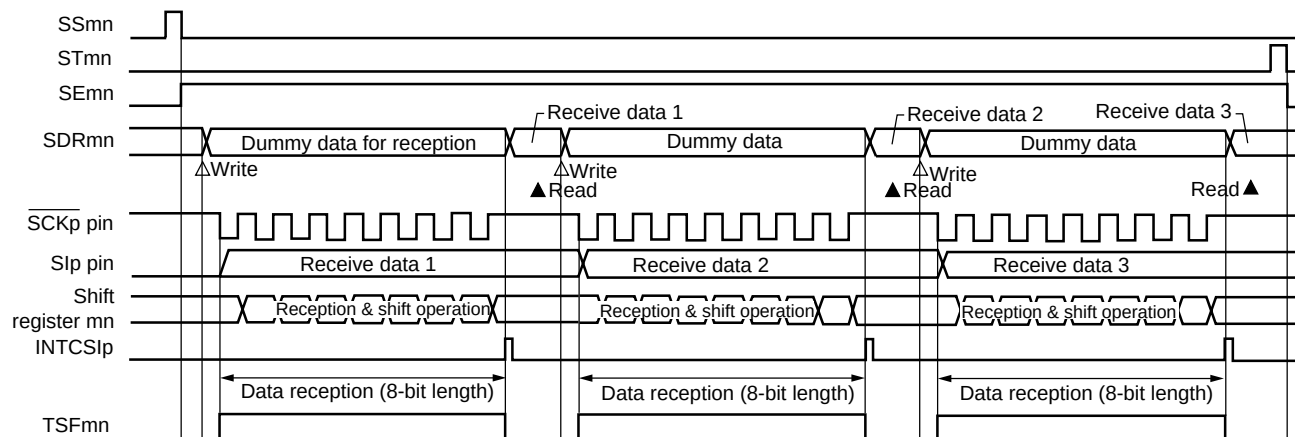
备注 即使停止通信后也保持引脚电平。将串行输出寄存器 m (SOM)复位，以恢复操作。(参阅 图 17-37 恢复主接收的步骤)。

图 17-37. 恢复主接收的步骤



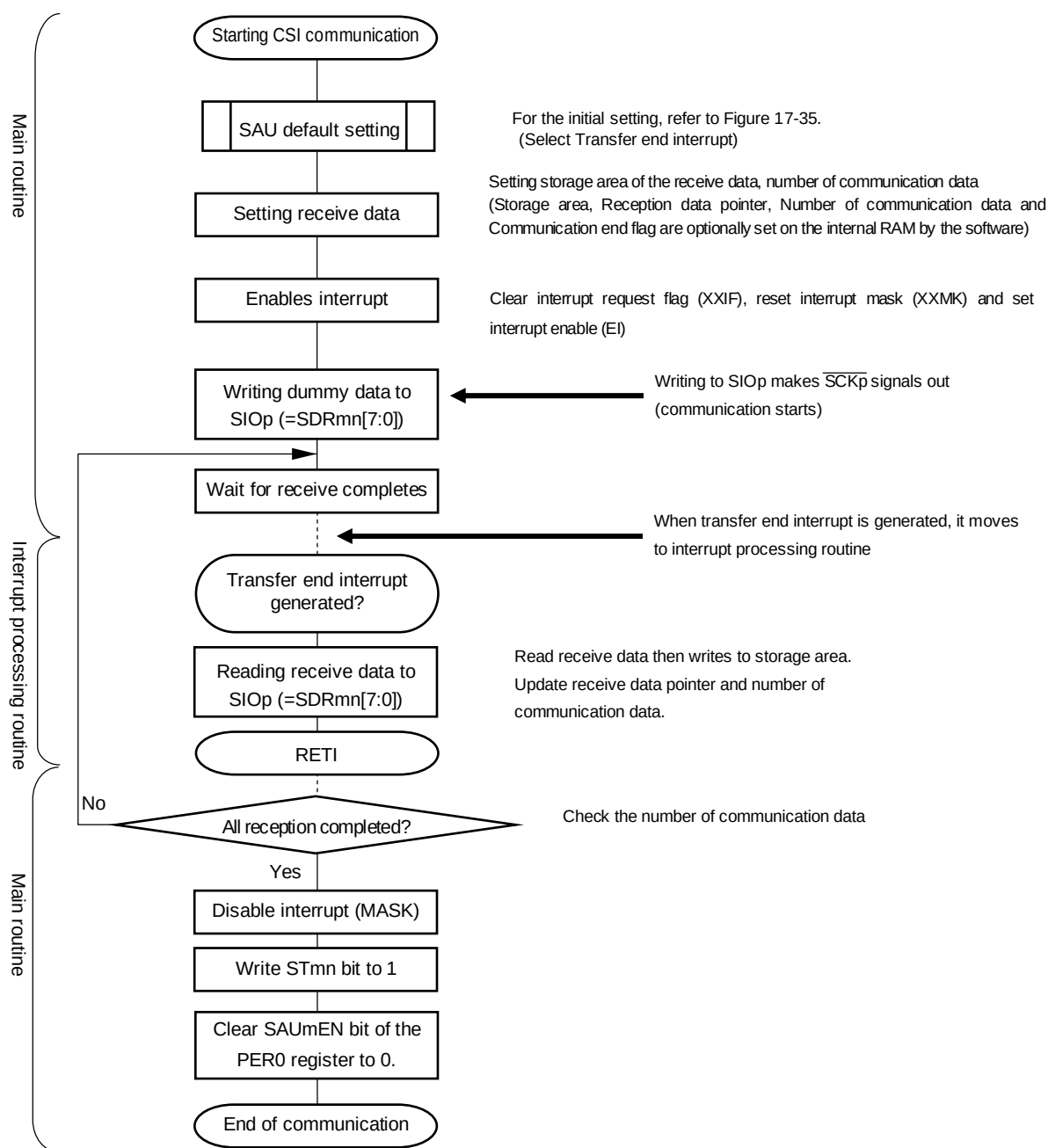
(3) 处理流程 (单接收模式时)

图 17-38. 主接收(单接收模式时)的时序图
(类型 1: DAPmn = 0、CKPmn = 0)



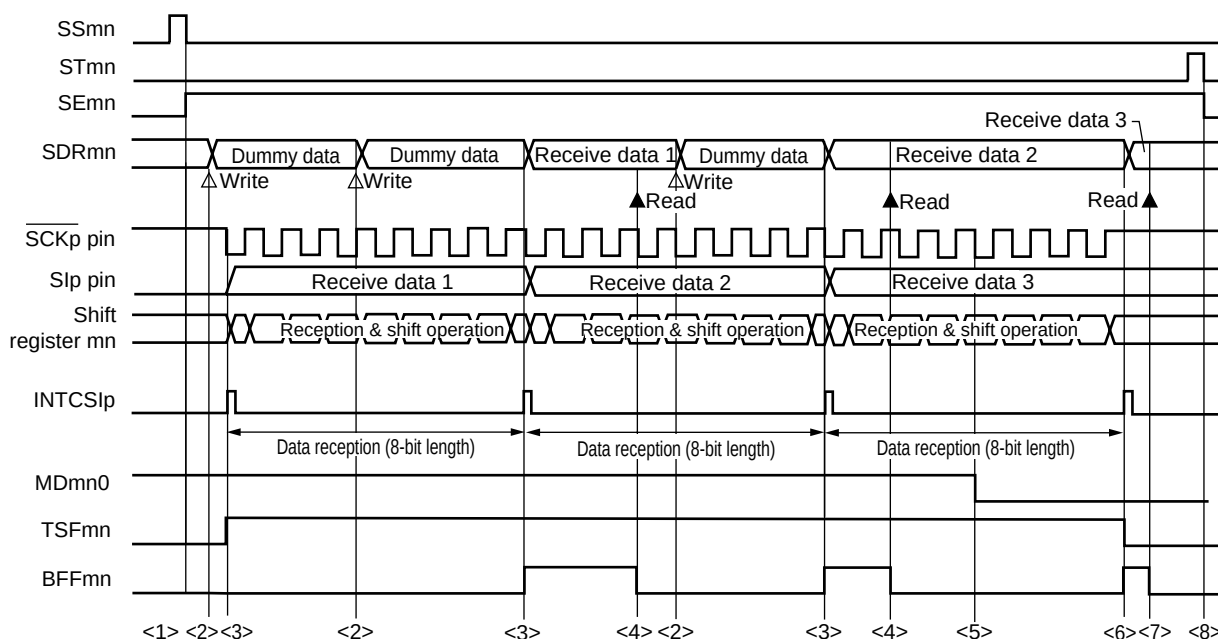
备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13

图 17-39. 主接收 (单接收模式时)的流程图



(4) 处理流程 (连续接收模式时)

图 17-40. 主接收 (连续接收模式时)的时序图(类型 1: DAPmn = 0、CKPmn = 0)



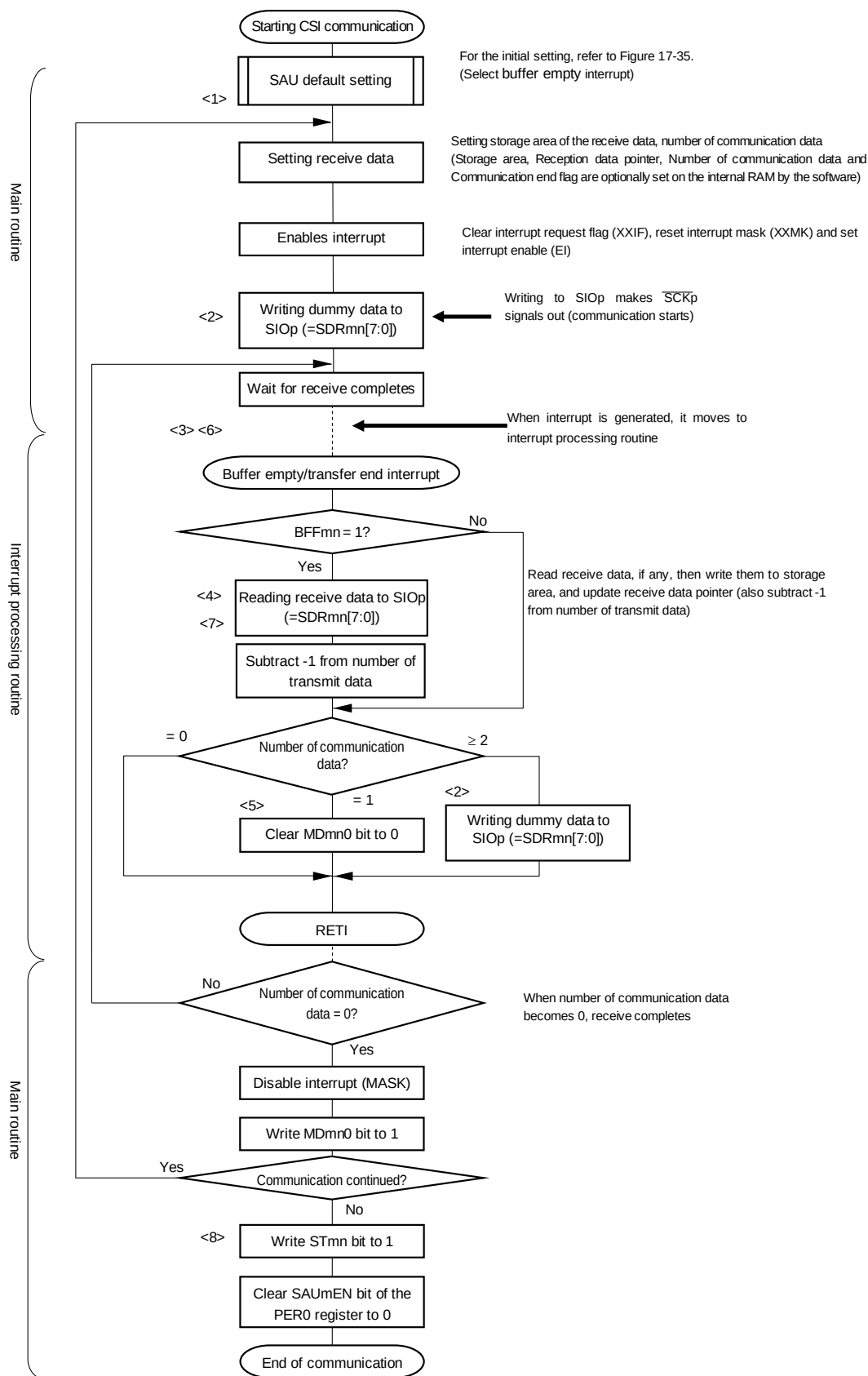
注意事项 即使在操作过程中也可重写 MDmn0 位。

然而，一定要在开始接收最后一位之前重写，以便在最后接收数据的传送结束中断之前完成重写。

备注 1. 此图中的<1>至<8>对应于图 13-41 主接收 (连续接收模式时)的流程图中的<1>至<8>。

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13

图 17-41. 主接收 (连续接收模式时)的流程图



备注 此图中的<1>至<8>对应于图 17-40 主接收 (连续接收模式时)的时序图中的<1>至<8>。

17.5.3 主发送/接收

主发送/接收指 RL78/G14 输出传送时钟，并将数据发送至其他器件或从其他器件接收数据。

3线串行I/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
目标通道	SAU0的 通道0	SAU0的 通道1	SAU0的 通道2	SAU0的 通道3	SAU1的 通道0	SAU1的 通道1	SAU1的 通道2	SAU1的 通道3
使用引脚	$\overline{\text{SCK00}}$ 、 SI00、 SO00	$\overline{\text{SCK01}}$ 、 SI01、 SO01	$\overline{\text{SCK10}}$ 、 SI10、 SO10	$\overline{\text{SCK11}}$ 、 SI11、 SO11	$\overline{\text{SCK20}}$ 、 SI20、 SO20	$\overline{\text{SCK21}}$ 、 SI21、 SO21	$\overline{\text{SCK30}}$ 、 SI30、 SO30	$\overline{\text{SCK31}}$ 、 SI31、 SO31
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	可选择发送结束中断(单发送模式时)或缓冲器空白中断(连续发送模式时)。							
错误检测标志	仅限溢出错误检测标志(OVFmn)							
传送数据长度	7或8位							
传送速率	Max. $f_{\text{CLK}}/2$ [Hz] (CSI00), $f_{\text{CLK}}/4$ [Hz] (CSI00以外) Min. $f_{\text{CLK}}/(2 \times 2^{15} \times 128)$ [Hz] [※] f_{CLK} : 系统时钟频率							
数据相位	可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输入/输出 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入/输出							
时钟相位	可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正 • CKPmn = 1: 反							
数据方向	MSB或LSB优先							

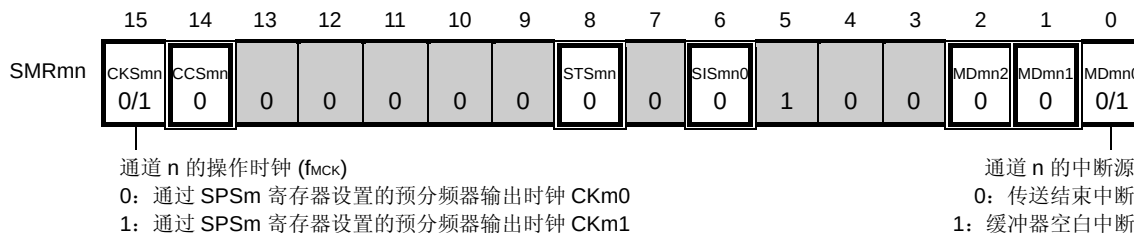
注 应在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

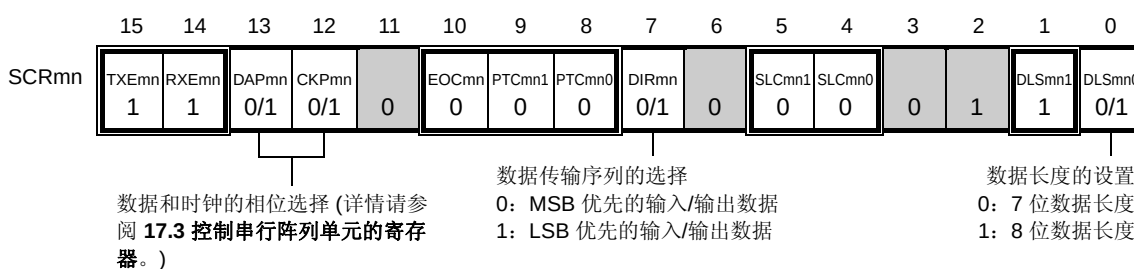
(1) 寄存器设置

图 17-42. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 的主发送/接收时的寄存器设置内容示例(1/2)

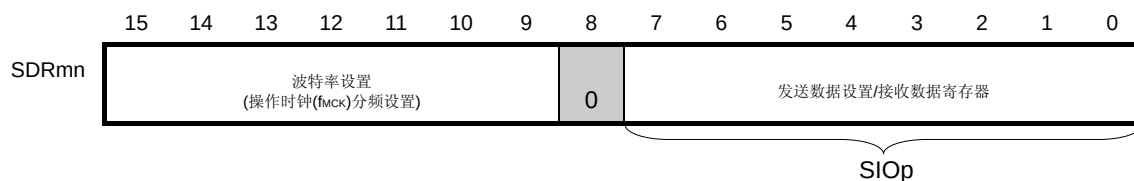
(a) 串行模式寄存器 mn (SMRmn)



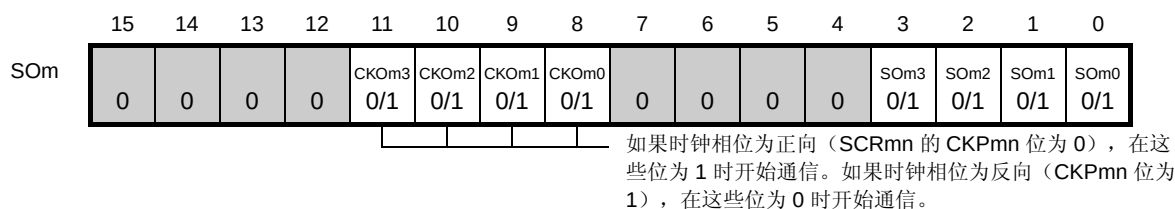
(b) 串行通信操作设置寄存器 mn (SCRmn)



(c) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)



(d) 串行输出寄存器 m (SOM) ... 仅对目标通道的位进行设置。



- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13
2. ☐: 设置固定于 CSI 主发送/接收模式
☐: 禁止设置 (设为初始值)
 0/1: 可根据客户的用途设为 0 或 1

图 17-42. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)
的主发送/接收时的寄存器设置内容示例(2/2)

(e) 串行输出允许寄存器 m (SOEm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13
2. : 禁止设置 (设为初始值)
0/1: 可根据客户的用途设为 0 或 1

(2) 操作步骤

图 17-43. 主发送/接收的初始设定步骤

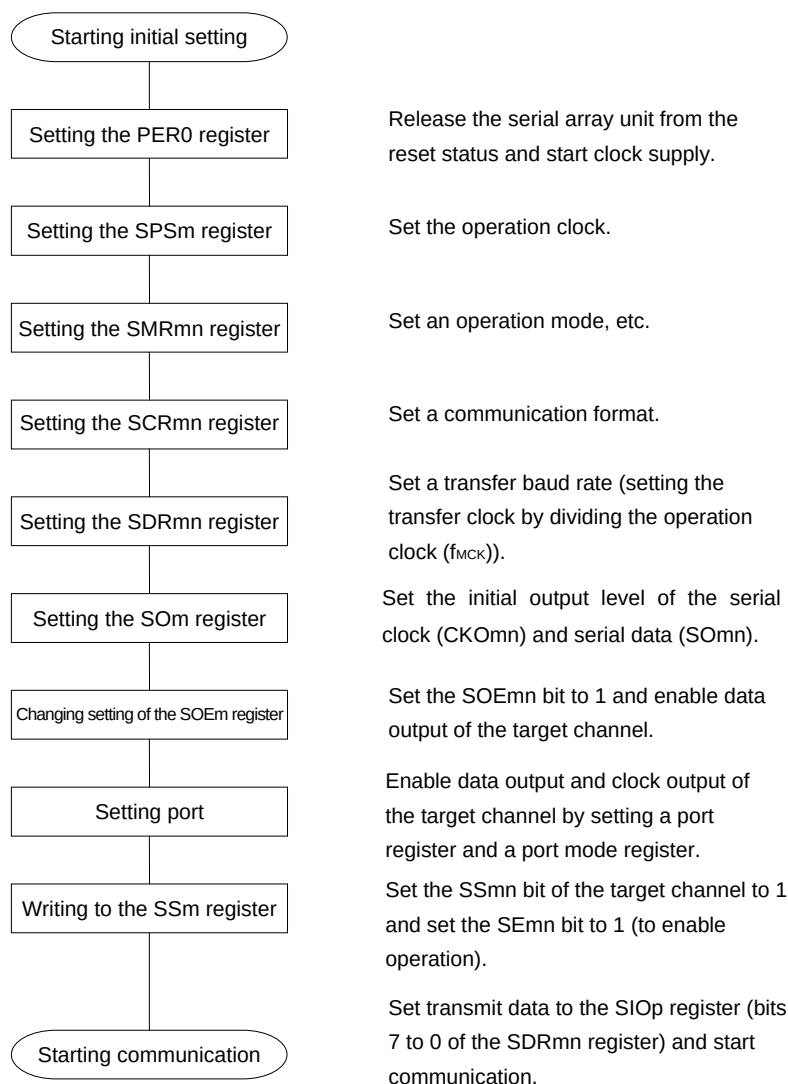
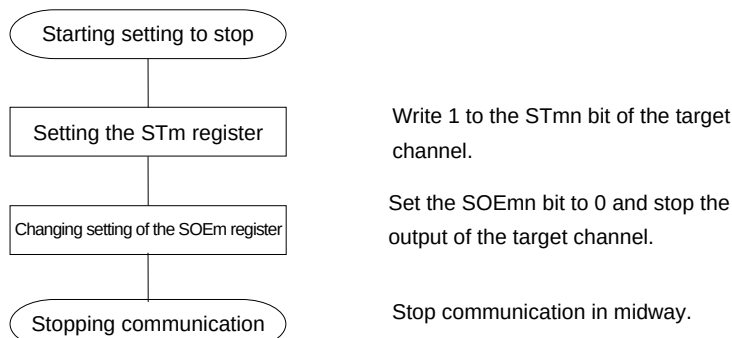
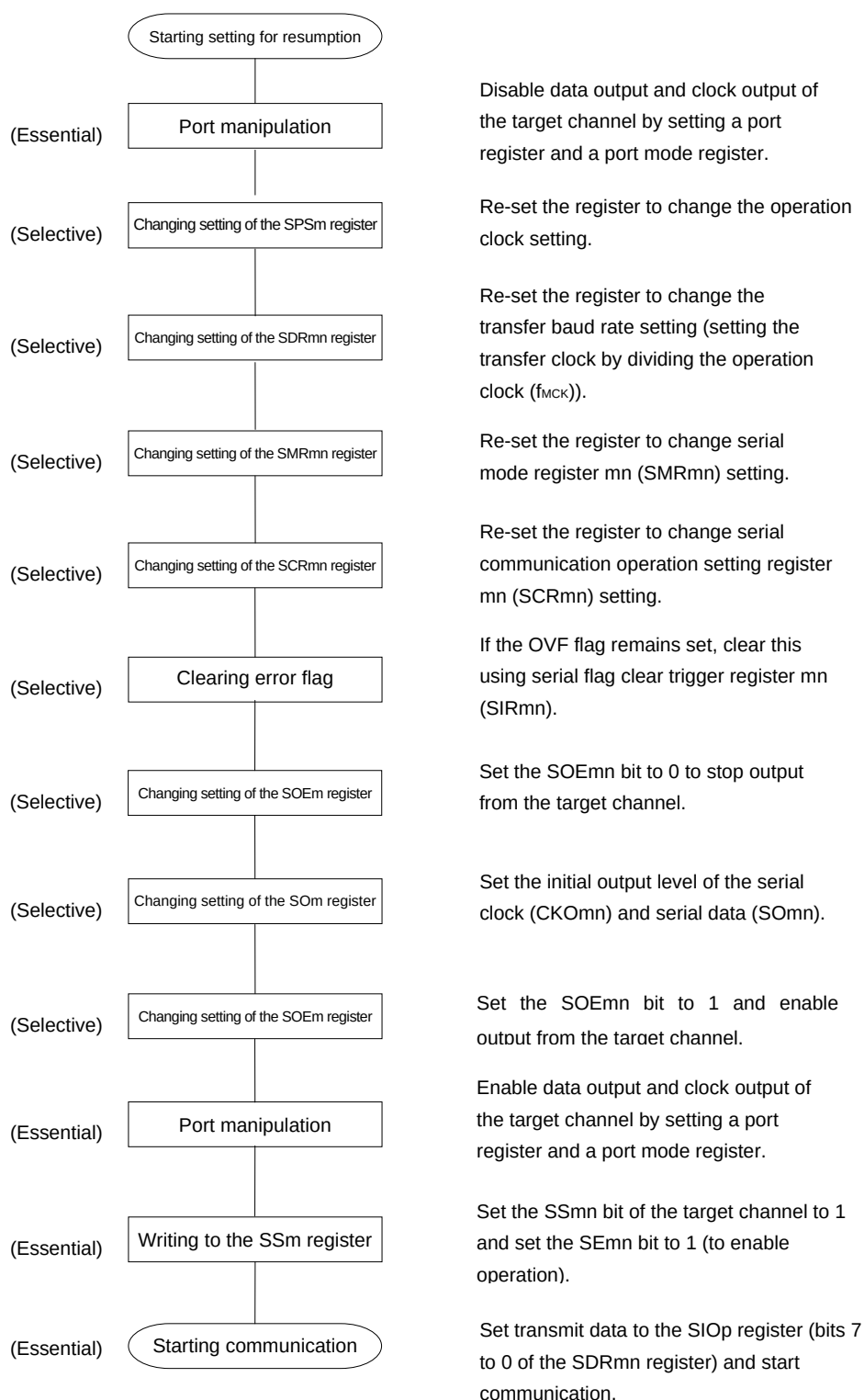


图 17-44. 停止主发送/接收的步骤



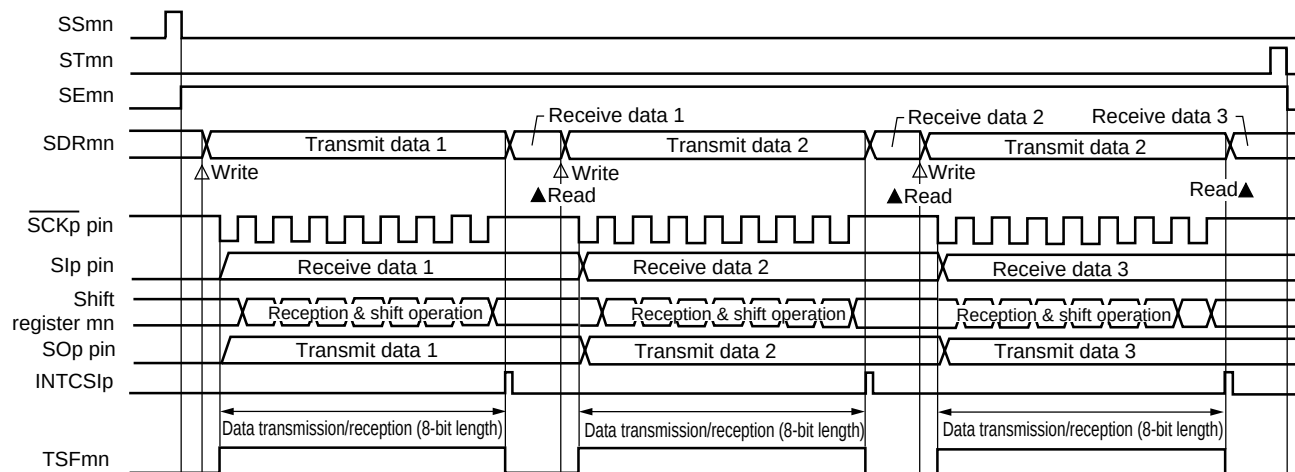
备注 即使停止通信后也保持引脚电平。将串行输出寄存器 m (SOm)复位，以恢复操作 (参阅 图 17-45 恢复主发送/接收的步骤)。

图 17-45. 恢复主发送/接收的步骤



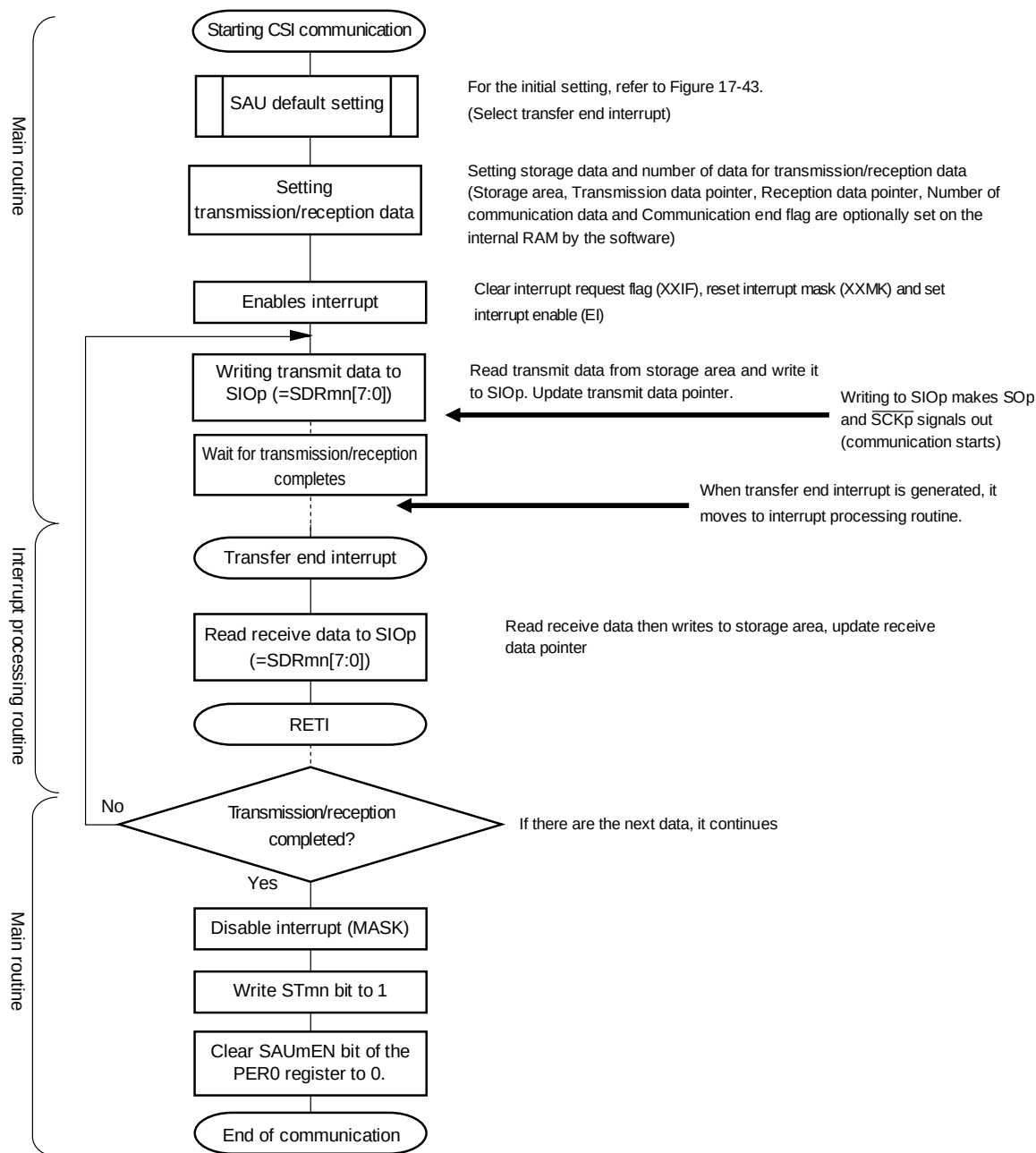
(3) 处理流程 (单发送/接收模式时)

图 17-46. 主发送/接收 (单发送/接收模式时)的时序图
(类型 1: DAPmn = 0、CKPmn = 0)



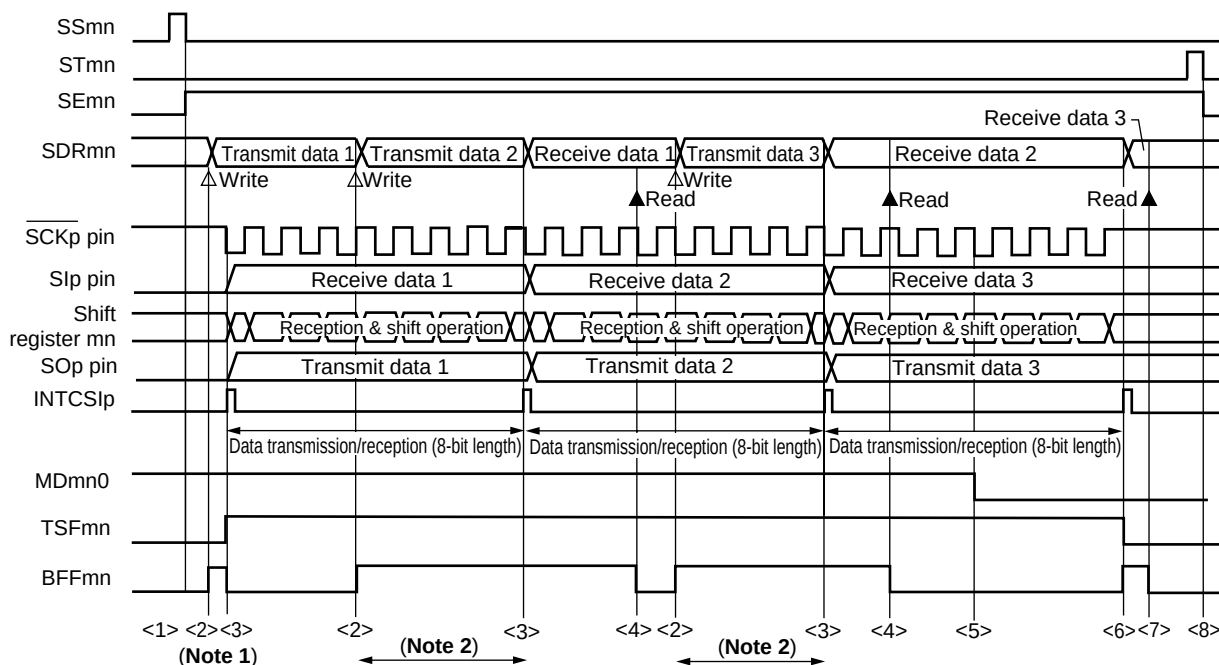
备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13

图 17-47. 主发送/接收 (单发送/接收模式时)的流程图



(4) 处理流程 (连续发送/接收模式时)

图 17-48. 主发送/接收 (连续发送/接收模式时)的时序图
(类型 1: DAPmn = 0、CKPmn = 0)



注 1. 如果在串行状态寄存器 mn (SSRmn) 的 BFFmn 位为 1 时将发送数据写入 SDRmn 寄存器 (将有效数据存储于串行数据寄存器 mn (SDRmn) 中)，则发送数据将被覆盖。

2. 在此过程中可以通过读取 SDRmn 寄存器来读取发送数据。此时，传送操作不受影响。

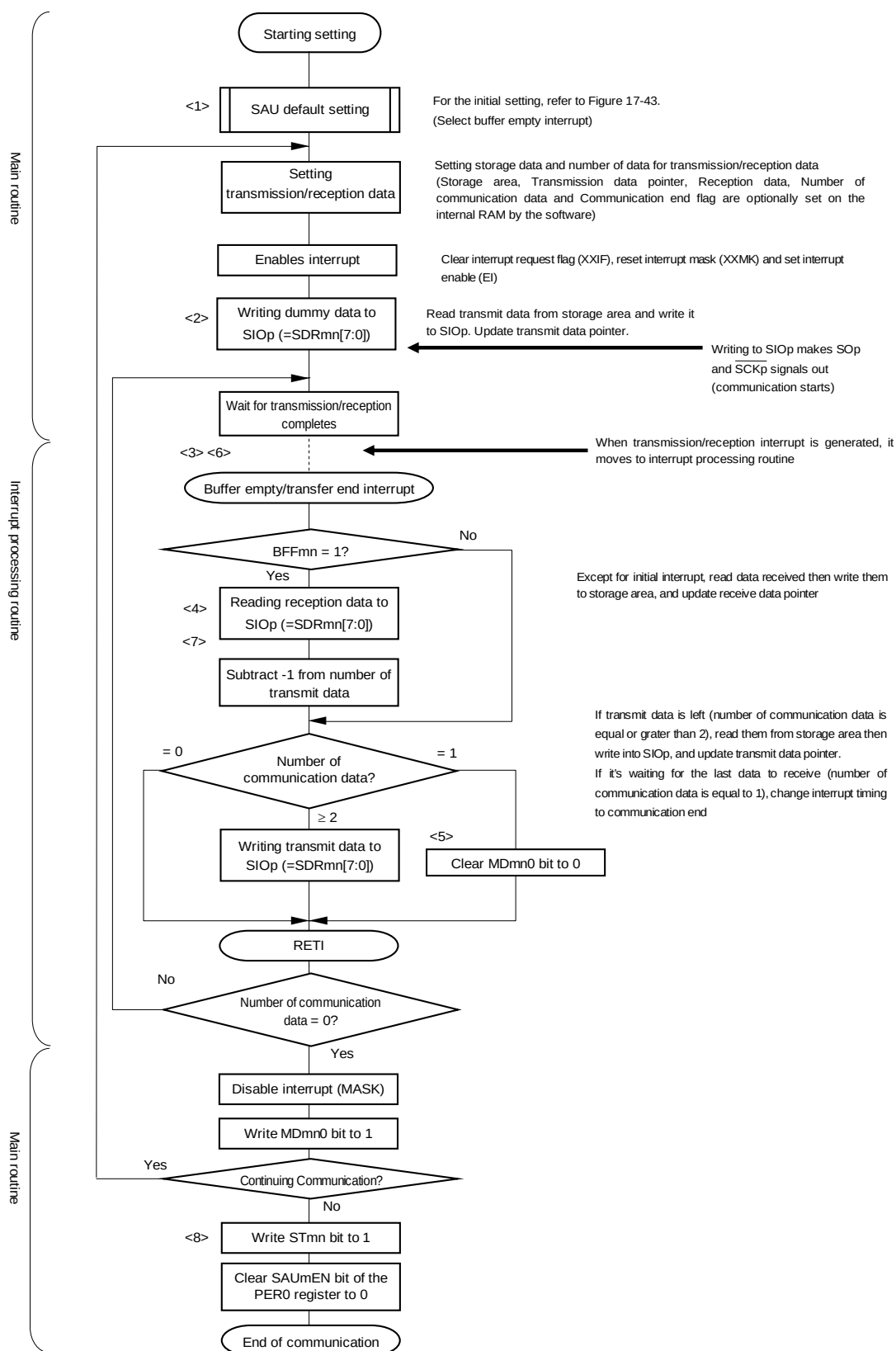
注意事项 即使在操作过程中，也可重写串行模式寄存器 mn (SMRmn) 的 MDmn0 位。

然而，一定要在开始传输最后一位之前重写，以便在最后发送数据的传送结束中断之前完成重写。

备注 1. 此图中的<1>至<8>对应于图 17-49 主发送/接收 (连续发送/接收模式时)的流程图中的<1>至<8>。

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13

图 17-49. 主发送/接收 (连续发送/接收模式时)的流程图



备注 此图中的<1>至<8>对应于图 17-48 主发送/接收 (连续发送/接收模式时)的时序图中的<1>至<8>。

17.5.4 从属发送

从属发送是指，当接收来自另一个器件的传送时钟输入时，RL78/G14 将数据发送至其它器件。

3线串行I/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
目标通道	SAU0的 通道0	SAU0的 通道1	SAU0的 通道2	SAU0的 通道3	SAU1的 通道0	SAU1的 通道1	SAU1的 通道2	SAU1的 通道3
使用引脚	$\overline{\text{SCK00}}$ 、 SO00	$\overline{\text{SCK01}}$ 、 SO01	$\overline{\text{SCK10}}$ 、 SO10	$\overline{\text{SCK11}}$ 、 SO11	$\overline{\text{SCK20}}$ 、 SO20	$\overline{\text{SCK21}}$ 、 SO21	$\overline{\text{SCK30}}$ 、 SO30	$\overline{\text{SCK31}}$ 、 SO31
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	可选择发送结束中断(单发送模式时)或缓冲器空白中断(连续发送模式时)。							
错误检测标志	仅限溢出错误检测标志(OVFmn)							
传送数据长度	7或8位							
传送速率	Max. $f_{\text{MCK}}/6$ [Hz] ^{※1,2}							
数据相位	可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输出。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输出。							
时钟相位	可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正 • CKPmn = 1: 反							
数据方向	MSB或LSB优先							

- 注 1.** 由于输入至 $\overline{\text{SCK00}}$ 、 $\overline{\text{SCK01}}$ 、 $\overline{\text{SCK10}}$ 、 $\overline{\text{SCK11}}$ 、 $\overline{\text{SCK20}}$ 、 $\overline{\text{SCK21}}$ 、 $\overline{\text{SCK30}}$ 和 $\overline{\text{SCK31}}$ 引脚的外部串行时钟以内部方式采样并被使用，所以最大传送速率为 $f_{\text{MCK}}/6$ [Hz]。
- 2.** 应在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

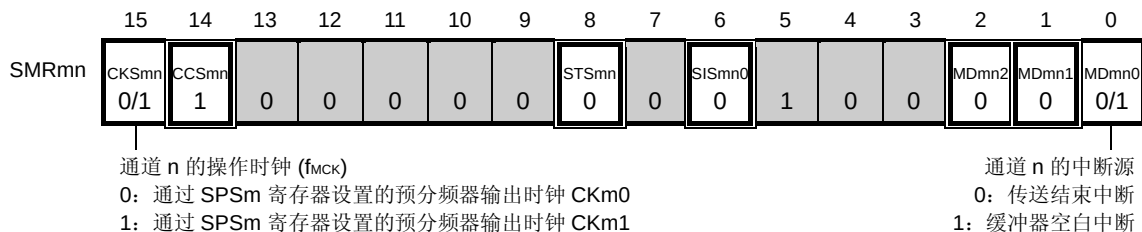
备注 1. f_{MCK} : 目标通道的操作时钟频率

- 2.** m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

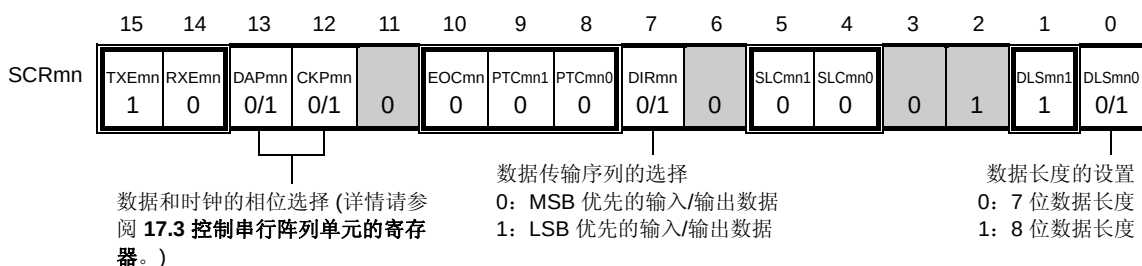
(1) 寄存器设置

图 17-50. 3 线串行 I/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)
的从属发送时的寄存器设置内容示例(1/2)

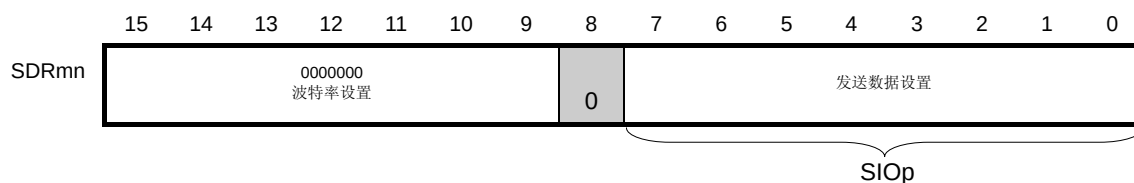
(a) 串行模式寄存器 mn (SMRmn)



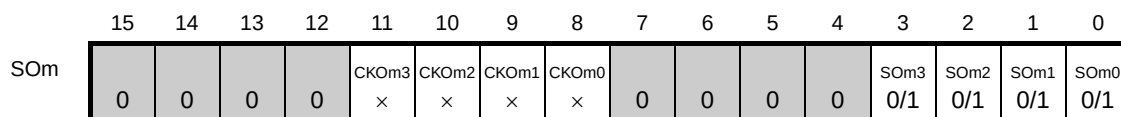
(b) 串行通信操作设置寄存器 mn (SCRmn)



(c) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)



(d) 串行输出寄存器 m (SOM) ... 仅对目标通道的位进行设置。



- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13
2. : 设置固定于 CSI 从属发送模式, 禁止设置 (设为初始值)
×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)
0/1: 可根据客户的用途设为 0 或 1

图 17-50. 3 线串行 I/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)
的从属发送时的寄存器设置内容示例(2/2)

(e) 串行输出允许寄存器 m (SOEm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13
2. : 禁止设置 (设为初始值)
0/1: 可根据客户的用途设为 0 或 1

(2) 操作步骤

图 17-51. 从属发送的初始设定步骤

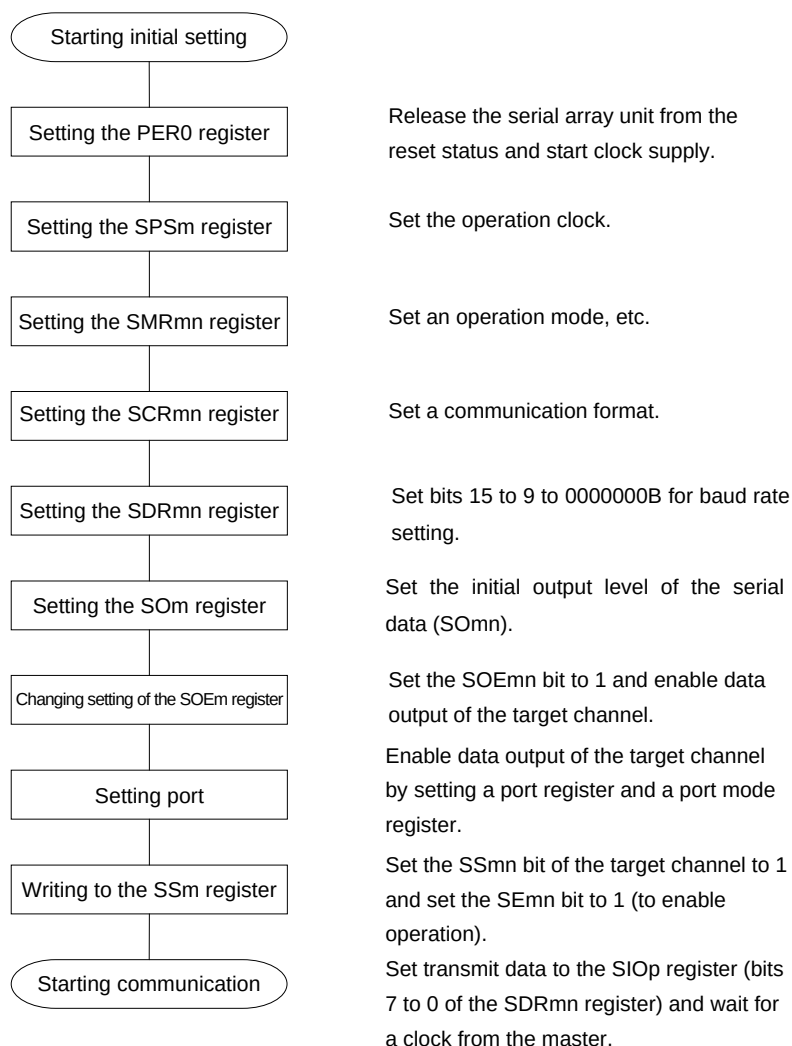
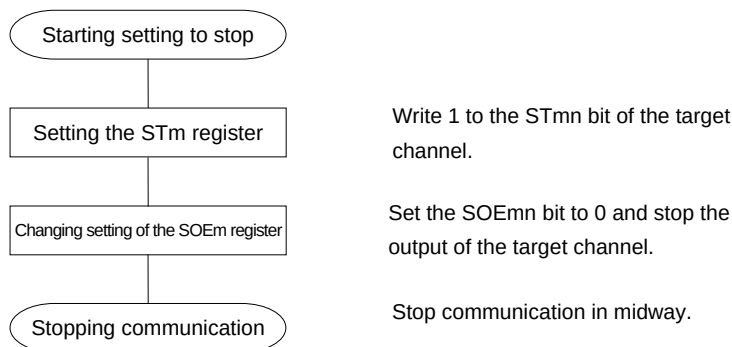
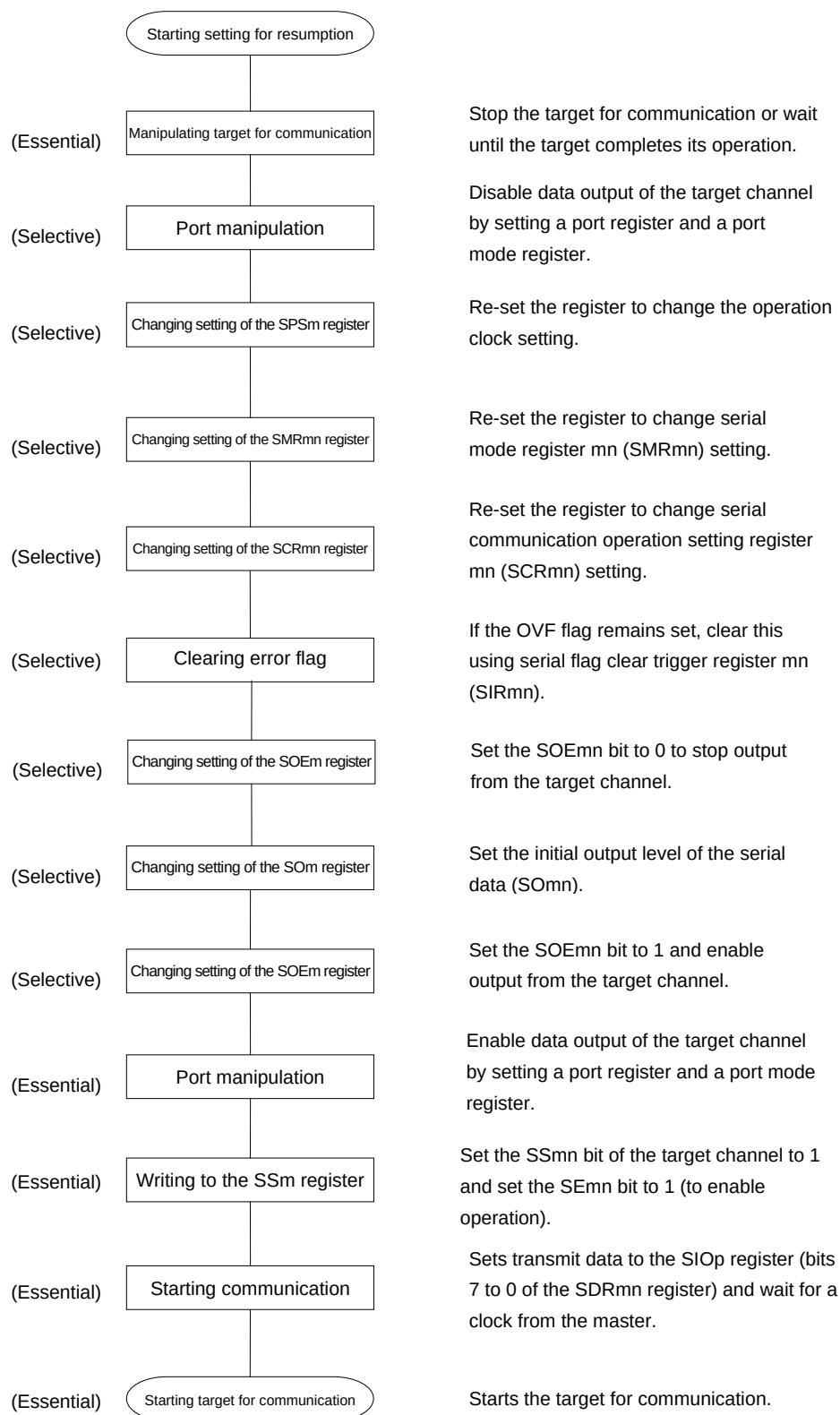


图 17-52. 停止从属发送的步骤



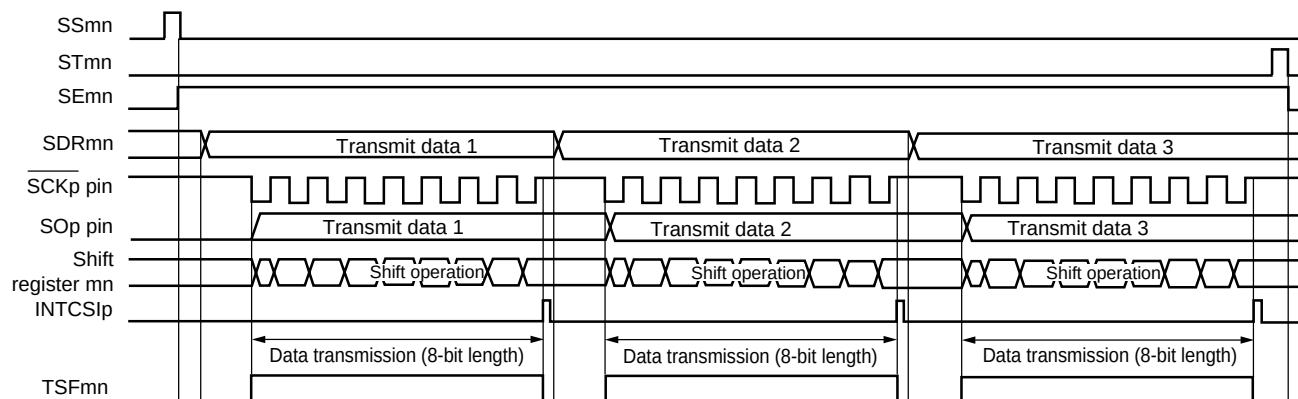
备注 即使停止通信后也保持引脚电平。将 SOm 寄存器复位，以恢复操作 (参阅 图 17-53 恢复从属发送的步骤)。

图 17-53. 恢复从属发送的步骤



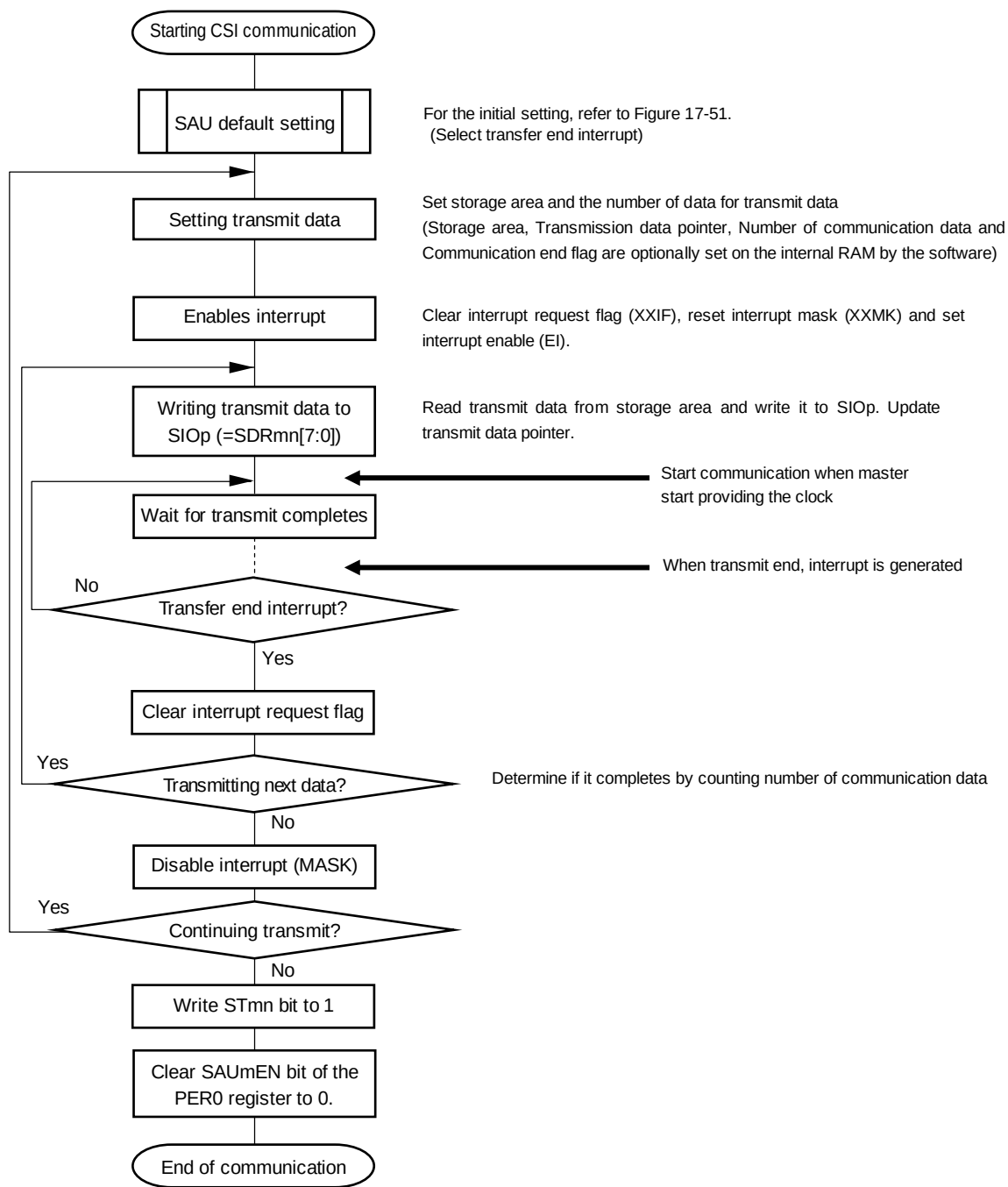
(3) 处理流程 (单发送模式时)

图 17-54. 从属发送(单发送模式时)的时序图
(类型 1: DAPmn = 0、CKPmn = 0)



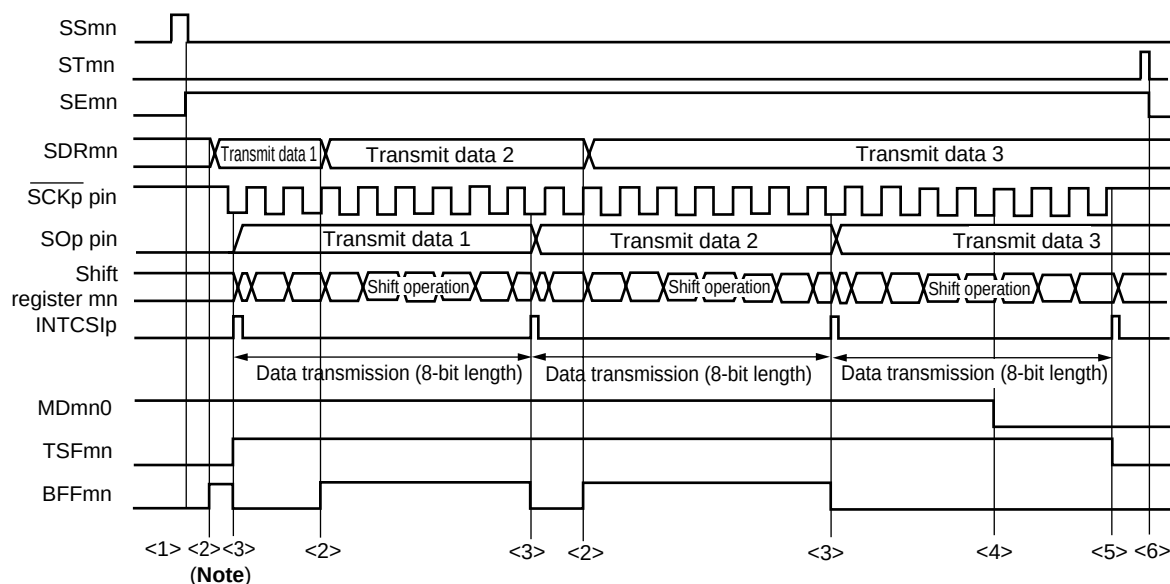
备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13

图 17-55. 从属发送(单发送模式时)的流程图



(4) 处理流程 (连续发送模式时)

图 17-56. 从属发送(连续发送模式时)的时序图
(类型 1: DAPmn = 0、CKPmn = 0)

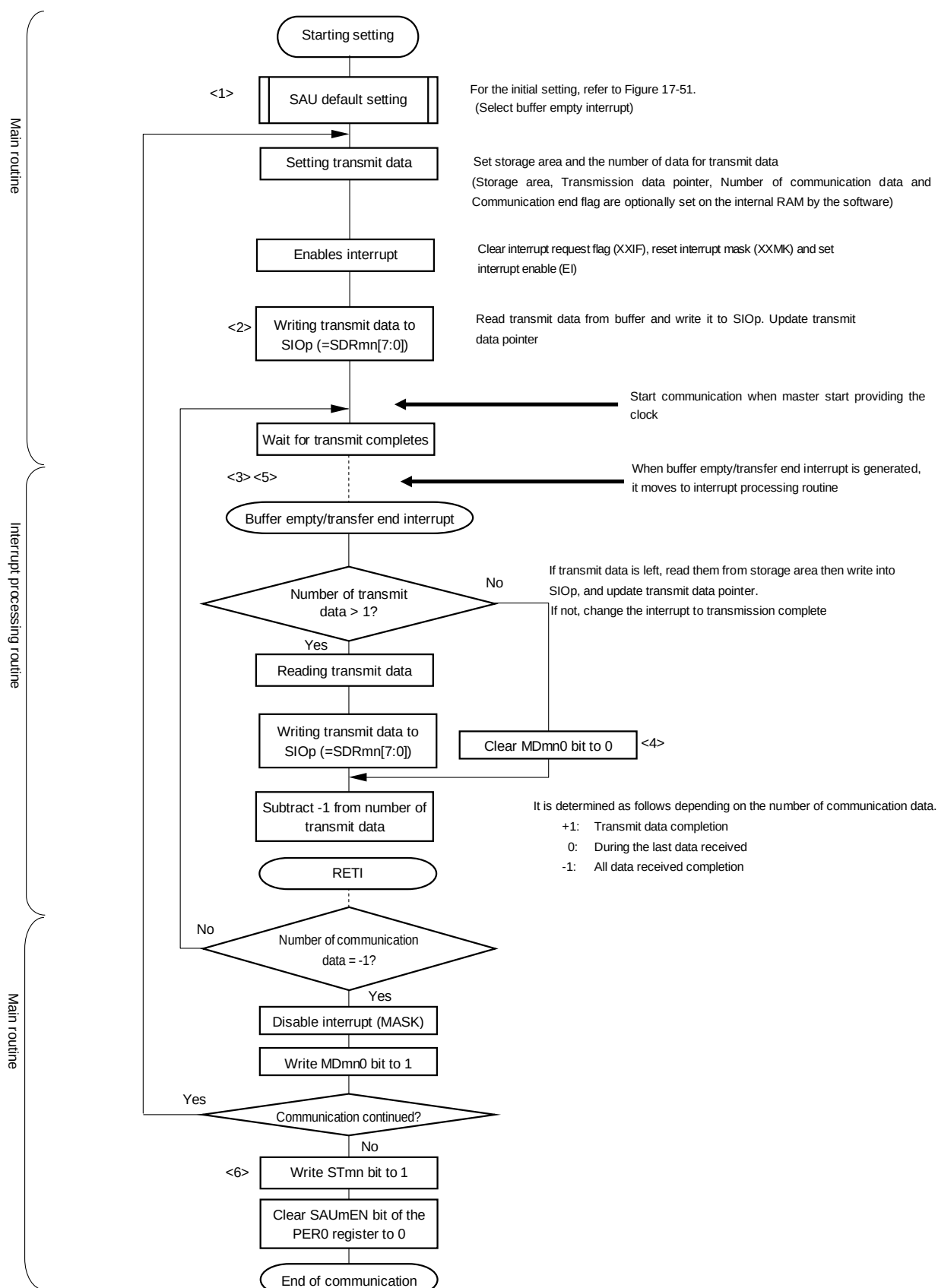


注 如果在串行状态寄存器 mn (SSRmn) 的 BFFmn 位为 1 时将发送数据写入 SDRmn 寄存器 (将有效数据存储于串行数据寄存器 mn (SDRmn) 中)，则发送数据将被覆盖。

注意事项 即使在操作过程中，也可重写串行模式寄存器 mn (SMRmn) 的 MDmn0 位。然而，要在开始传输最后一位之前重写。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13

图 17-57. 从属发送(连续发送模式时)的流程图



备注 此图中的<1>至<6>对应于图 17-56 从属发送(连续发送模式时)的时序图中的<1>至<6>。

17.5.5 从属接收

从属接收是指，当接收来自另一个器件的传送时钟输入时，RL78/G14 从其它器件接收数据。

3线串行I/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
目标通道	SAU0的 通道0	SAU0的 通道1	SAU0的 通道2	SAU0的 通道3	SAU1的 通道0	SAU1的 通道1	SAU1的 通道2	SAU1的 通道3
使用引脚	$\overline{\text{SCK00}}$ 、 SI00	$\overline{\text{SCK01}}$ 、 SI01	$\overline{\text{SCK10}}$ 、 SI10	$\overline{\text{SCK11}}$ 、 SI11	$\overline{\text{SCK20}}$ 、 SI20	$\overline{\text{SCK21}}$ 、 SI21	$\overline{\text{SCK30}}$ 、 SI30	$\overline{\text{SCK31}}$ 、 SI31
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	仅限传送结束中断 (禁止设置缓冲器空白中断。)							
错误检测标志	仅限溢出错误检测标志(OVFmn)							
传送数据长度	7或8位							
传送速率	Max. $f_{\text{MCK}}/6$ [Hz] ^{※1,2}							
数据相位	可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输入 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入							
时钟相位	可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正 • CKPmn = 1: 反							
数据方向	MSB或LSB优先							

注 1. 由于输入至 $\overline{\text{SCK00}}$ 、 $\overline{\text{SCK01}}$ 、 $\overline{\text{SCK10}}$ 、 $\overline{\text{SCK11}}$ 、 $\overline{\text{SCK20}}$ 、 $\overline{\text{SCK21}}$ 、 $\overline{\text{SCK30}}$ 和 $\overline{\text{SCK31}}$ 引脚的外部串行时钟以内部方式采样并被使用，所以最大传送速率为 $f_{\text{MCK}}/6$ [Hz]。

2. 应在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

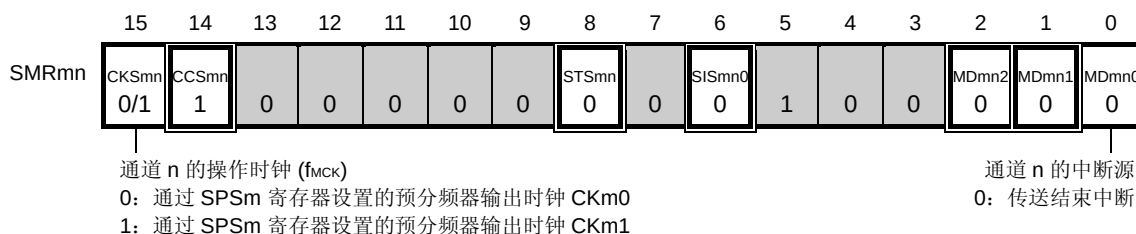
备注 1. f_{MCK} : 目标通道的操作时钟频率

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

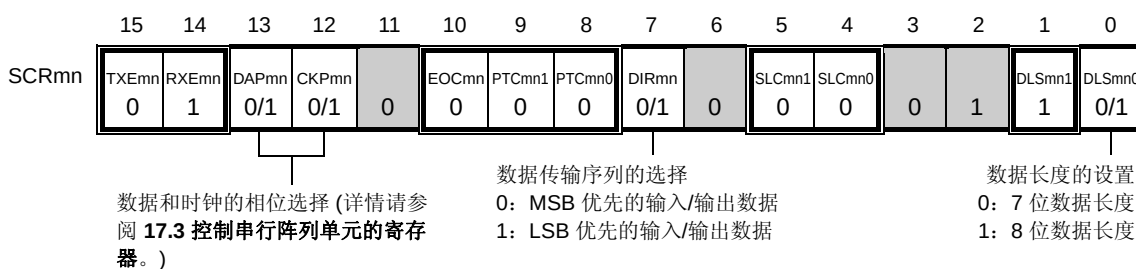
(1) 寄存器设置

图 17-58. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)
的从属接收时的寄存器设置内容示例(1/2)

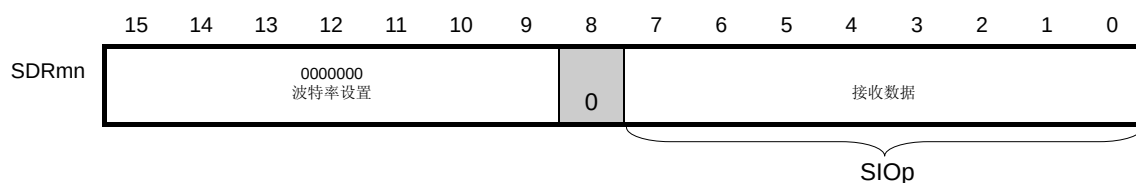
(a) 串行模式寄存器 mn (SMRmn)



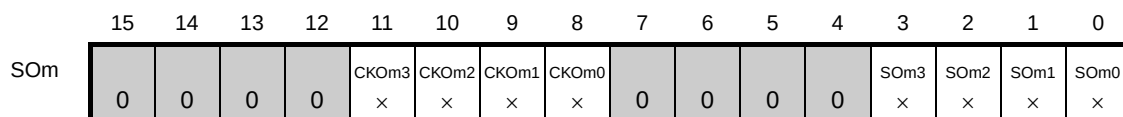
(b) 串行通信操作设置寄存器 mn (SCRmn)



(c) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)



(d) 串行输出寄存器 m (SOM) ...该模式下不使用的寄存器。



- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13
2. ☐ : 设置固定于 CSI 从属接收模式, ☐ : 禁止设置 (设为初始值)
x: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)
0/1: 可根据客户的用途设为 0 或 1

图 17-58. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)
的从属接收时的寄存器设置内容示例(2/2)

(e) 串行输出允许寄存器 m (SOEm) ... 该模式下不使用的寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13

2.  : 禁止设置 (设为初始值)

×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)

0/1: 可根据客户的用途设为 0 或 1

(2) 操作步骤

图 17-59. 从属接收的初始设定步骤

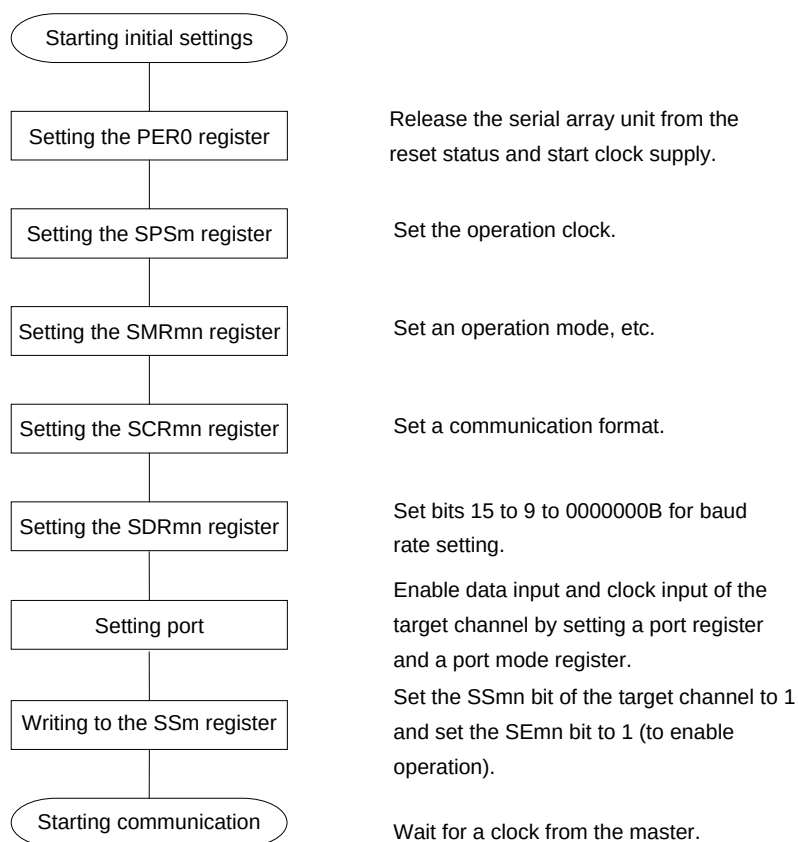


图 17-60. 停止从属接收的步骤

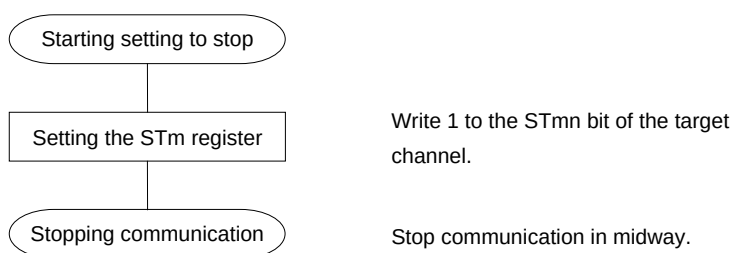
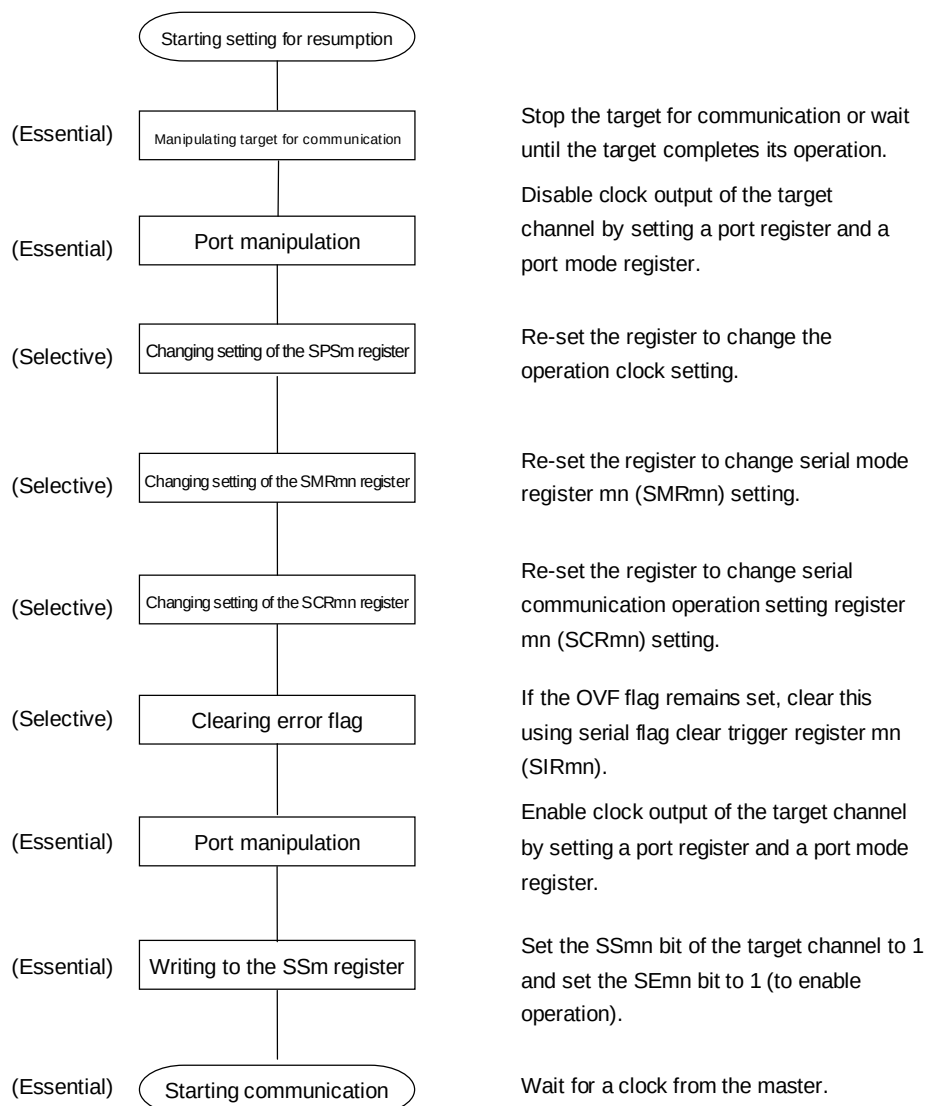
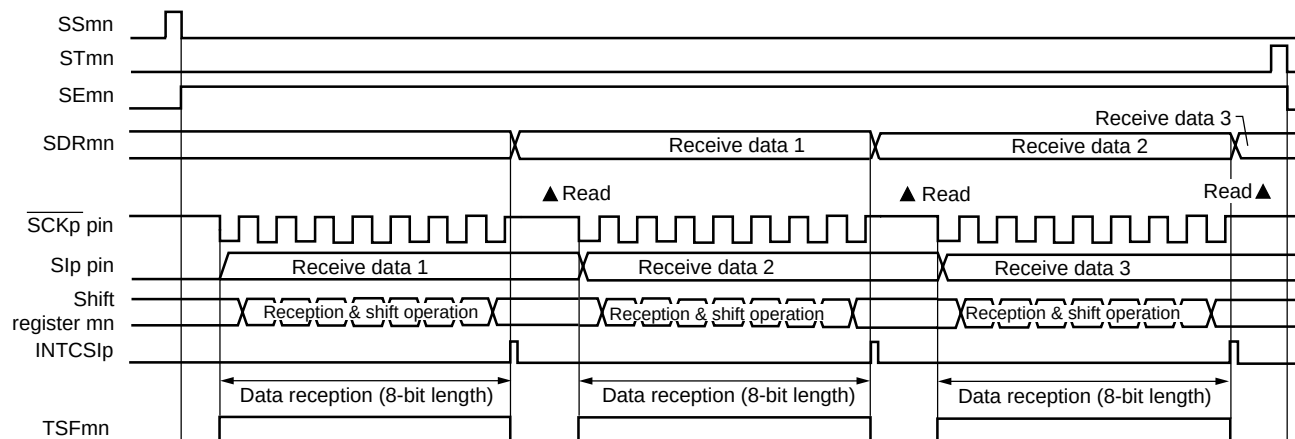


图 17-61. 恢复从属接收的步骤



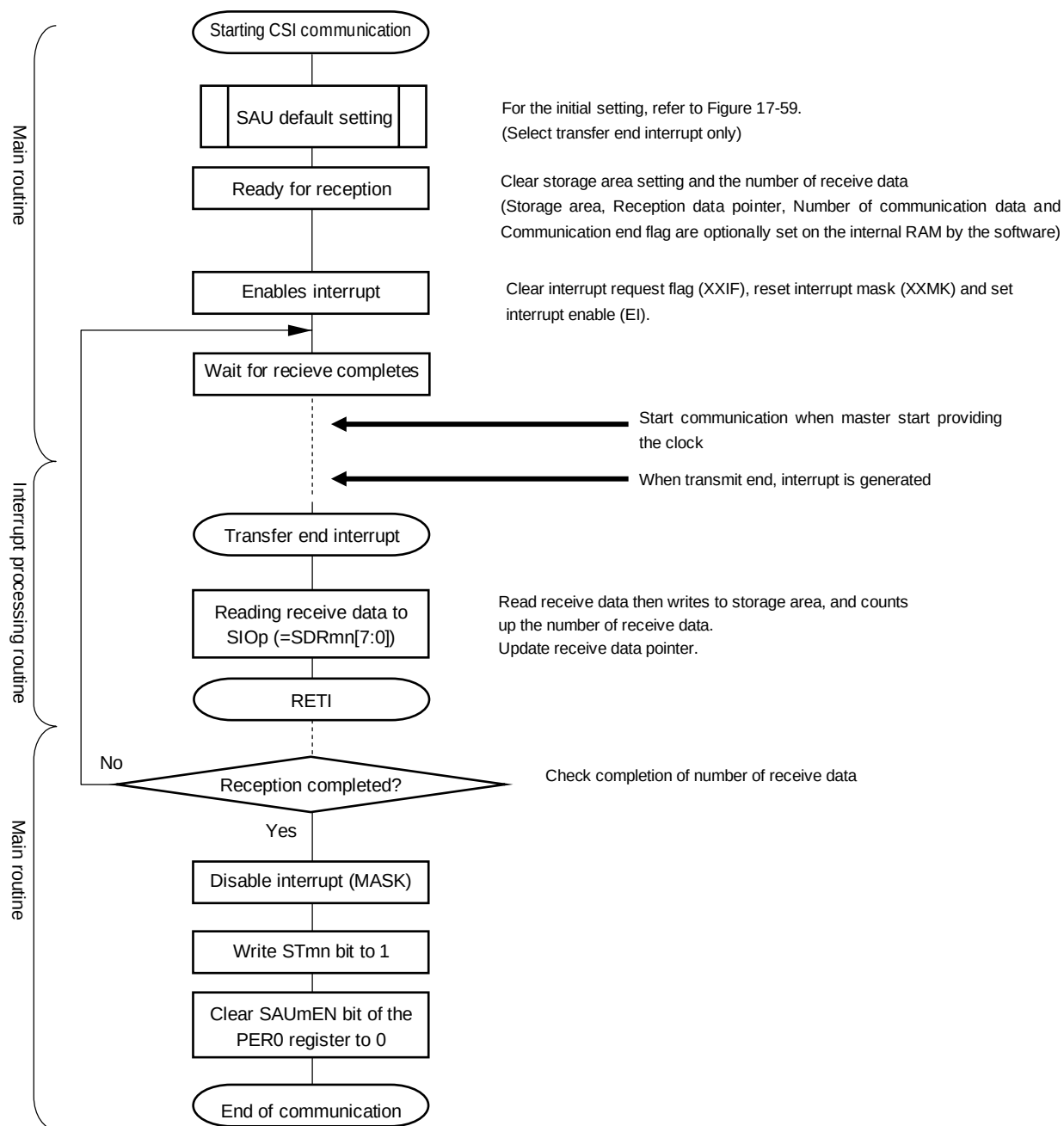
(3) 处理流程 (单接收模式时)

图 17-62. 从属接收(单接收模式时)的时序图
(类型 1: DAPmn = 0、CKPmn = 0)



备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13

图 17-63. 从属接收(单接收模式时)的流程图



17.5.6 从属发送/接收

从属发送/接收是指，当接收来自另一个器件的传送时钟输入时，RL78/G14 发送数据至其它器件或者从其它器件接收数据。

3线串行I/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
目标通道	SAU0的 通道0	SAU0的 通道1	SAU0的 通道2	SAU0的 通道3	SAU1的 通道0	SAU1的 通道1	SAU1的 通道2	SAU1的 通道3
使用引脚	$\overline{\text{SCK00}}$ 、 SI00、 SO00	$\overline{\text{SCK01}}$ 、 SI01、 SO01	$\overline{\text{SCK10}}$ 、 SI10、 SO10	$\overline{\text{SCK11}}$ 、 SI11、 SO11	$\overline{\text{SCK20}}$ 、 SI20、 SO20	$\overline{\text{SCK21}}$ 、 SI21、 SO21	$\overline{\text{SCK30}}$ 、 SI30、 SO30	$\overline{\text{SCK31}}$ 、 SI31、 SO31
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	可选择发送结束中断(单发送模式时)或缓冲器空白中断(连续发送模式时)。							
错误检测标志	仅限溢出错误检测标志(OVFmn)							
传送数据长度	7或8位							
传送速率	Max. $f_{\text{MCK}}/6$ [Hz] ^{1,2}							
数据相位	可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输入/输出 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入/输出							
时钟相位	可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正 • CKPmn = 1: 反							
数据方向	MSB或LSB优先							

注 1. 由于输入至 $\overline{\text{SCK00}}$ 、 $\overline{\text{SCK01}}$ 、 $\overline{\text{SCK10}}$ 、 $\overline{\text{SCK11}}$ 、 $\overline{\text{SCK20}}$ 、 $\overline{\text{SCK21}}$ 、 $\overline{\text{SCK30}}$ 和 $\overline{\text{SCK31}}$ 引脚的外部串行时钟以内部方式采样并被使用，所以最大传送速率为 $f_{\text{MCK}}/6$ [Hz]。

2. 应在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

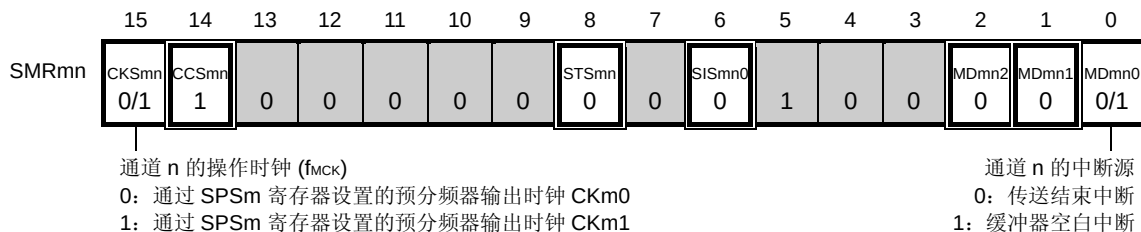
备注 1. f_{MCK} : 目标通道的操作时钟频率

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

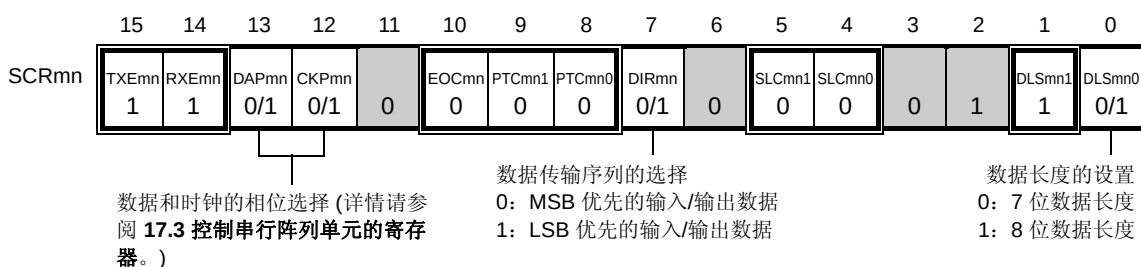
(1) 寄存器设置

图 17-64. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)
的从属发送/接收时的寄存器设置内容示例(1/2)

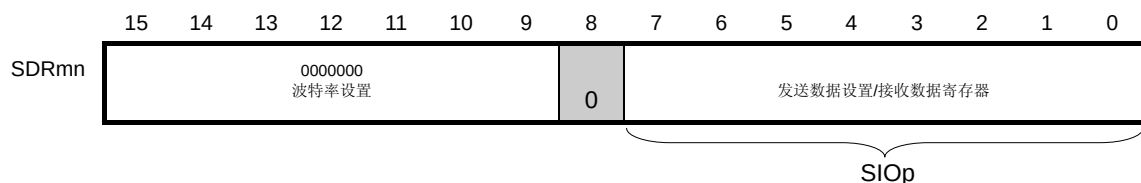
(a) 串行模式寄存器 mn (SMRmn)



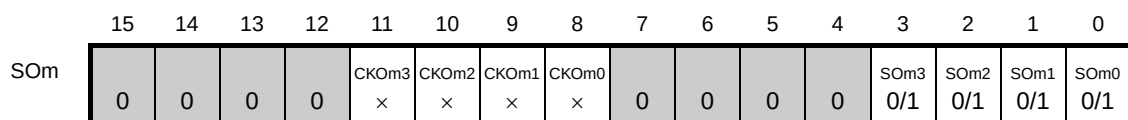
(b) 串行通信操作设置寄存器 mn (SCRmn)



(c) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)



(d) 串行输出寄存器 m (SOM) ... 仅对目标通道的位进行设置。



注意事项 务必在启动来自主机的时钟之前, 把发送数据设置至 SIOp 寄存器。

备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13

2. □: 设置固定于 CSI 从属发送/接收模式,

■: 禁止设置 (设为初始值)

×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)

0/1: 可根据客户的用途设为 0 或 1

图 17-64. 3 线串行 I/O(CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)
的从属发送/接收时的寄存器设置内容示例(2/2)

(e) 串行输出允许寄存器 m (SOEm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

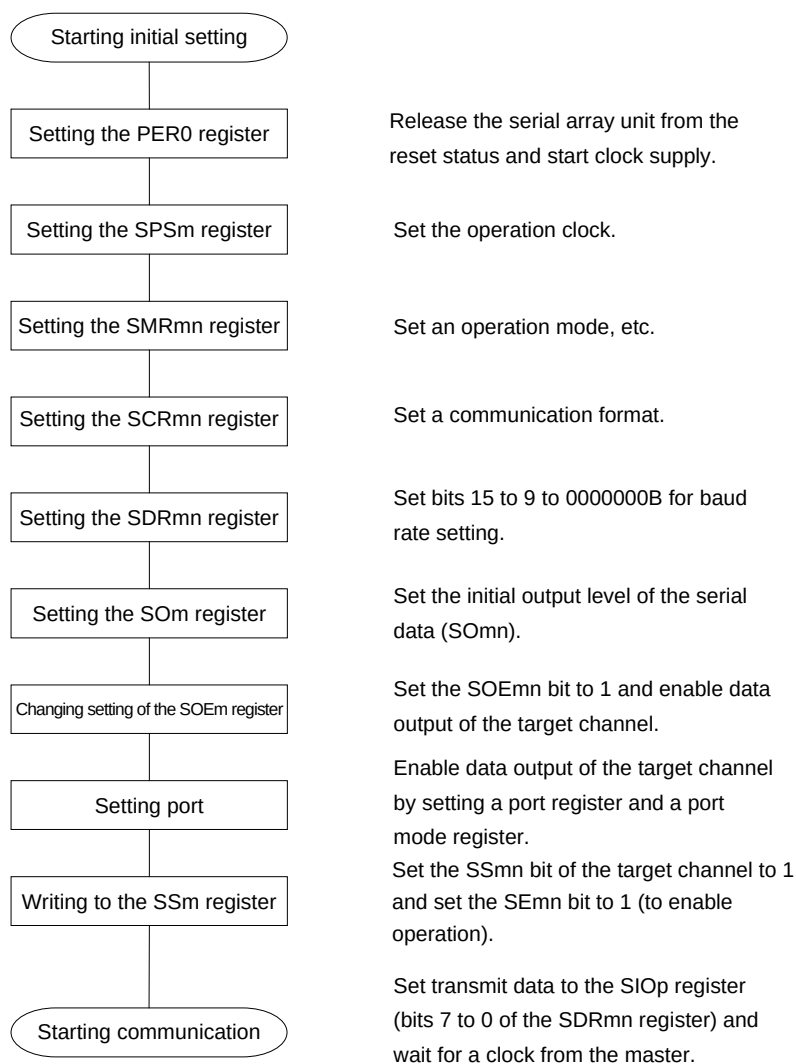
(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13
2. : 禁止设置 (设为初始值)
0/1: 可根据客户的用途设为 0 或 1

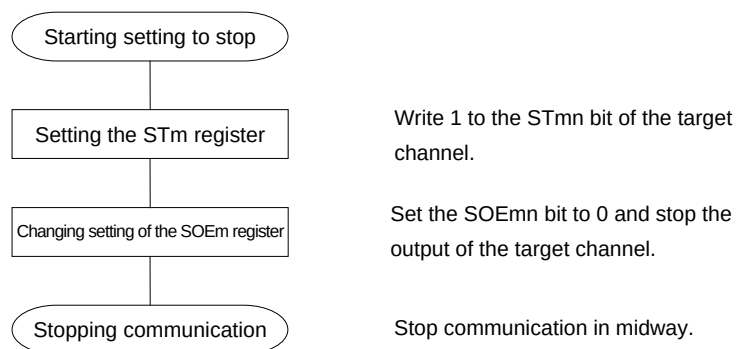
(2) 操作步骤

图 17-65. 从属发送/接收的初始设定步骤



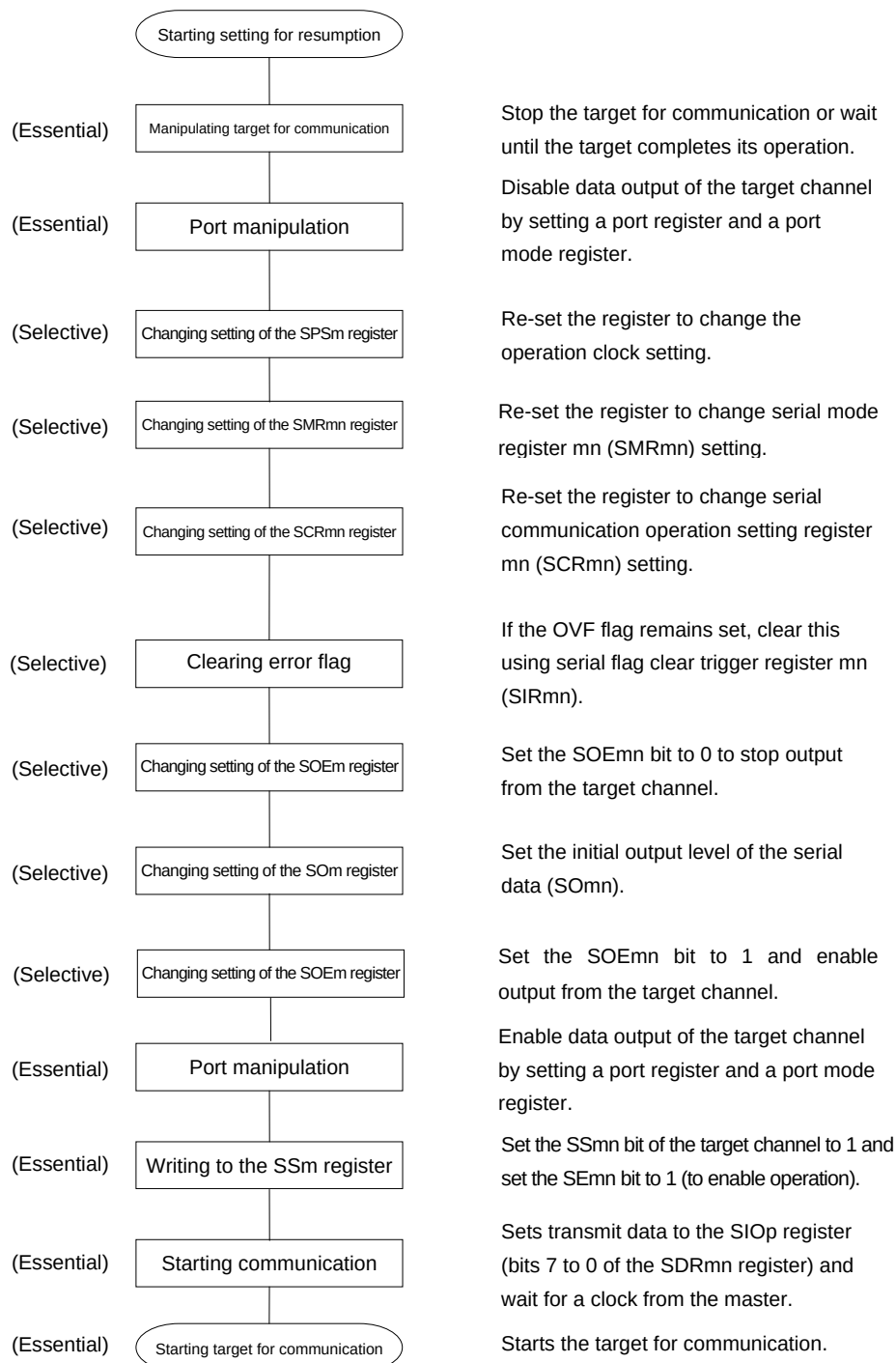
注意事项 务必在启动来自主机的时钟之前，把发送数据设置至 SIOp 寄存器。

图 17-66. 停止从属发送/接收的步骤



备注 即使停止通信后也保持引脚电平。将串行输出寄存器 m (SOM)复位，以恢复操作 (参阅 图 17-67 恢复从属发送/接收的步骤)。

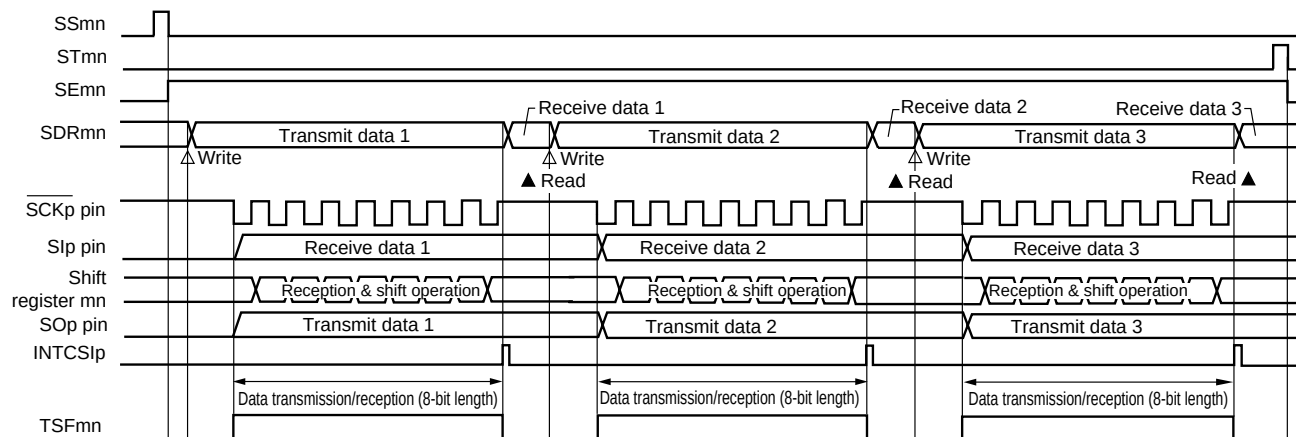
图 17-67. 恢复从属发送/接收的步骤



注意事项 务必在启动来自主机的时钟之前，把发送数据设置至 **SIOp** 寄存器。

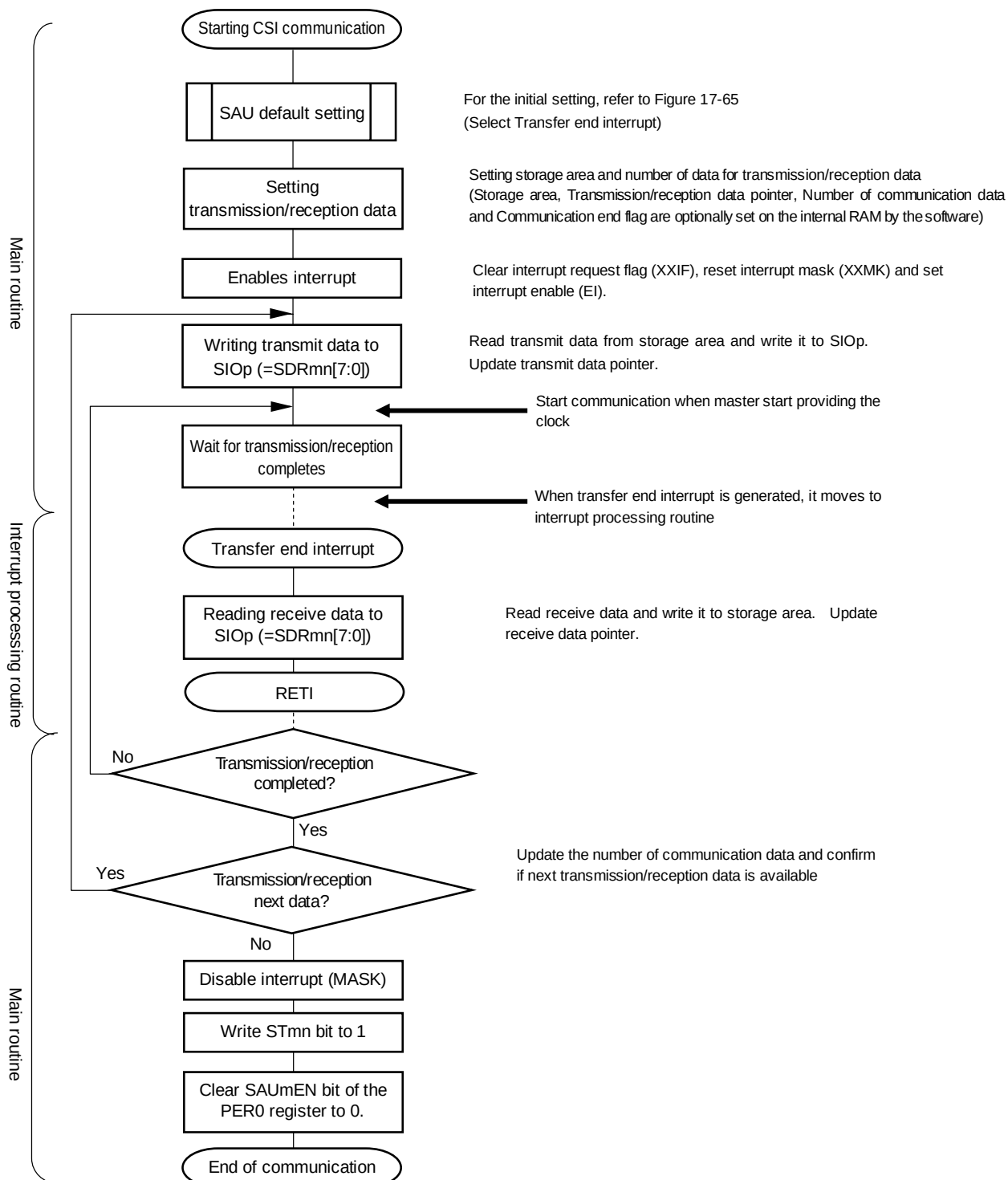
(3) 处理流程 (单发送/接收模式时)

图 17-68. 从属发送/接收(单发送/接收模式时)的时序图
(类型 1: DAPmn = 0、CKPmn = 0)



备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13

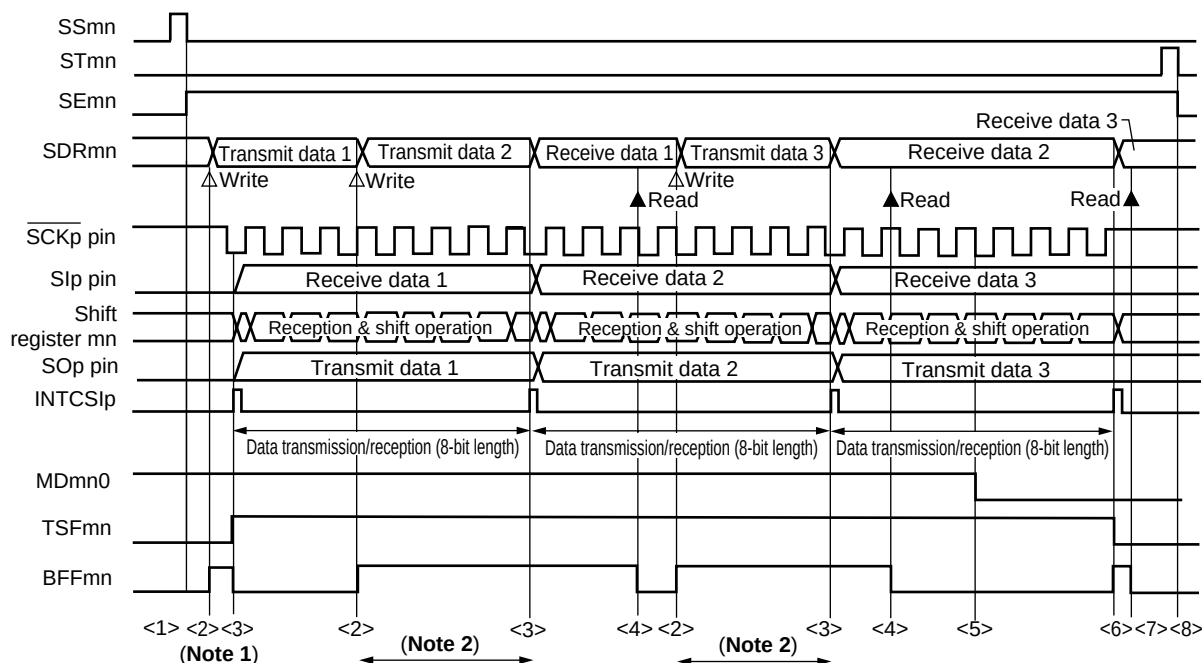
图 17-69. 从属发送/接收(单发送/接收模式时)的流程图



注意事项 务必在启动来自主机的时钟之前，把发送数据设置至 SIOp 寄存器。

(4) 处理流程 (连续发送/接收模式时)

图 17-70. 从属发送/接收(连续发送/接收模式时)的时序图
(类型 1: DAPmn = 0、CKPmn = 0)



注 1. 如果在串行状态寄存器 mn (SSRmn) 的 BFFmn 位为 1 时将发送数据写入 SDRmn 寄存器 (将有效数据存储于串行数据寄存器 mn (SDRmn) 中)，则发送数据将被覆盖。

2. 在此过程中可以通过读取 SDRmn 寄存器来读取发送数据。此时，传送操作不受影响。

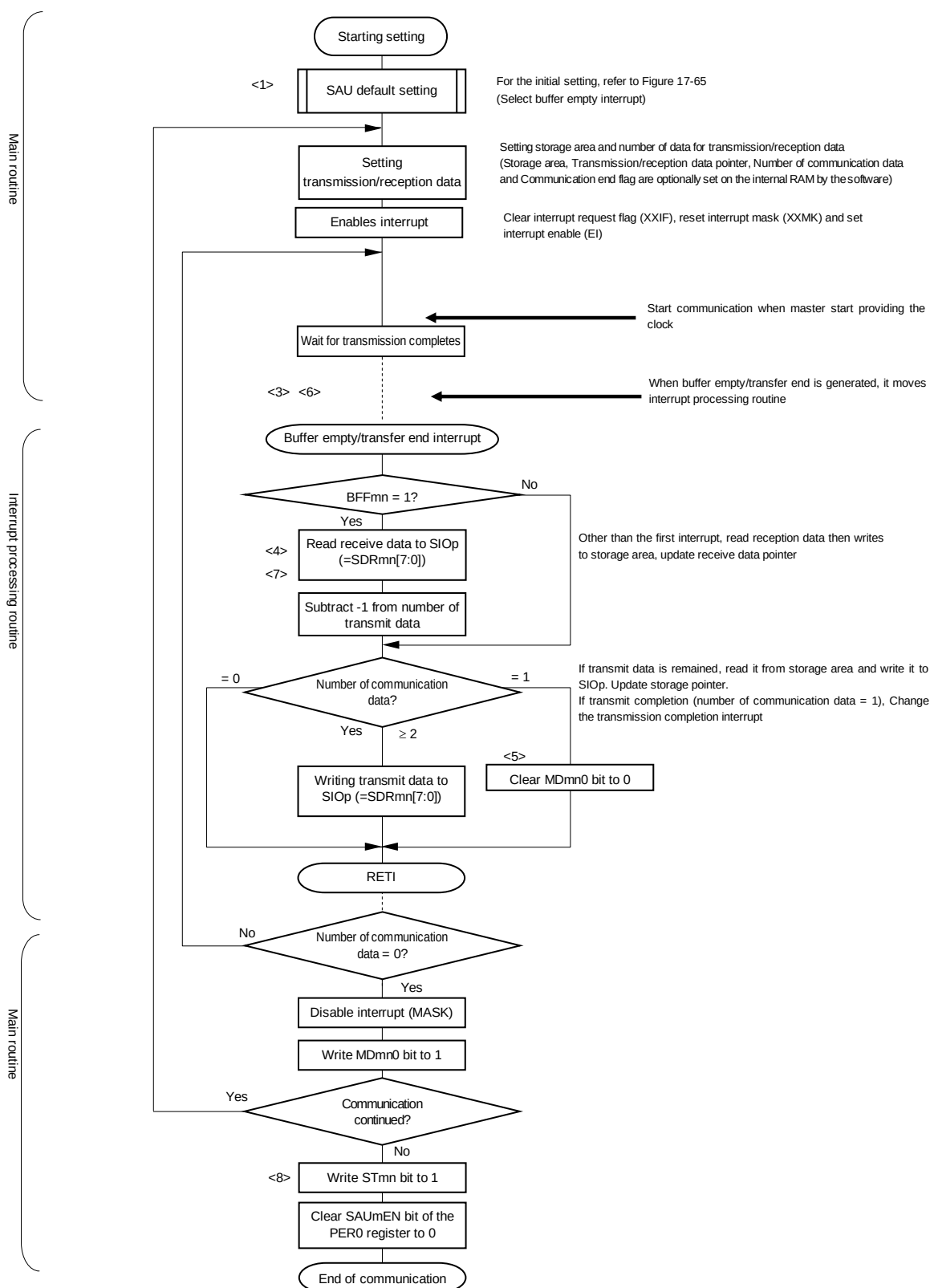
注意事项 即使在操作过程中，也可重写串行模式寄存器 mn (SMRmn) 的 MDmn0 位。

然而，一定要在开始传输最后一位之前重写，以便在最后发送数据的传送结束中断之前完成重写。

备注 1. 此图中的<1>至<8>对应于图 17-71 从属发送/接收(连续发送/接收模式时)的流程图 中的<1>至<8>。

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13

图 17-71. 从属发送/接收(连续发送/接收模式时)的流程图



注意事项 务必在启动来自主机的时钟之前，把发送数据设置至 SIOp 寄存器。

备注 此图中的<1>至<8>对应于图 17-70 从属发送/接收(连续发送/接收模式时)的时序图 中的<1>至<8>。

17.5.7 SNOOZE 模式功能

借助 SNOOZE 模式，在 STOP 模式下检测到 $\overline{\text{SCKp}}$ 引脚输入时可以不需 CPU 而执行数据接收。

- 30 至 64 针产品： 仅限 CSI00
- 80、100 针产品： 仅限 CSI00 和 CSI20

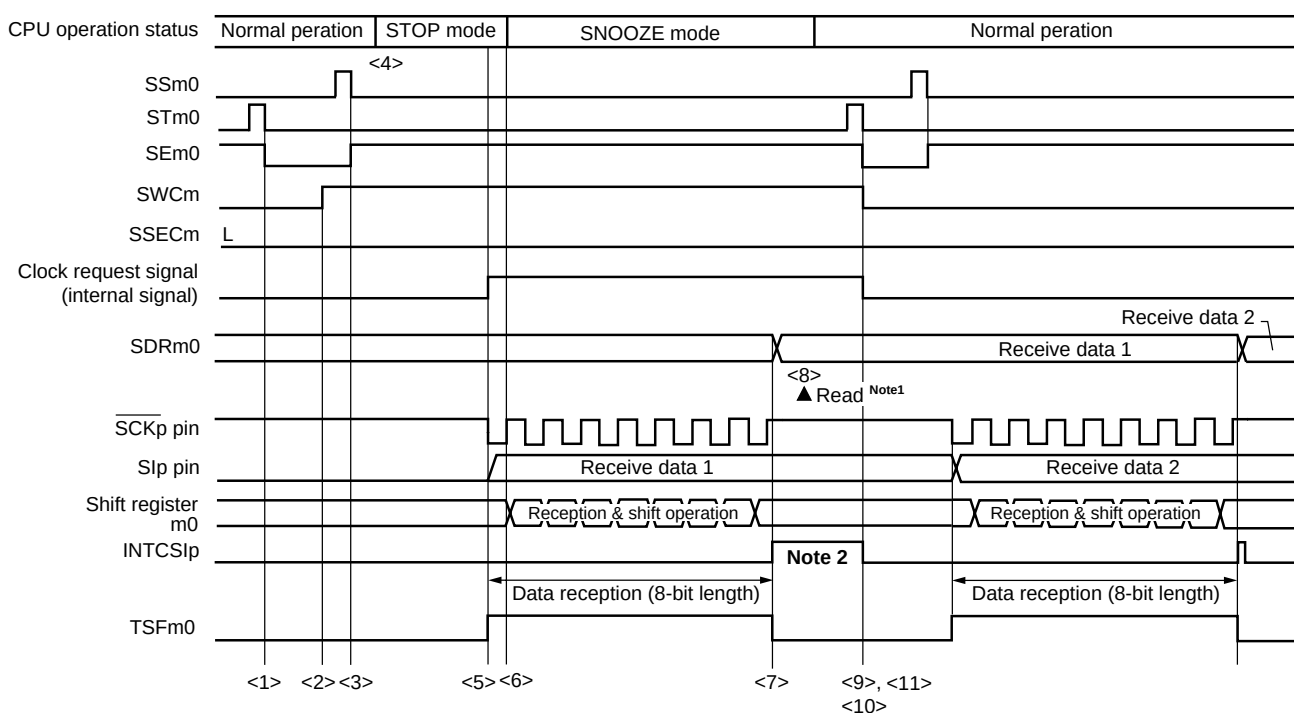
使用 SNOOZE 模式功能时，须在切换至 STOP 模式之前将串行待机控制寄存器 m (SSCm) 的 SWCm 位设置为 1。

注意事项 1. 仅当选择高速片上振荡器时钟作为 f_{CLK} 时，才可指定 SNOOZE 模式。

2. 在 SNOOZE 模式下使用 CSIp 时的最大传送速率为 1 Mbps。

(1) SNOOZE 模式操作 (一次启动)

图 17-72. SNOOZE 模式操作(一次启动)时的时序图(类型 1: DAPmn = 0、CKPmn = 0)



注 1. 仅当 SWCm = 1 且检测到 $\overline{\text{SCKp}}$ 引脚输入的下一个边沿之前，读取接收的数据。

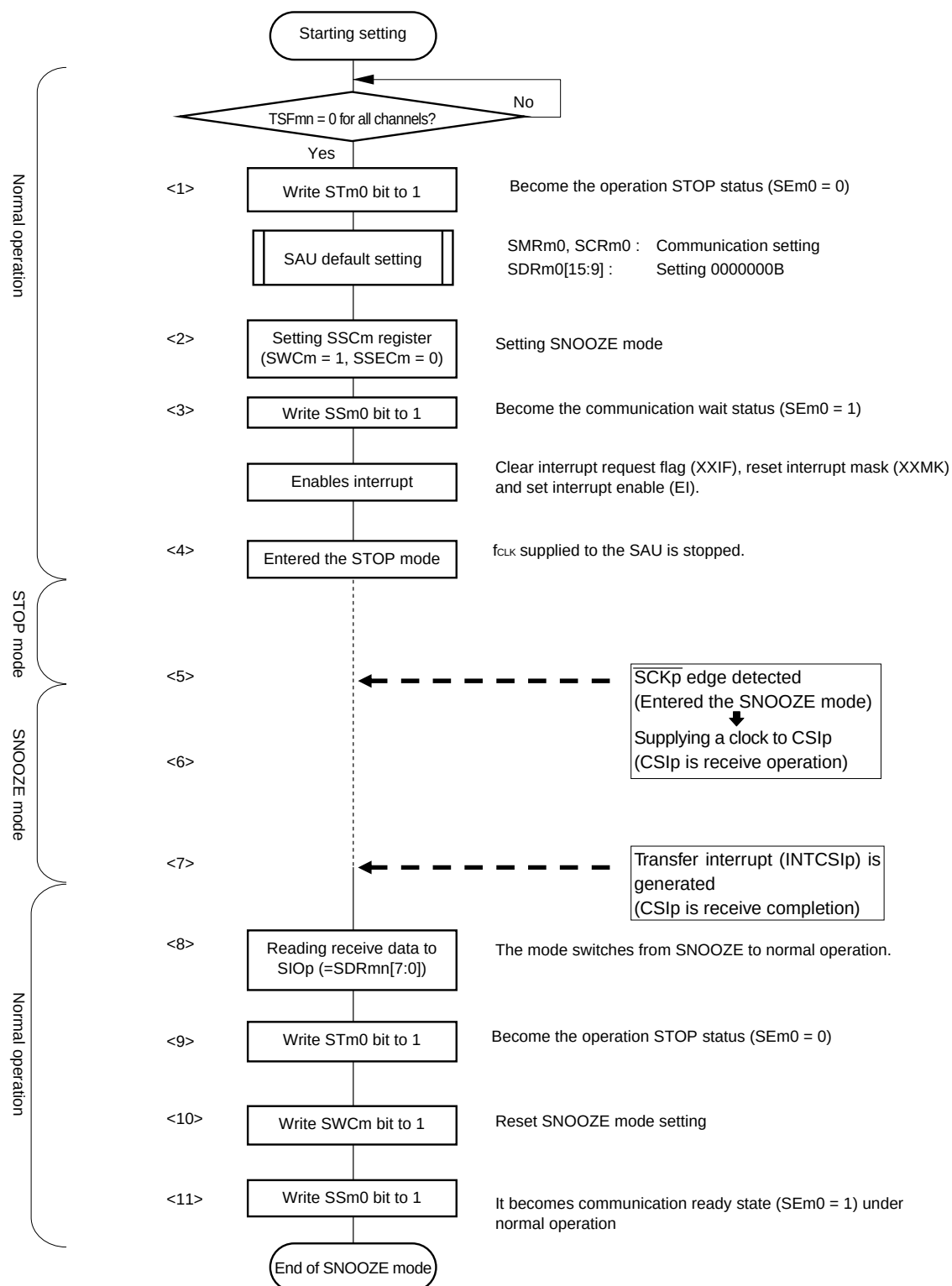
2. 在 SWCm 被清除至 0 时或者检测到 $\overline{\text{SCKp}}$ 引脚输入的下一个边沿时，传送结束中断 (INTCSIp) 将被清除。

注意事项 在切换至 SNOOZE 模式之前，或者在 SNOOZE 模式下的接收操作完成之后，务必将 STm0 位设为 1 并清除 SEm0 位（以停止操作）。

备注 1. 此图中的<1>至<11>对应于图 17-73. SNOOZE 模式操作(一次启动)时的流程图 中的<1>至<11>。

2. 30 至 64 针产品： m = 0; p = 00
80、100 针产品： m = 0, 1; p = 00, 20

图 17-73. SNOOZE 模式操作(一次启动)时的流程图

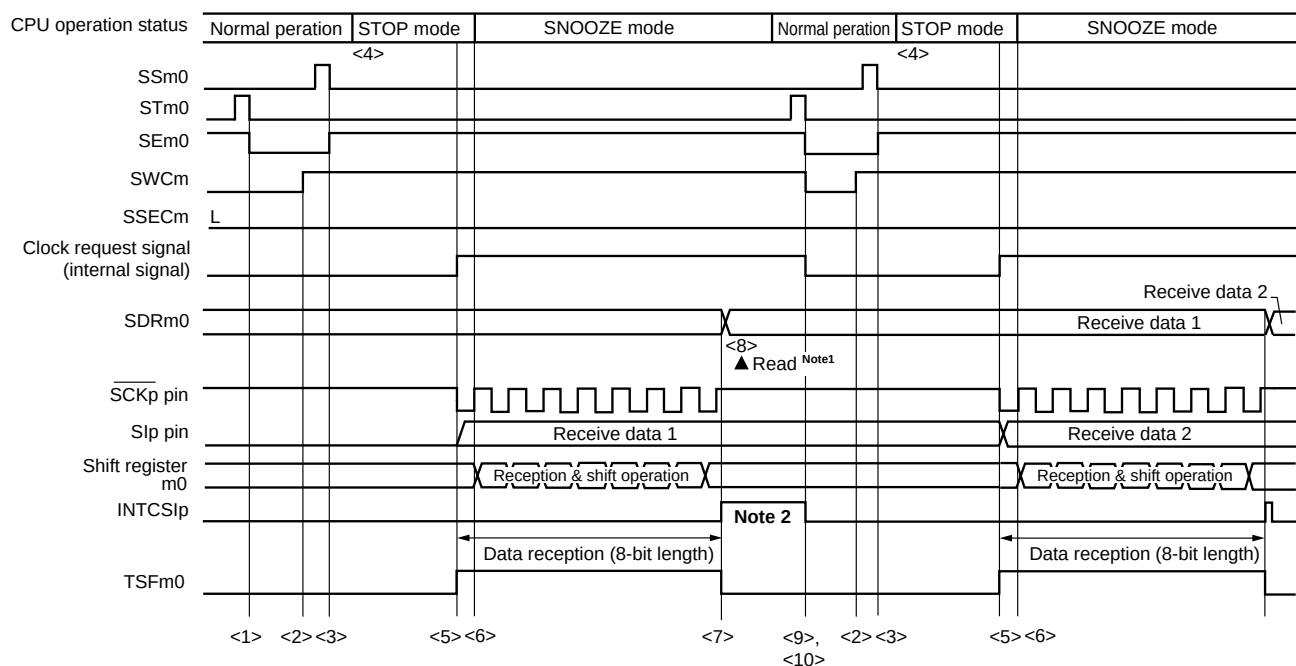


备注 1. 此图中的<1>至<11>对应于图 17-72. SNOOZE 模式操作(一次启动)时的时序图 中的<1>至<11>。

2. 30 至 64 针产品: m = 0; p = 00
80、100 针产品: m = 0, 1; p = 00, 20

(2) SNOOZE 模式操作 (连续启动)

图 17-74. SNOOZE 模式操作(连续启动)时的时序图(类型 1: DAPmn = 0、CKPmn = 0)



注 1. 仅当 $SWCm = 1$ 且检测到 $\overline{SCKp}$ 引脚输入的下一个边沿之前, 读取接收的数据。

2. 在 $SWCm$ 被清除至 0 时或者检测到 $\overline{SCKp}$ 引脚输入的下一个边沿时, 传送结束中断 ($INTCSlp$) 将被清除。

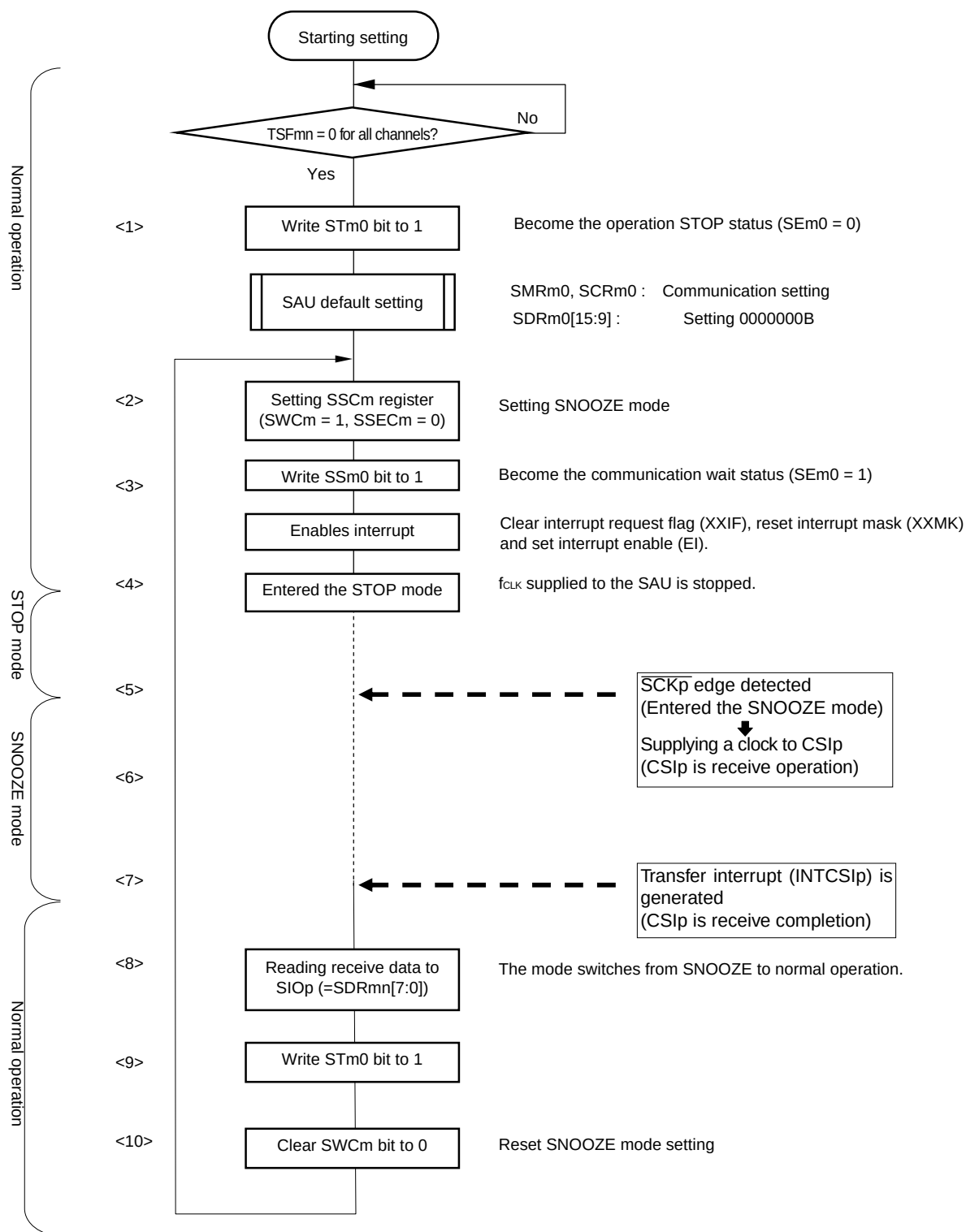
注意事项 在切换至 SNOOZE 模式之前, 或者在 SNOOZE 模式下的接收操作完成之后, 务必将 $STm0$ 位设为 1 并清除 $SEm0$ 位 (以停止操作)。

备注 1. 此图中的<1>至<10>对应于图 17-75. SNOOZE 模式操作(连续启动)时的流程图中的<1>至<10>。

2. 30 至 64 针产品: $m = 0$; $p = 00$

80、100 针产品: $m = 0, 1$; $p = 00, 20$

图 17-75. SNOOZE 模式操作(连续启动)时的流程图



备注 1. 此图中的<1>至<10>对应于图 17-74. SNOOZE 模式操作(连续启动)时的时序图 中的<1>至<10>。

- 30 至 64 针产品: m = 0; p = 00
- 80、100 针产品: m = 0, 1; p = 00, 20

17.5.8 计算传送时钟频率

三线串行 I/O (CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31) 通信的传送时钟频率可以通过以下表达式计算。

(1) 主

$$(\text{传送时钟频率}) = \{ \text{目标通道的操作时钟} (f_{\text{MCK}}) \text{ 频率} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) 从属

$$(\text{传送时钟频率}) = \{ \text{由主机提供的串行时钟} (\overline{\text{SCK}}) \text{ 频率} \}^{\frac{1}{2}} \text{ [Hz]}$$

注 允许的最大传送时钟频率为 $f_{\text{MCK}}/6$ 。

备注 SDRmn[15:9]的值为串行数据寄存器 mn (SDRmn)的位 15 至位 9 的值(0000000B 至 1111111B)，即 0 至 127。

操作时钟 (f_{MCK}) 取决于串行时钟选择寄存器 m (SPSm) 以及串行模式寄存器 mn (SMRmn)的位 15 (CKSmn)。

表 17-2. 用于 3 线串行 I/O 的操作时钟的选择

SMRmn 寄存器	SPSm 寄存器								操作时钟(f _{CLK}) [※]	
CKSmn	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		f _{CLK} = 32 MHz
0	X	X	X	X	0	0	0	0	f _{CLK}	32 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	16 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	8 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	4 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	f _{CLK} /2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	f _{CLK} /2 ¹³	3.9 kHz
	X	X	X	X	1	1	1	0	f _{CLK} /2 ¹⁴	1.95 kHz
	X	X	X	X	1	1	1	1	f _{CLK} /2 ¹⁵	977 Hz
1	0	0	0	0	X	X	X	X	f _{CLK}	32 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	16 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	8 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	4 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	15.63 kHz
	1	1	0	0	X	X	X	X	f _{CLK} /2 ¹²	7.81 kHz
	1	1	0	1	X	X	X	X	f _{CLK} /2 ¹³	3.9 kHz
	1	1	1	0	X	X	X	X	f _{CLK} /2 ¹⁴	1.95 kHz
	1	1	1	1	X	X	X	X	f _{CLK} /2 ¹⁵	977 Hz

注 更改选为 f_{CLK} 的时钟（通过更改系统时钟控制寄存器(CKC)的值）时，必须在停止（串行通道停止寄存器 m (STm) = 000FH）操作串行阵列单元(SAU)后才可以进行更改。

备注 1. X: 忽略

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

17.5.9 3 线串行 I/O (CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31)通信过程中发生错误时的处理步骤

在三线串行 I/O (CSI00、CSI01、CSI10、CSI11、CSI20、CSI21、CSI30、CSI31) 通信过程中发生的错误处理步骤如图 17-76 所示。

图 17-76. 发生溢出错误时的处理步骤

软件操作	硬件状态	备注
读取串行数据寄存器mn (SDRmn)。	→ SSRmn寄存器的BFFmn位被设为0，同时启用通道n以接收数据。	这是为了防止在处理错误期间完成了下一次接收时出现溢出错误。
读取串行状态寄存器mn (SSRmn)。		识别出错误类型，并用读取值来清除错误标志。
将1写入串行标志清除触发寄存器mn (SIRmn)。	→ 错误标志被清除。	将SSRmn寄存器的读取值直接写入SIRmn寄存器，从而可以只清除读取时的错误。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

17.6 具有从属选择输入功能的时钟同步串行通信

SAU0 的通道 0 对应于具有从属选择输入功能的时钟同步串行通信。

[数据发送/接收]

- 数据长度为 7 或 8 位
- 发送/接收数据的相位控制
- MSB/LSB 优先可选
- 发送/接收数据的电平控制

[时钟控制]

- 输入/输出时钟的相位控制
- 通过预分频器和通道内部计数器来设置传输周期
- 最大传送速率

从属通信期间: $\text{Max. } f_{\text{MCK}}/6^{\#}$

[中断功能]

- 传送结束中断/缓冲器空白中断

[错误检测标志]

- 溢出错误

[扩展功能]

- 从属选择功能

注 应在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

• 30、32 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

• 36、40、44 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

- 48、52 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

- 64 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

- 80、100 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00 (支持从属选择输入功能)	UART0 (支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

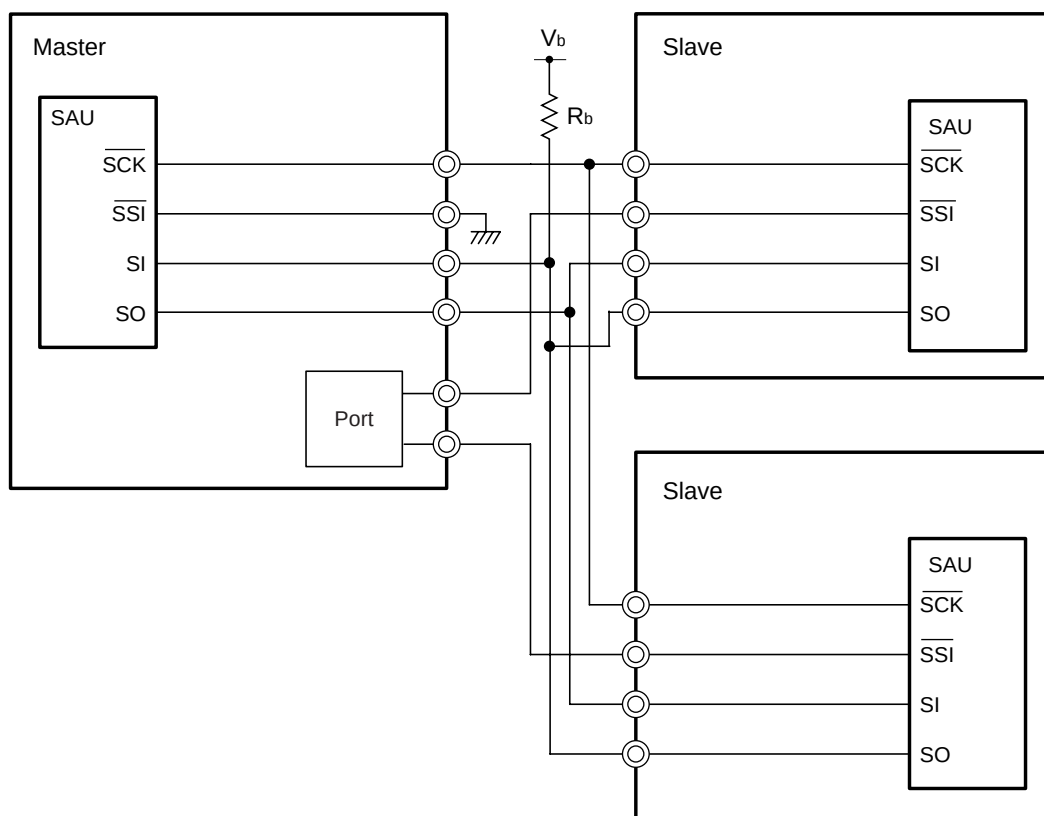
从属选择输入功能具有如下三种类型的通信操作。

- 从属发送 (参阅 17.6.1。)
- 从属接收 (参阅 17.6.2。)
- 从属发送/接收 (参阅 17.6.3。)

可以将多个从属连接至一个主，并可用从属选择输入功能进行通信。主输出一个从属选择信号至作为通信另一方的从属（1 个），各个从属判断是否被选为通信的另一方，并控制 SO 引脚输出。当一个从属被选中时，可以从 SO 引脚至主机执行发送数据的通信。未被选中的从属的 SO 引脚被设置为高电平输出。因此，在连接有多个从属的环境中，须将 SO 引脚设置为 N 沟道开路漏极并上拉该节点。另外，对于未被选中的从属，即使从主机输入串行时钟，也不执行发送/接收操作。

注意事项 使用端口操作来输出从属选择信号。

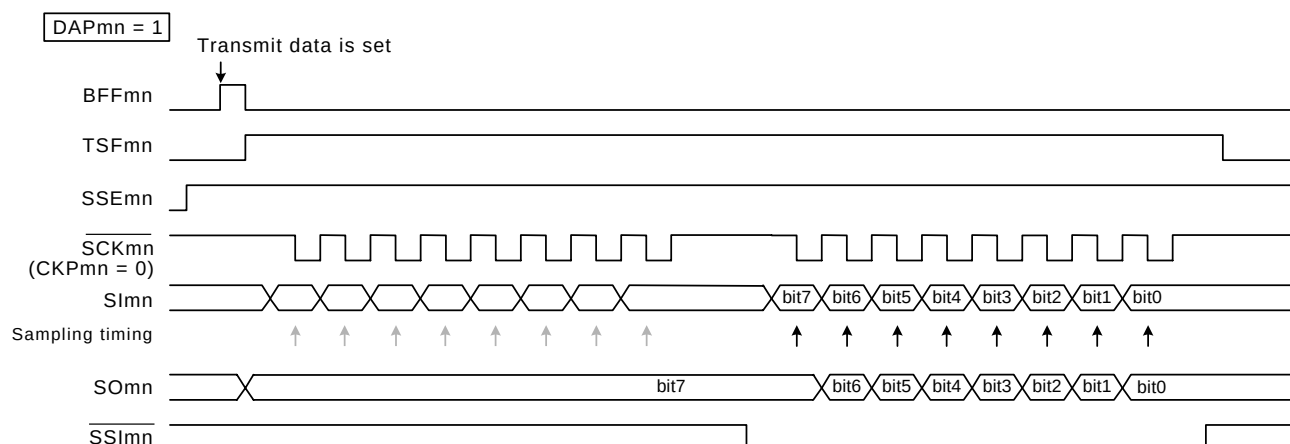
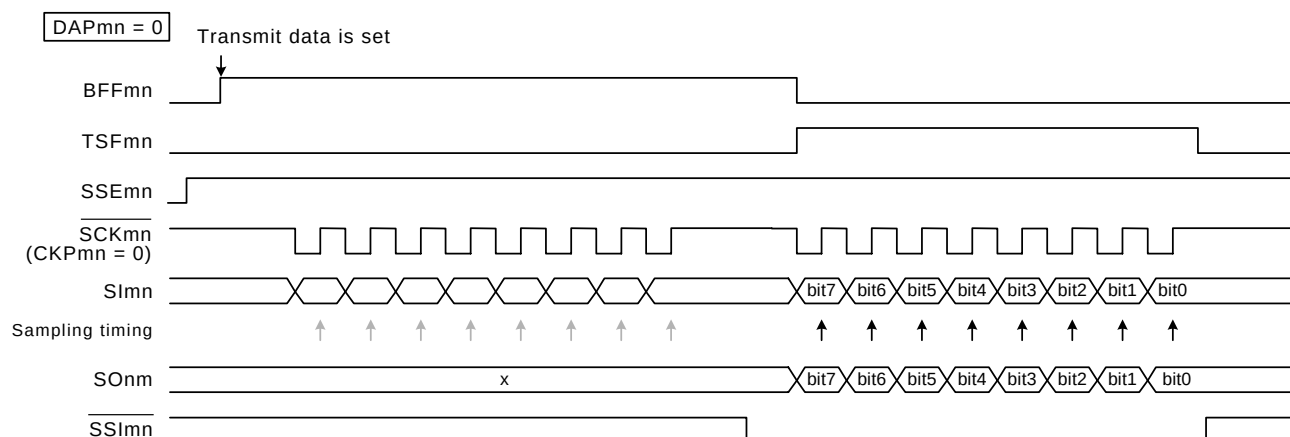
图 17-77. 从属选择输入功能的配置示例



注意事项 确保 $EV_{DD0} \geq V_b$ 。

将 SO00 引脚选作 N 沟道开路漏极输出(EV_{DD0} 耐压)模式。

图 17-78. 从属选择输入功能的时序图



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0)

17.6.1 从属发送

从属发送是指，当接收来自另一个器件的传送时钟输入时，RL78/G14 将数据发送至其它器件。

从属选择输入功能	CSI00
目标通道	SAU0的通道0
使用引脚	$\overline{\text{SCK00}}$, SO00 , $\overline{\text{SSI00}}$
中断	INTCSI00 可选择发送结束中断(单发送模式时)或缓冲器空白中断(连续发送模式时)。
错误检测标志	仅限溢出错误检测标志(OVFmn)
传送数据长度	7或8位
传送速率	$\text{Max. } f_{\text{MCK}}/6 \text{ [Hz]}^{\text{注1,2}}$
数据相位	可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输出。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输出。
时钟相位	可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正 • CKPmn = 1: 反
数据方向	MSB或LSB优先
从属选择输入功能	可选择从属选择输入功能操作

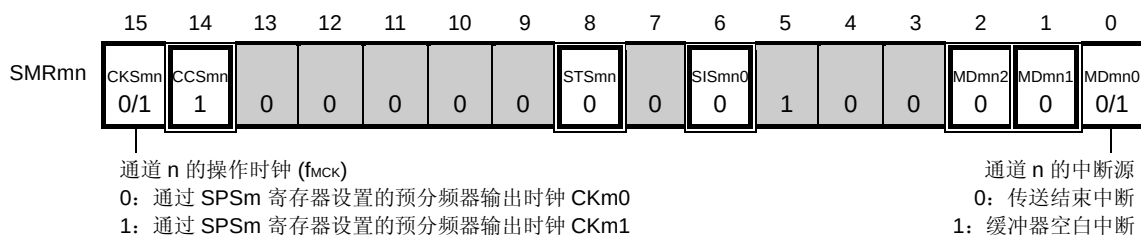
- 注 1.** 由于输入至 $\overline{\text{SCK00}}$ 引脚的外部串行时钟以内部方式采样并被使用，所以最大传送速率为 $f_{\text{MCK}}/6 \text{ [Hz]}$ 。
- 2.** 应在满足以上条件及电特性中的 AC 特性(参阅 **第三十四章 电特性**)的范围内使用此操作。

- 备注 1.** f_{MCK} : 目标通道的操作时钟频率
- 2.** m: 单元编号 (m = 0), n: 通道编号 (n = 0)

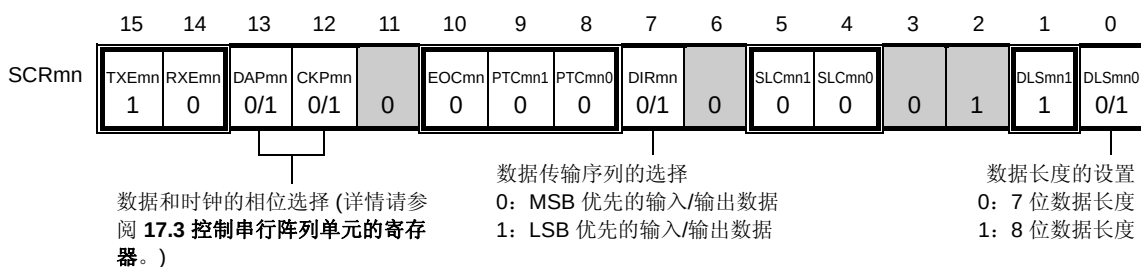
(1) 寄存器设置

图 17-79. 从属选择输入功能(CSI00)的从属发送时的寄存器设置内容示例(1/2)

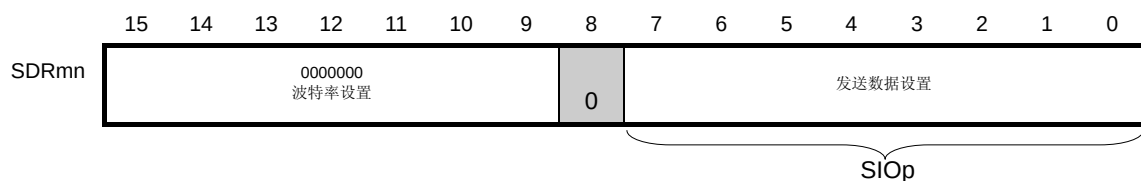
(a) 串行模式寄存器 mn (SMRmn)



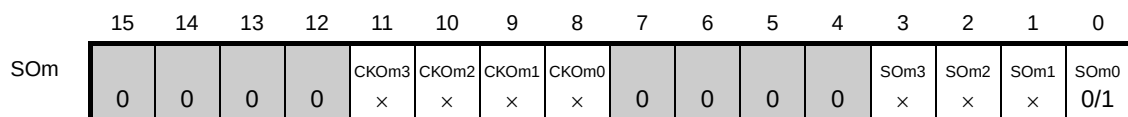
(b) 串行通信操作设置寄存器 mn (SCRmn)



(c) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOP)



(d) 串行输出寄存器 m (SOM) ... 仅对目标通道的位进行设置。



备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

2. □: 设置固定于 CSI 从属发送模式, ■: 禁止设置 (设为初始值)

x: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)

0/1: 可根据客户的用途设为 0 或 1

图 17-79. 从属选择输入功能(CSI00)的从属发送时的寄存器设置内容示例(2/2)

(e) 串行输出允许寄存器 m (SOEm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 0/1

(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 输入切换控制寄存器(ISC) ... CSI00 从属通道(单元 0 的通道 0)中 $\overline{\text{SSI00}}$ 输入的设置。

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0: 禁止 $\overline{\text{SSI00}}$ 引脚的输入值

1: 允许 $\overline{\text{SSI00}}$ 引脚的输入值

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

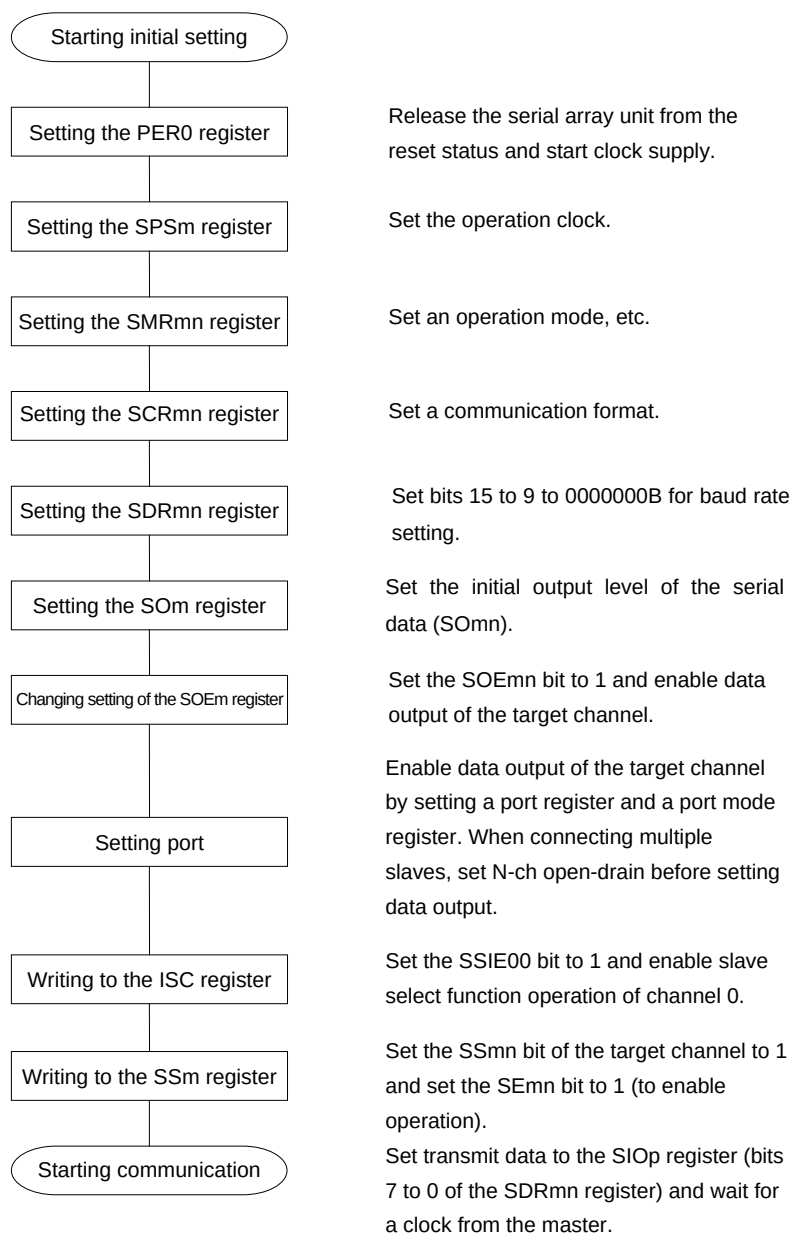
2. : 禁止设置 (设为初始值)

×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)

0/1: 可根据客户的用途设为 0 或 1

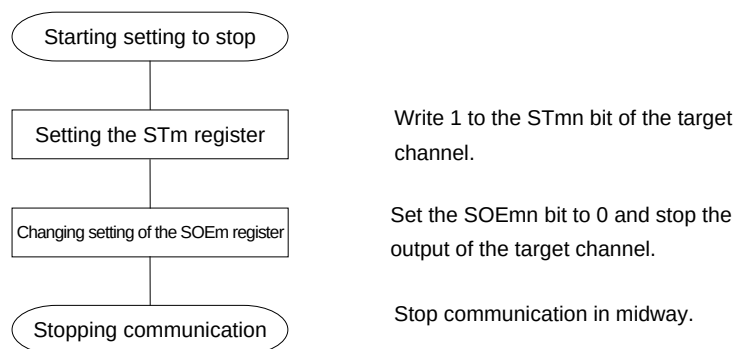
(2) 操作步骤

图 17-80. 从属发送的初始设定步骤



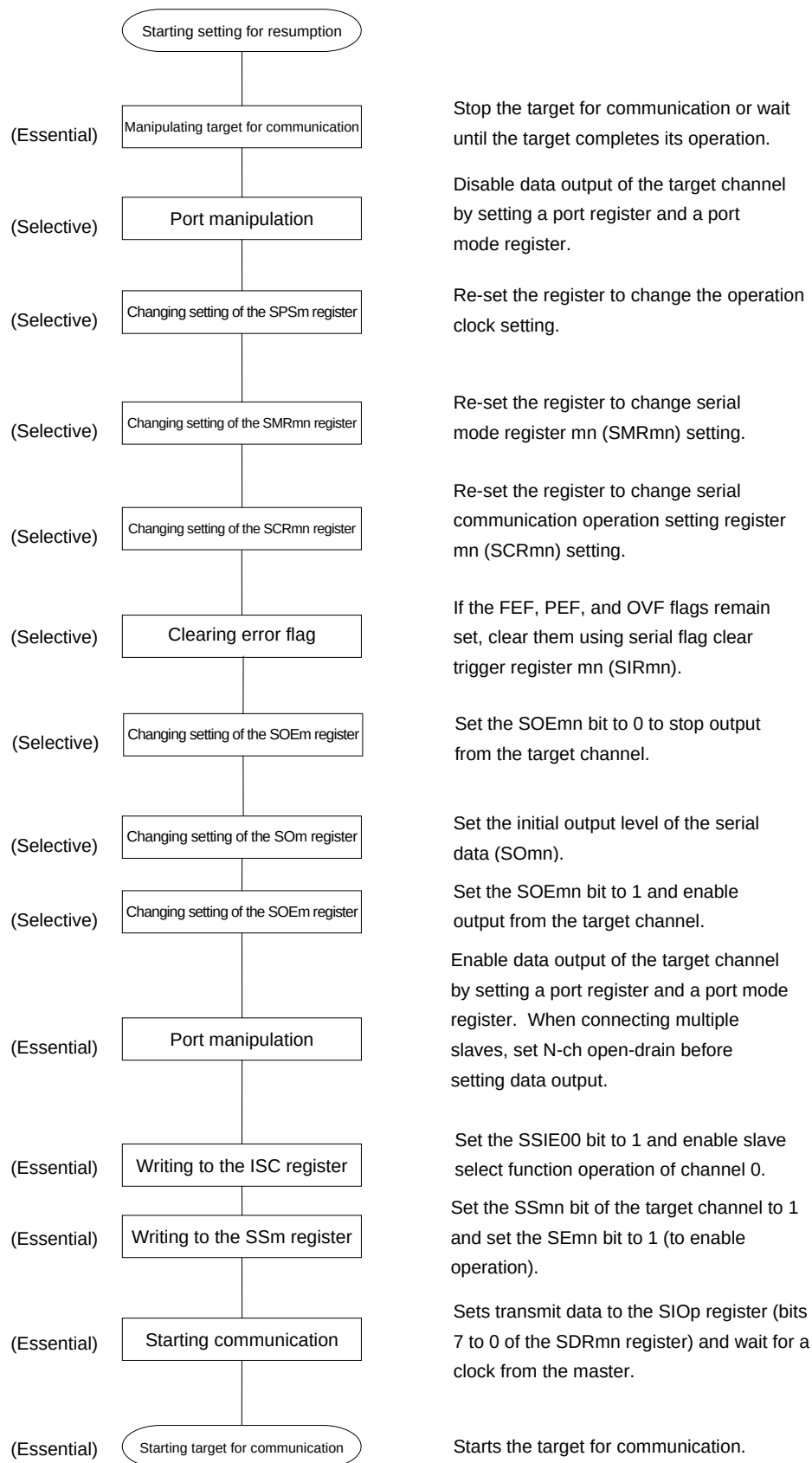
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

图 17-81. 停止从属发送的步骤



- 备注 1.** 即使停止通信后也保持引脚电平。将 SOm 寄存器复位，以恢复操作 (参阅 图 17-82 恢复从属发送的步骤)。
- 2.** m: 单元编号 (m = 0)，n: 通道编号 (n = 0)，p: CSI 编号 (p = 00)

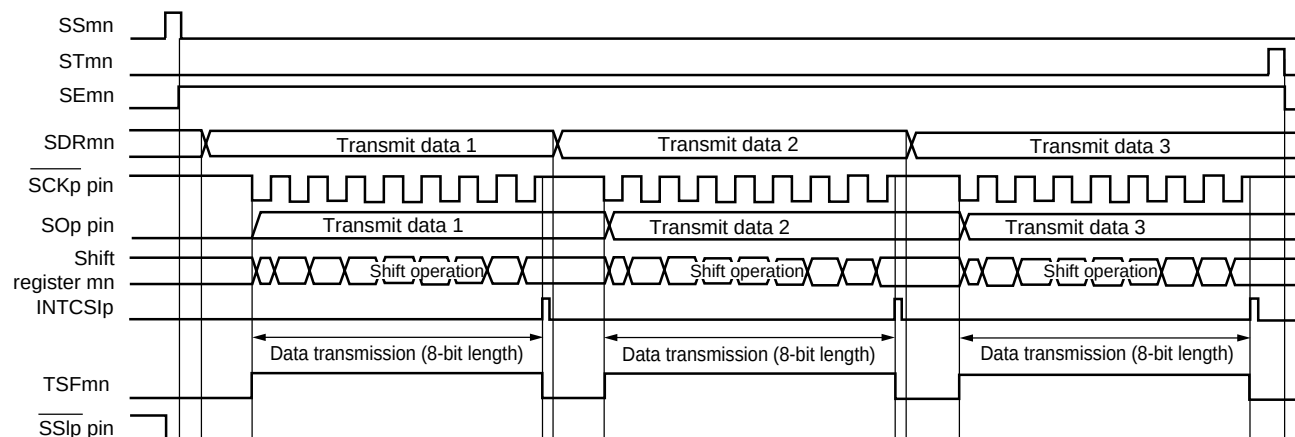
图 17-82. 恢复从属发送的步骤



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

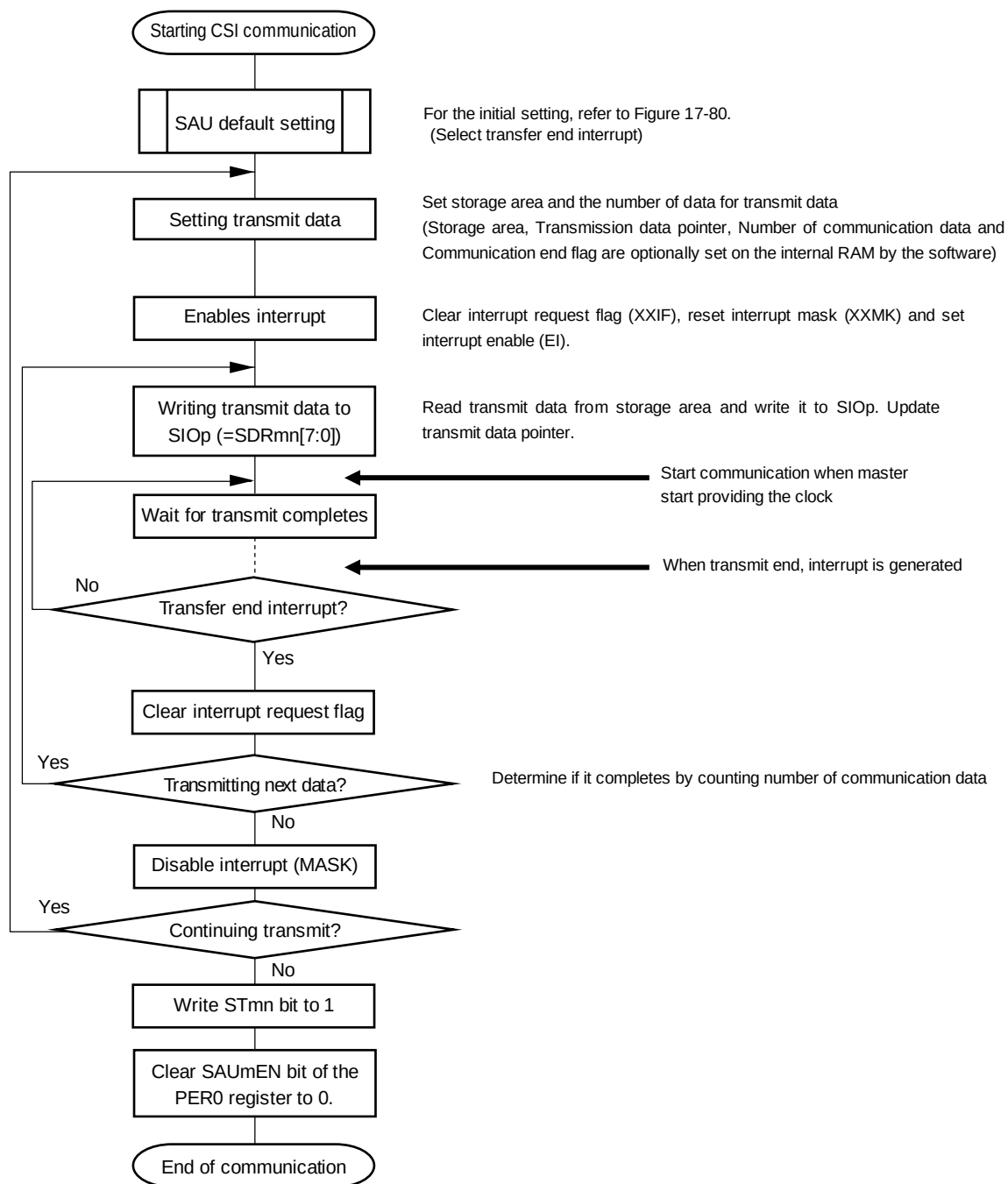
(3) 处理流程 (单发送模式时)

图 17-83. 从属发送(单发送模式时)的时序图
(类型 1: DAPmn = 0, CKPmn = 0)



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

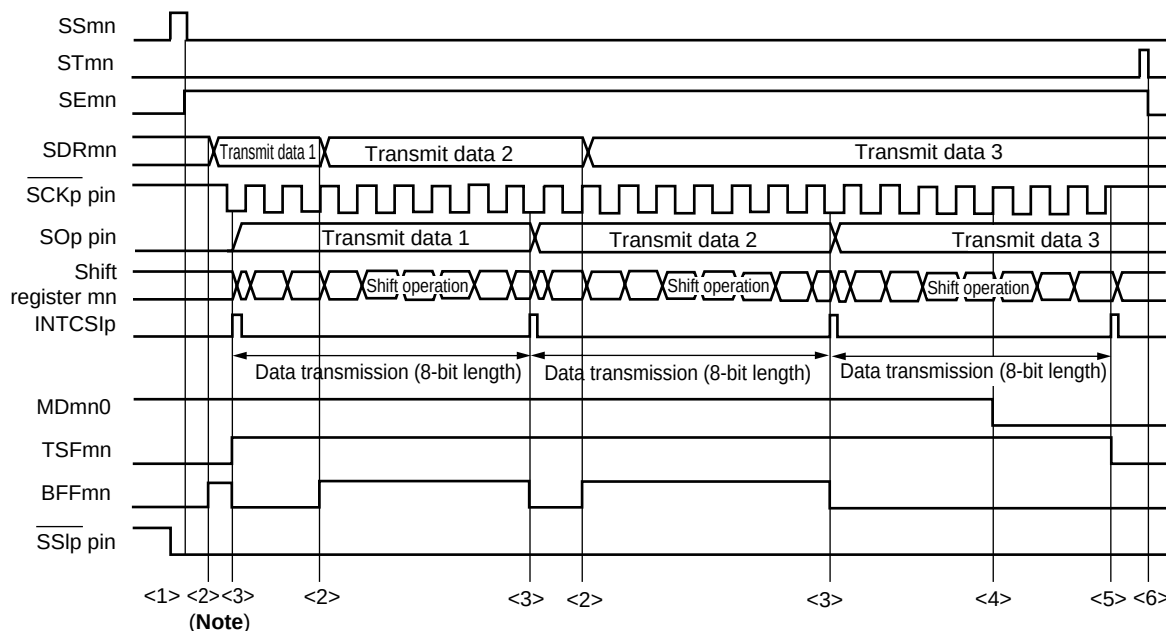
图 17-84. 从属发送(单发送模式时)的流程图



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

(4) 处理流程 (连续发送模式时)

图 17-85. 从属发送(连续发送模式时)的时序图
(类型 1: DAPmn = 0, CKPmn = 0)

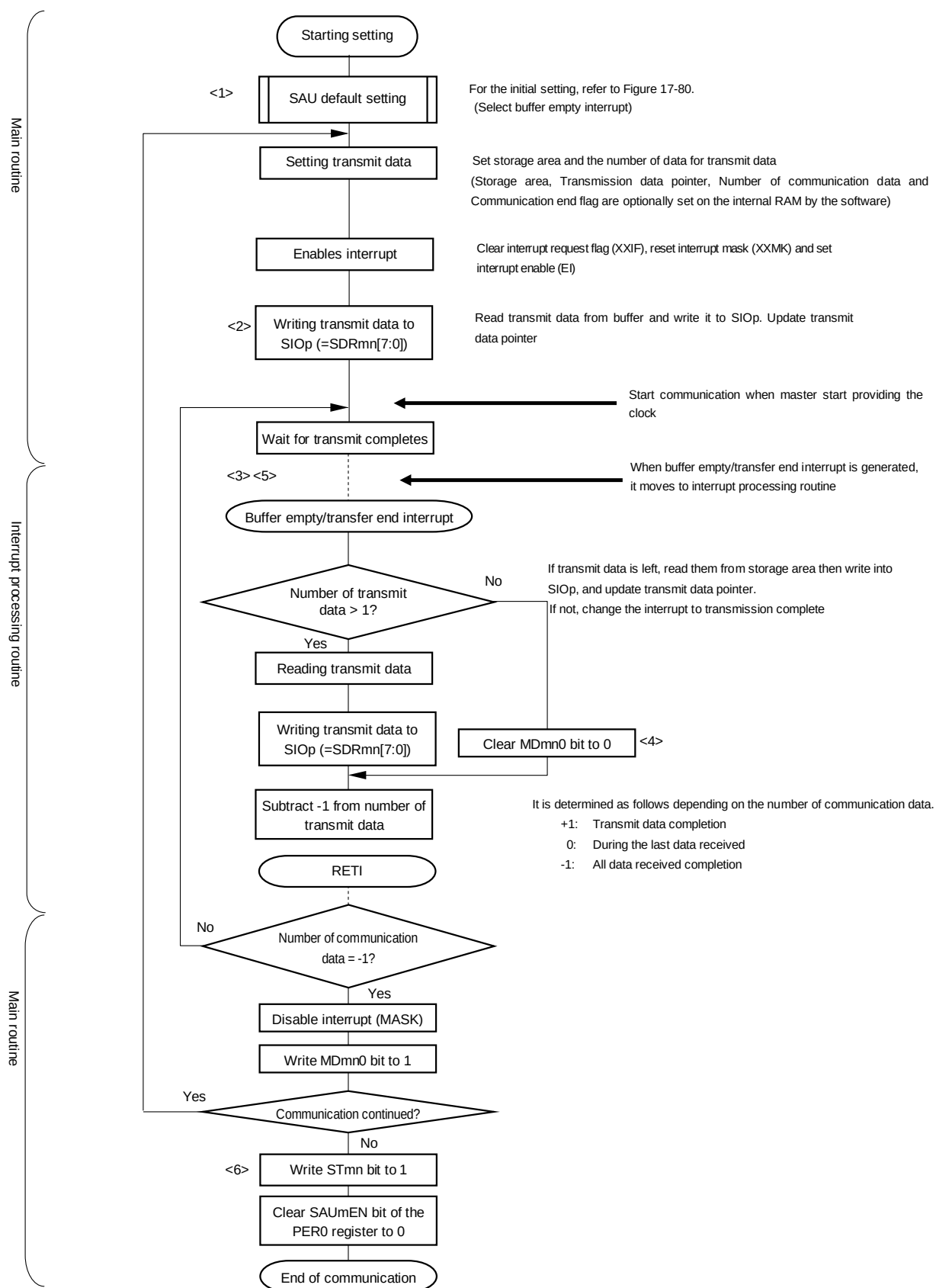


注 如果在串行状态寄存器 mn (SSRmn) 的 BFFmn 位为 1 时将发送数据写入 SDRmn 寄存器 (将有效数据存储于串行数据寄存器 mn (SDRmn) 中)，则发送数据将被覆盖。

注意事项 即使在操作过程中，也可重写串行模式寄存器 mn (SMRmn) 的 MDmn0 位。然而，一定要在开始传输最后一位之前重写。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

图 17-86. 从属发送(连续发送模式时)的流程图



- 备注 1. 此图中的<1>至<6>对应于图 17-85 从属发送(连续发送模式时)的时序图 中的<1>至<6>。
2. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

17.6.2 从属接收

从属接收是指，当接收来自另一个器件的传送时钟输入时，RL78/G14 从其它器件接收数据。

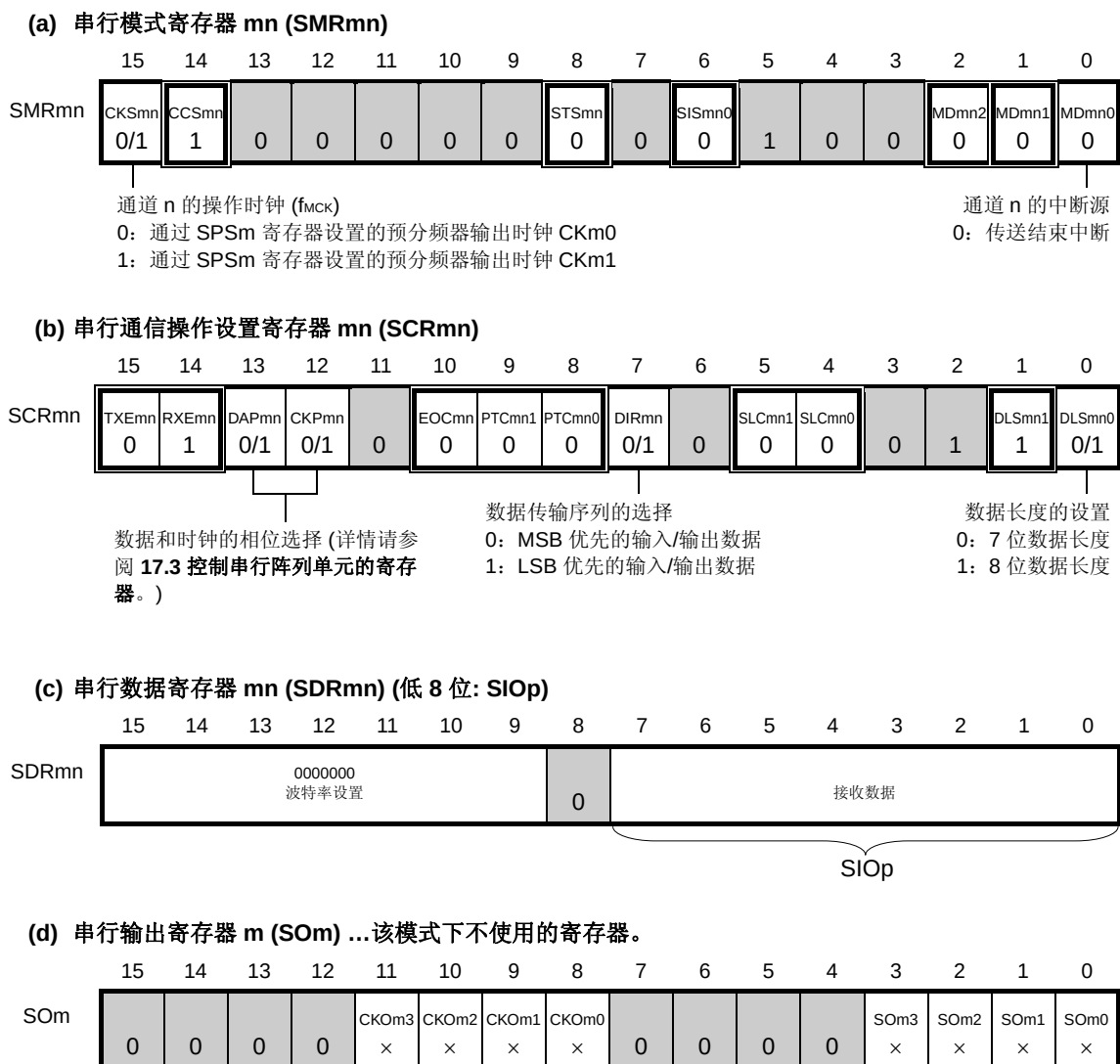
从属选择输入功能	CSI00
目标通道	SAU0的通道0
使用引脚	$\overline{\text{SCK00}}$, SI00, $\overline{\text{SSI00}}$
中断	INTCSI00 仅限传送结束中断 (禁止设置缓冲器空白中断。)
错误检测标志	仅限溢出错误检测标志(OVFmn)
传送数据长度	7或8位
传送速率	Max. $f_{\text{MCK}}/6$ [Hz] ^{※1,2}
数据相位	可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输出。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输出。
时钟相位	可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正 • CKPmn = 1: 反
数据方向	MSB或LSB优先
从属选择输入功能	可选择从属选择输入功能操作

- 注 1.** 由于输入至 $\overline{\text{SCK00}}$ 引脚的外部串行时钟以内部方式采样并被使用，所以最大传送速率为 $f_{\text{MCK}}/6$ [Hz]。
2. 应在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

- 备注 1.** f_{MCK} : 目标通道的操作时钟频率
2. m: 单元编号 (m = 0), n: 通道编号 (n = 0)

(1) 寄存器设置

图 17-87. 从属选择输入功能(CSI00) 的从属接收时的寄存器内容示例 (1/2)



- 备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)
2. : 设置固定于 CSI 从属接收模式, : 禁止设置 (设为初始值)
 ×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)
 0/1: 可根据客户的用途设为 0 或 1

图 17-87. 从属选择输入功能(CSI00) 的从属接收时的寄存器内容示例(2/2)

(e) 串行输出允许寄存器 m (SOEm) ... 该模式下不使用的寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 输入切换控制寄存器(ISC) ... CSI00 从属通道(单元 0 的通道 0)中 $\overline{\text{SSI00}}$ 输入的设置。

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0: 禁止 $\overline{\text{SSI00}}$ 引脚的输入值

1: 允许 $\overline{\text{SSI00}}$ 引脚的输入值

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

2. : 禁止设置 (设为初始值)

×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)

0/1: 可根据客户的用途设为 0 或 1

(2) 操作步骤

图 17-88. 从属接收的初始设定步骤

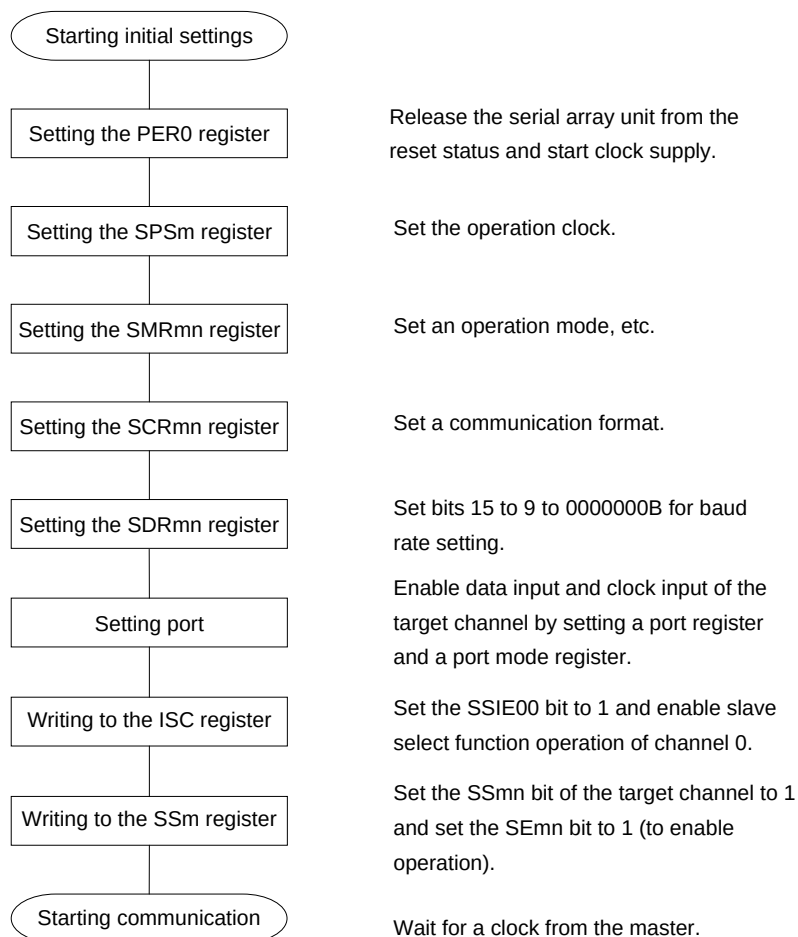
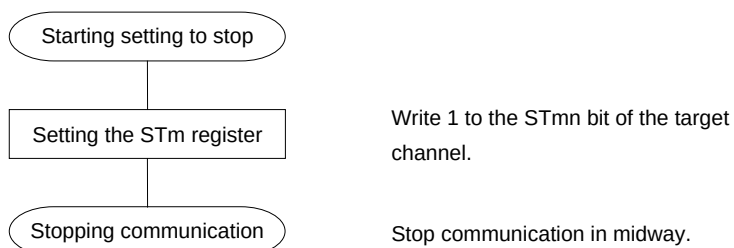
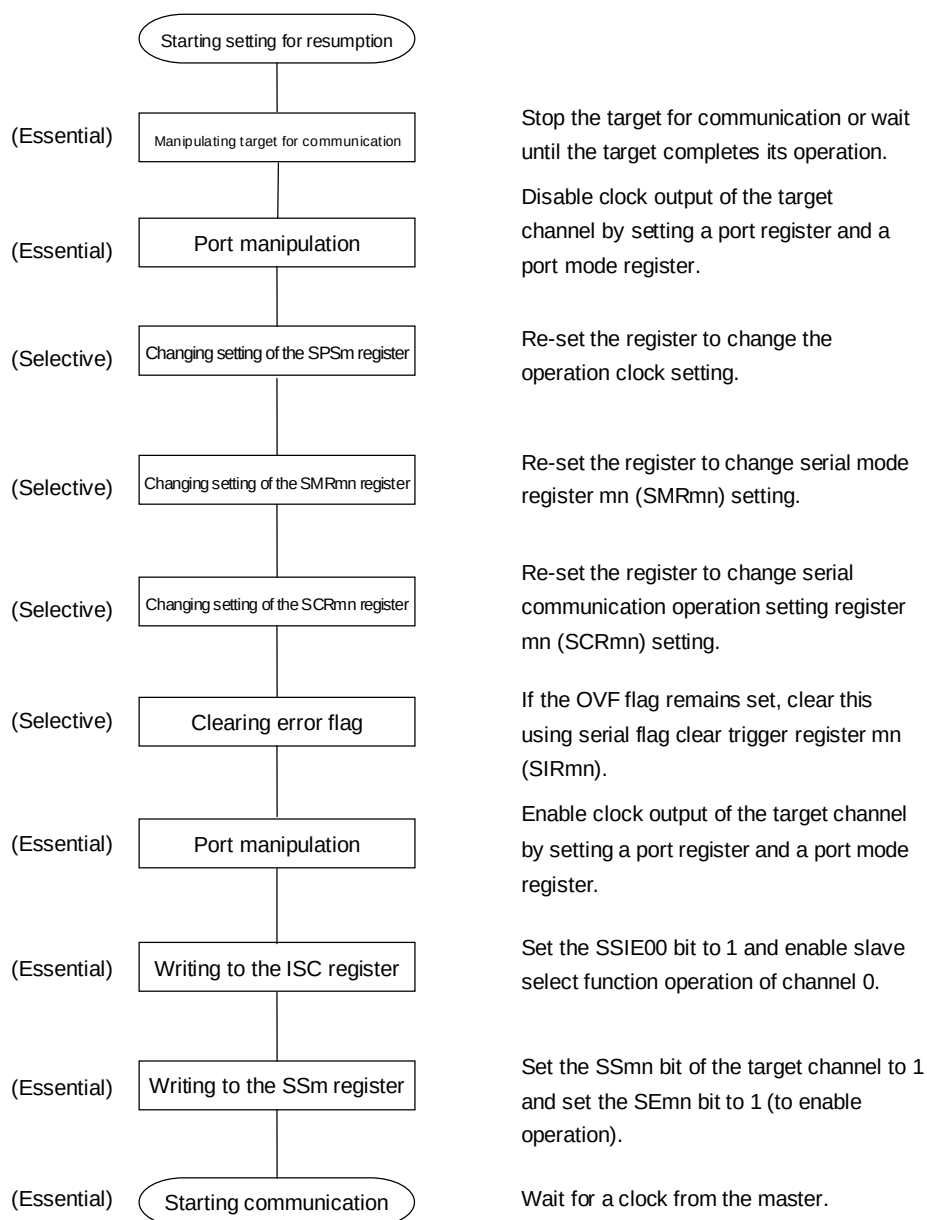


图 17-89. 停止从属接收的步骤



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

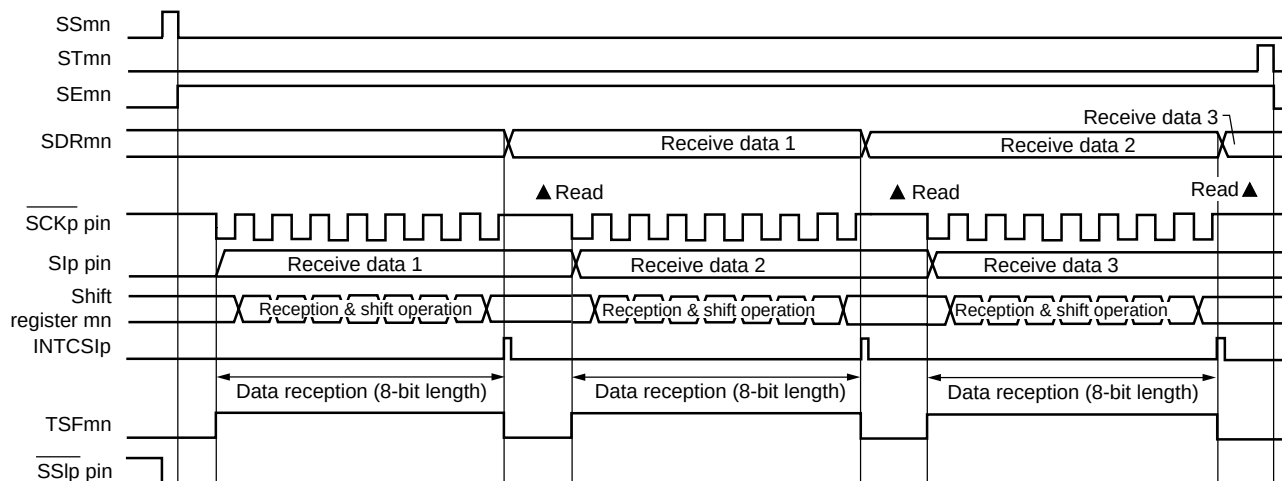
图 17-90. 恢复从属接收的步骤



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

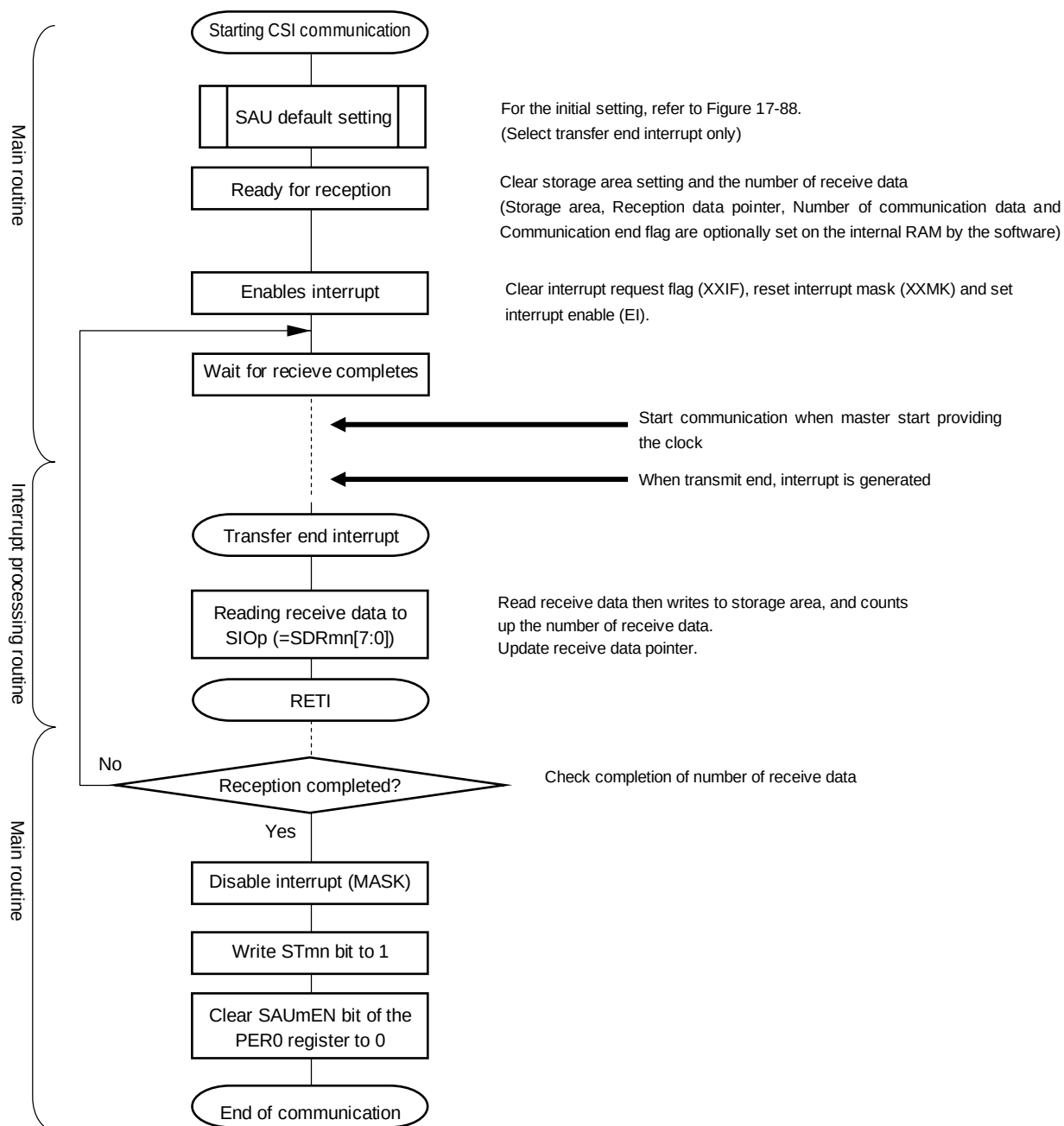
(3) 处理流程 (单接收模式时)

图 17-91. 从属接收(单接收模式时)的时序图
(类型 1: DAPmn = 0, CKPmn = 0)



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

图 17-92. 从属接收(单接收模式时)的流程图



17.6.3 从属发送/接收

从属发送/接收是指，当接收来自另一个器件的传送时钟输入时，RL78/G14 发送数据至其它器件或者从其它器件接收数据。

从属选择输入功能	CSI00
目标通道	SAU0的通道0
使用引脚	$\overline{\text{SCK00}}$, SI00, SO00, $\overline{\text{SSI00}}$
中断	INTCSI00
	可选择发送结束中断(单发送模式时)或缓冲器空白中断(连续发送模式时)。
错误检测标志	仅限溢出错误检测标志(OVFmn)
传送数据长度	7或8位
传送速率	$\text{Max. } f_{\text{MCK}}/6 \text{ [Hz]}^{\text{注1,2}}$
数据相位	可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输入/输出 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入/输出
时钟相位	可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正 • CKPmn = 1: 反
数据方向	MSB或LSB优先
从属选择输入功能	可选择从属选择输入功能操作

注 1. 由于输入至 $\overline{\text{SCK00}}$ 引脚的外部串行时钟以内部方式采样并被使用，所以最大传送速率为 $f_{\text{MCK}}/6 \text{ [Hz]}$ 。

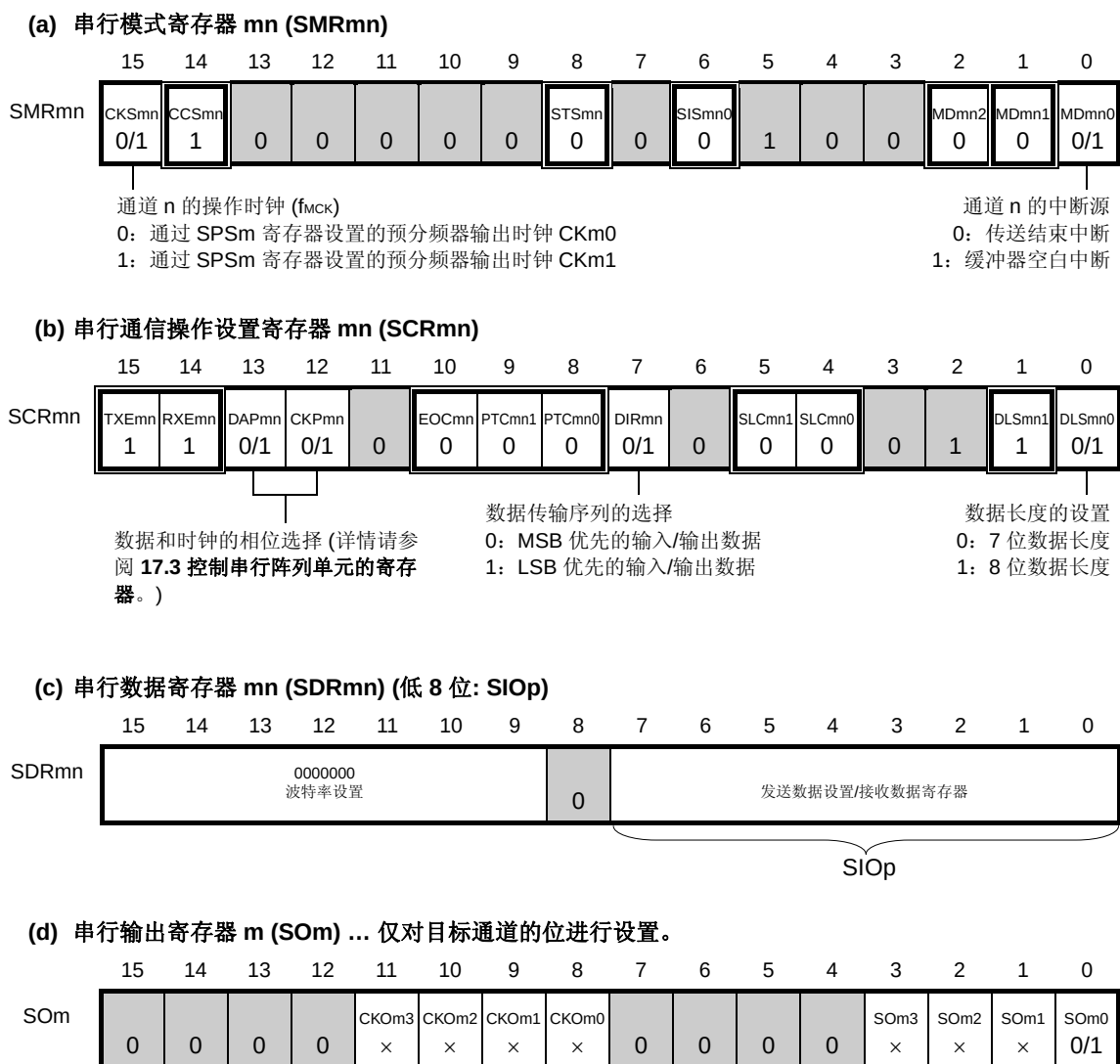
2. 应在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

备注 1. f_{MCK} : 目标通道的操作时钟频率

2. m: 单元编号 (m = 0), n: 通道编号 (n = 0)

(1) 寄存器设置

图 17-93. 从属选择输入功能 (CSI00) 的从属发送/接收时的寄存器内容示例(1/2)



注意事项 务必在启动来自主的时钟之前，把发送数据设置至 SIOp 寄存器。

- 备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)
2. ☐: 设置固定于 CSI 从属发送/接收模式,
☐: 禁止设置 (设为初始值)
 ×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)
 0/1: 可根据客户的用途设为 0 或 1

图 17-93. 从属选择输入功能 (CSI00) 的从属发送/接收时的寄存器内容示例(CSI00) (2/2)

(e) 串行输出允许寄存器 m (SOEm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

(g) 输入切换控制寄存器(ISC) ... CSI00 从属通道(单元 0 的通道 0)中 $\overline{\text{SSI00}}$ 输入的设置。

	7	6	5	4	3	2	1	0
ISC	SSIE00						ISC1	ISC0
	0/1	0	0	0	0	0	0/1	0/1

0: 禁止 $\overline{\text{SSI00}}$ 引脚的输入值

1: 允许 $\overline{\text{SSI00}}$ 引脚的输入值

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

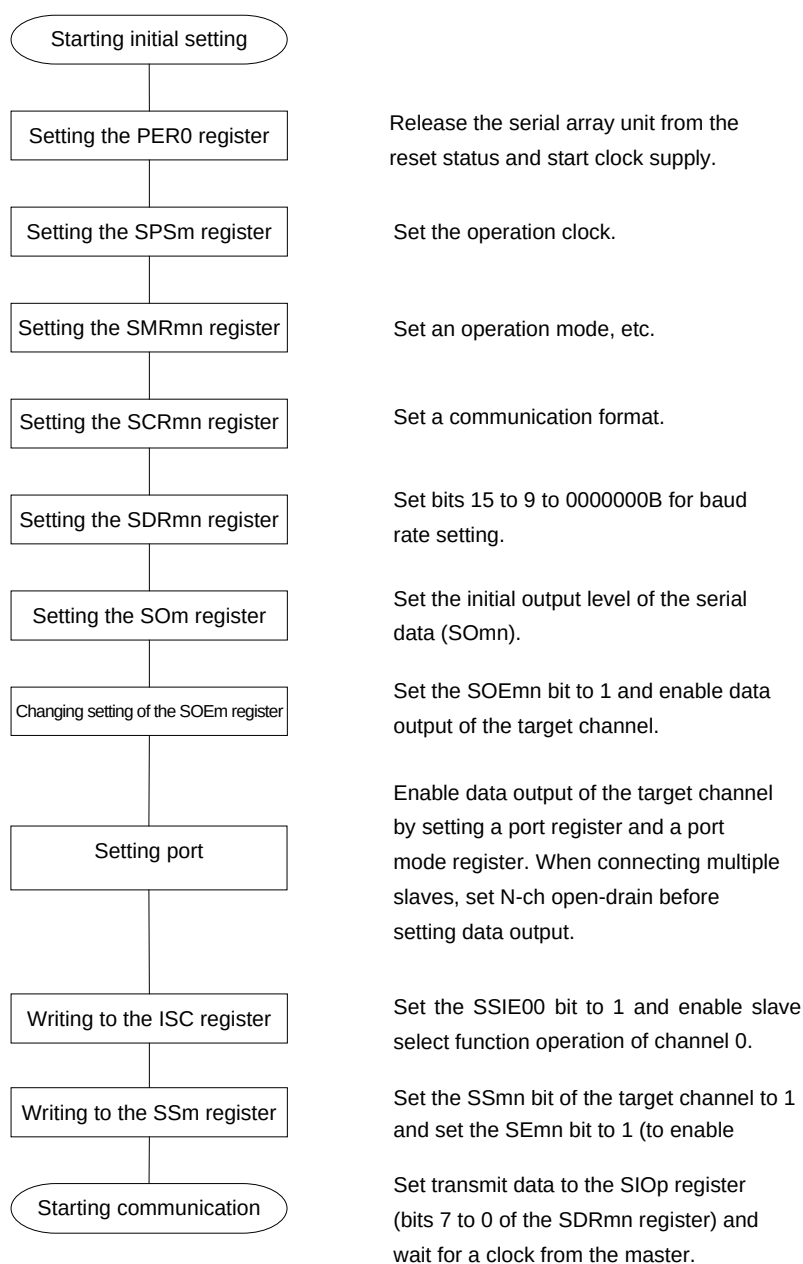
2. : 禁止设置 (设为初始值)

×: 此模式下不能使用的位 (任意模式下均不使用时设为初始值)

0/1: 可根据客户的用途设为 0 或 1

(2) 操作步骤

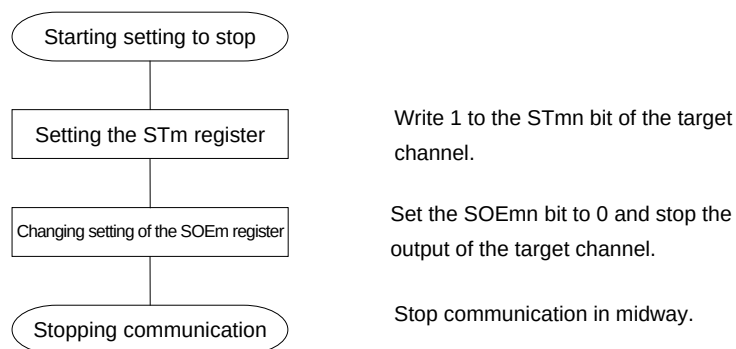
图 17-94. 从属发送/接收的初始设定步骤



注意事项 务必在启动来自主的时钟之前，把发送数据设置至 **SIOp** 寄存器。

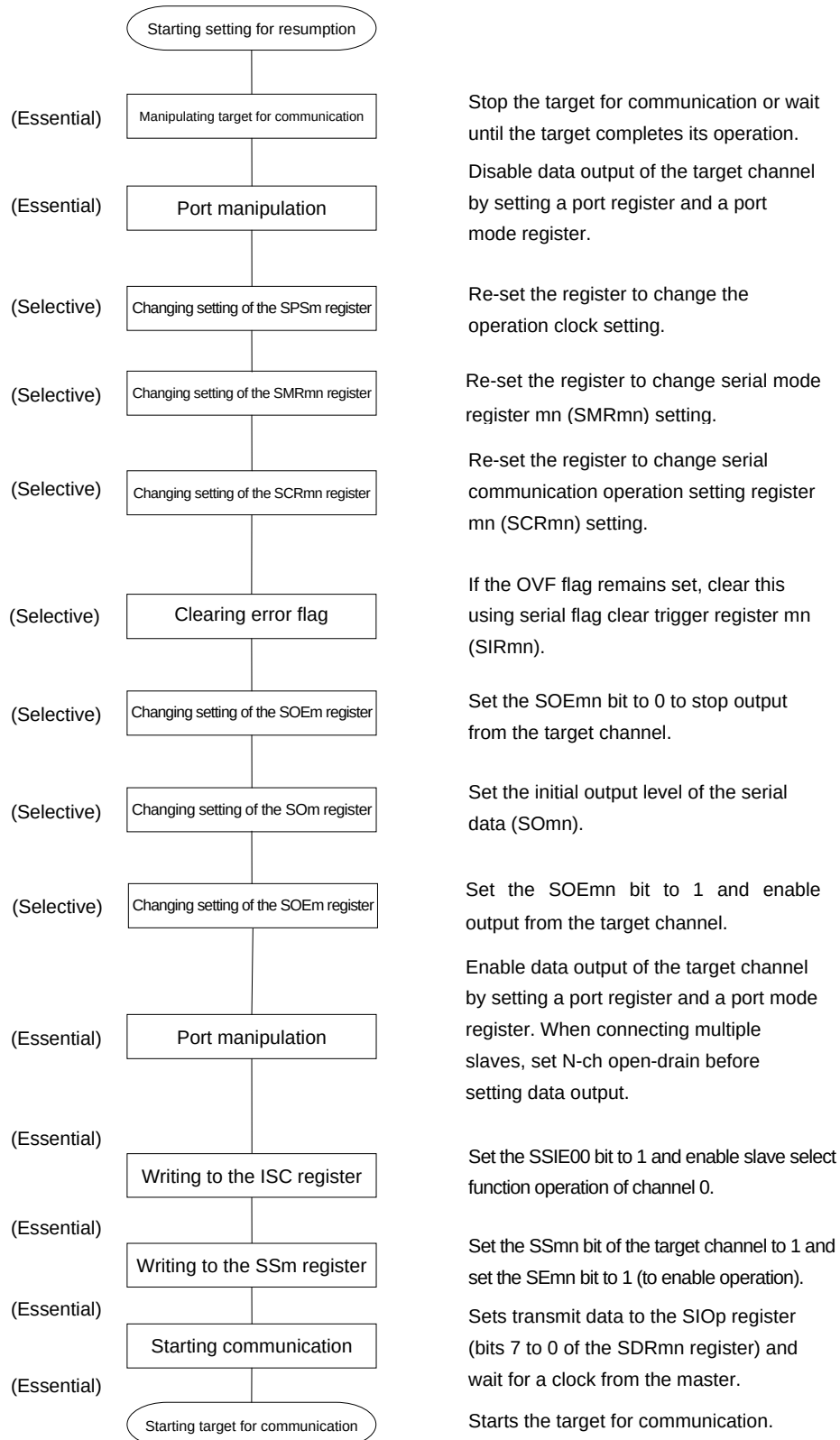
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

图 17-95. 停止从属发送/接收的步骤



- 备注 1.** 即使停止通信后也保持引脚电平。将串行输出寄存器 m (SOM)复位，以恢复操作 (参阅 图 17-96 恢复从属发送/接收的步骤)。
- 2.** m: 单元编号 (m = 0)，n: 通道编号 (n = 0)，p: CSI 编号 (p = 00)

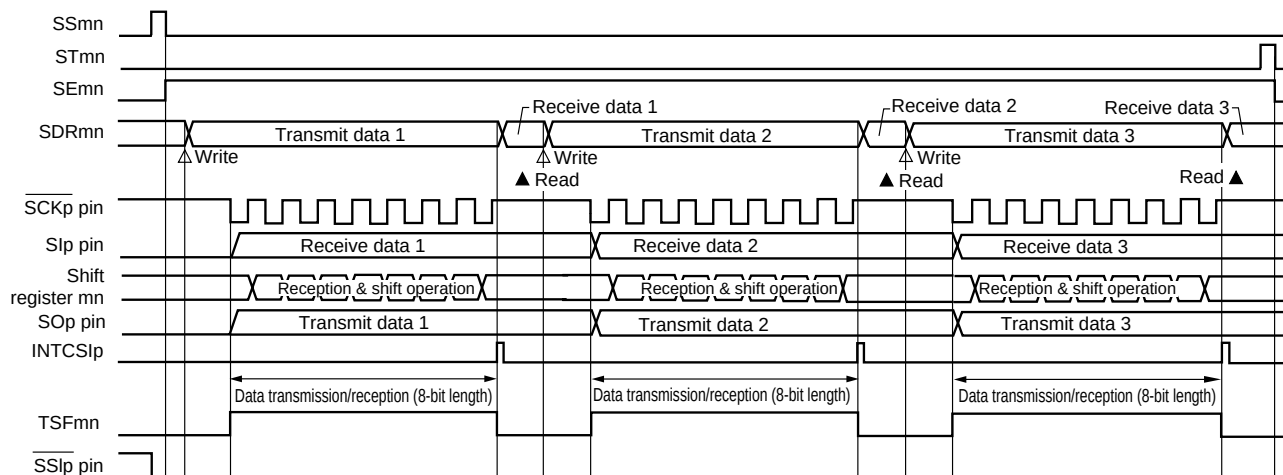
图 17-96. 恢复从属发送/接收的步骤



注意事项 务必在启动来自主的时钟之前，把发送数据设置至 SIOp 寄存器。

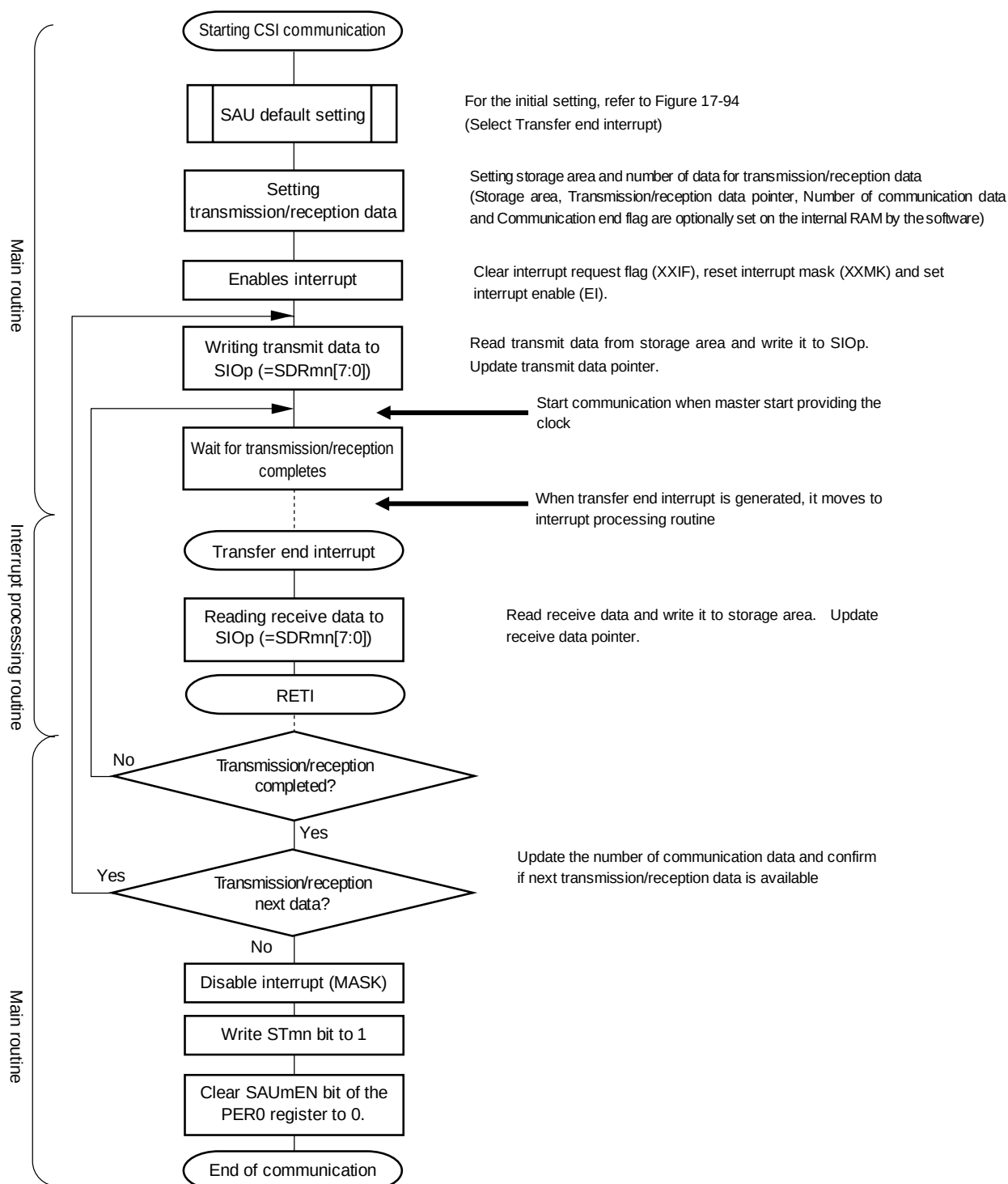
(3) 处理流程 (单发送/接收模式时)

图 17-97. 从属发送/接收(单发送/接收模式时)的时序图
(类型 1: DAPmn = 0, CKPmn = 0)



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

图 17-98. 从属发送/接收(单发送/接收模式时)的流程图

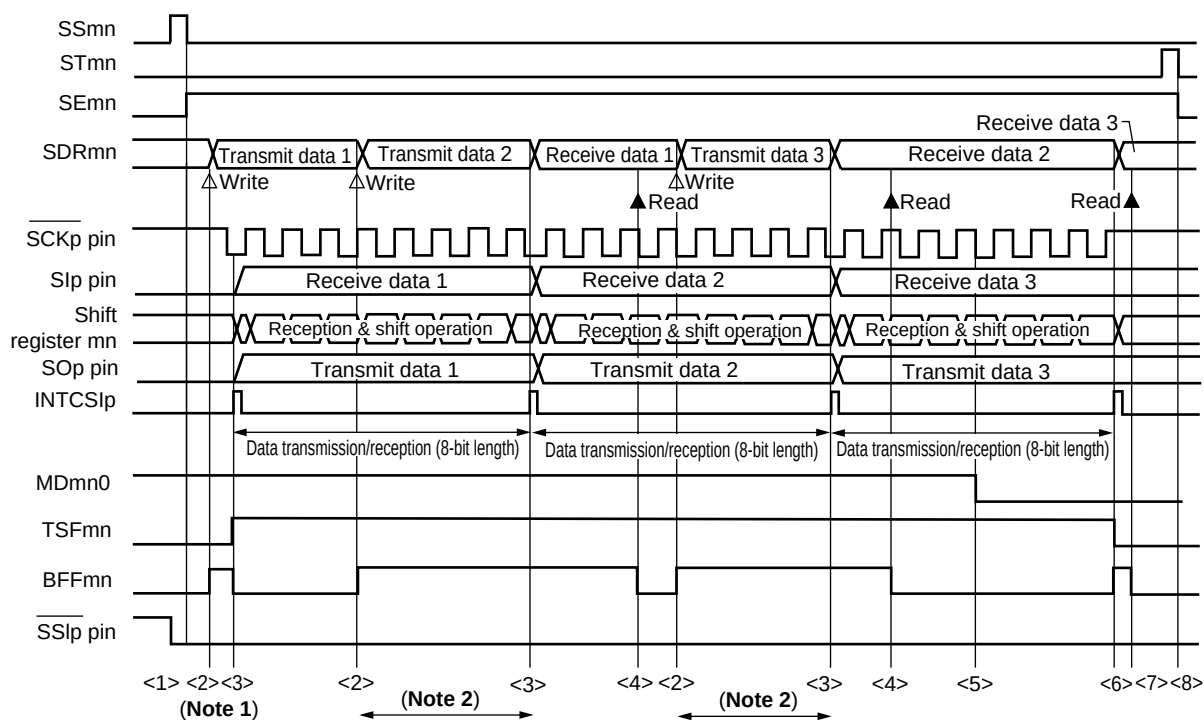


注意事项 务必在启动来自主的时钟之前，把发送数据设置至 SIOp 寄存器。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

(4) 处理流程 (连续发送/接收模式时)

图 17-99. 从属发送/接收(连续发送/接收模式时)的时序图(类型 1: DAPmn = 0, CKPmn = 0)

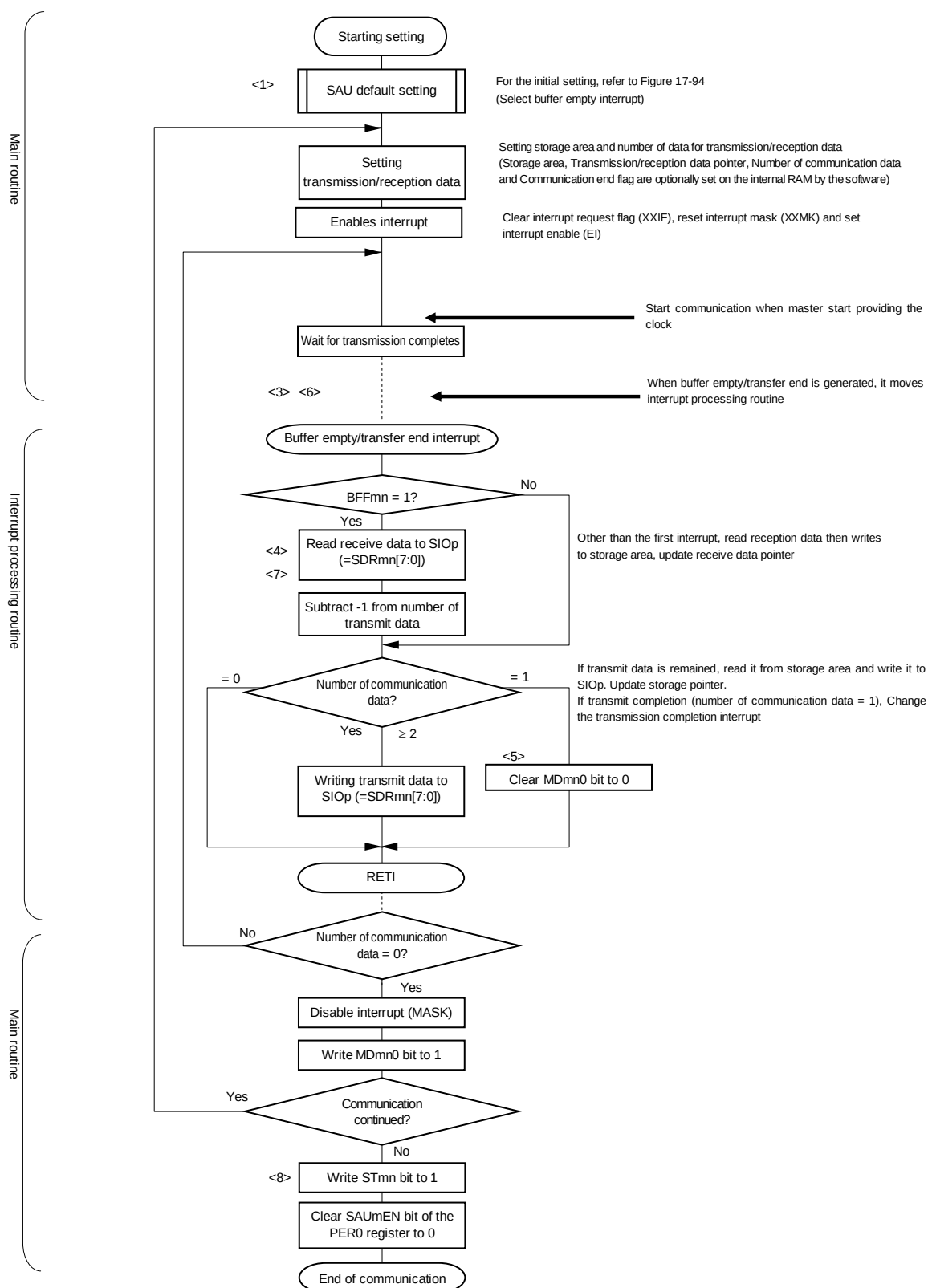


- 注 1. 如果在串行状态寄存器 mn (SSRmn) 的 BFFmn 位为 1 时将发送数据写入 SDRmn 寄存器 (将有效数据存储于串行数据寄存器 mn (SDRmn) 中)，则发送数据将被覆盖。
2. 在此过程中可以通过读取 SDRmn 寄存器来读取发送数据。此时，传送操作不受影响。

注意事项 即使在操作过程中，也可重写串行模式寄存器 mn (SMRmn) 的 MDmn0 位。
然而，一定要在开始传输最后一位之前重写，以便在最后发送数据的传送结束中断之前完成重写。

- 备注 1. 此图中的 <1> 至 <8> 对应于图 17-100 从属发送/接收(连续发送/接收模式时)的流程图 中的 <1> 至 <8>。
2. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

图 17-100. 从属发送/接收(连续发送/接收模式时)的流程图



注意事项 务必在启动来自主的时钟之前，把发送数据设置至 SIOp 寄存器。

备注 1. 此图中的<1>至<8>对应于图 17-99 从属发送/接收(连续发送/接收模式时)的时序图 中的<1>至<8>。

2. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

17.6.4 计算传送时钟频率

从属选择输入功能(CSI00)通信的传送时钟频率可以通过以下表达式计算。

(1) 主

$$(\text{传送时钟频率}) = \{ \text{目标通道的操作时钟} (f_{\text{MCK}}) \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) 从属

$$(\text{传送时钟频率}) = \{ \text{由主提供的串行时钟} (\overline{\text{SCK}}) \text{频率} \}^{\frac{1}{2}} \text{ [Hz]}$$

注 允许的最大传送时钟频率为 $f_{\text{MCK}}/6$ 。

备注 SDRmn[15:9]的值为串行数据寄存器 mn (SDRmn)的位 15 至位 9 的值(0000000B 至 1111111B)，即 0 至 127。

操作时钟 (f_{MCK}) 取决于串行时钟选择寄存器 m (SPSm) 以及串行模式寄存器 mn (SMRmn)的位 15 (CKSmn)。

备注 m: 单元编号 ($m = 0$), n: 通道编号 ($n = 0$), p: CSI 编号 ($p = 00$)

表 17-3. 用于从属选择输入功能的操作时钟的选择

SMRmn 寄存器	SPSm 寄存器								操作时钟(fMCK) ^注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.9 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
	X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz

注 更改选为 f_{CLK} 的时钟（通过更改系统时钟控制寄存器(CKC)的值）时，必须在停止（串行通道停止寄存器 m (STm) = 000FH）操作串行阵列单元(SAU)后才可以进行更改。

- 备注 1. X: 忽略
 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0)

17.6.5 从属选择输入功能通信过程中发生错误时的处理步骤

从属选择输入功能通信过程中发生错误时的处理步骤如图 17-101 所示。

图 17-101. 发生溢出错误时的处理步骤

软件操作	硬件状态	备注
读取串行数据寄存器mn (SDRmn)。→	SSRmn寄存器的BFFmn位被设为0，同时启用通道n以接收数据。	这是为了防止在处理错误期间完成了下一次接收时出现溢出错误。
读取串行状态寄存器mn (SSRmn)。		识别出错误类型，并用读取值来清除错误标志。
将1写入串行标志清除触发寄存器mn (SIRmn)。	错误标志被清除。	将SSRmn寄存器的读取值直接写入SIRmn寄存器，从而可以只清除读取时的错误。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0)

17.7 UART(UART0 至 UART3) 通信的操作

这是一种起止式同步功能，采用两条线路：串行数据传输 (TxD) 和串行数据接收 (RxD) 线路。利用这两条通信线路，各数据帧（由一个起始位、数据、奇偶校验位和停止位构成）在微控制器与其他通信方之间（以内部波特率）异步传输。全双工 UART 通信可以利用一个发送专用通道（偶数通道）和一个接收专用通道（奇数通道）来实现。可以结合使用定时器阵列单元 0 和外部中断(INTP0)来实现支持 LIN-bus。

[数据发送/接收]

- 数据长度为 7、8 或 9 位[※]
- 选择 MSB/LSB 优先
- 发送/接收数据的电平设置和反相的选择
- 奇偶校验位附加和奇偶校验功能
- 停止位附加

[中断功能]

- 传送结束中断/缓冲器空白中断
- 帧错误、奇偶校验错误或溢出错误情况下的错误中断

[错误检测标志]

- 帧错误、奇偶校验错误或溢出错误

另外，以下通道的 UART 支持 SNOOZE 模式。借助 SNOOZE 模式，在 STOP 模式下检测到 RxD 输入时可以不需 CPU 就执行数据接收。只有以下 UART 可以指定为异步接收。

- 30 至 64 针产品： 仅限 UART0
- 80、100 针产品： 仅限 UART0 和 UART2

UART0 (单元 0 的通道 0 和 1)支持 LIN-bus。

[LIN-bus 功能]

- 唤醒信号检测
- 同步间隔场(SBF)检测
- 同步场测量、波特率计算

使用外部中断(INTP0) 和
定时器阵列单元 0

注 仅限以下 UART 可以指定 9 位的数据长度。

- 30 至 64 针产品： 仅限 UART0
- 80、100 针产品： 仅限 UART0 和 UART2

UART0 使用 SAU0 的通道 0 和 1。

UART1 使用 SAU0 的通道 2 和 3。

UART2 使用 SAU1 的通道 0 和 1。

UART3 使用 SAU1 的通道 2 和 3。

• 30、32 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入功能)	UART0(支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

• 36、40、44 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入功能)	UART0(支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

• 48、52 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入功能)	UART0(支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

• 64 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入功能)	UART0(支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

- 80、100 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入功能)	UART0(支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

注意事项 在将串行阵列单元用作 **UART** 时，发送侧（偶数通道）和接收侧（奇数通道）的通道都只能用作 **UART**。

UART 执行以下四种类型的通信操作。

- UART 发送 (参阅 17.7.1。)
- UART 接收 (参阅 17.7.2。)
- LIN 发送(仅限 UART0) (参阅 17.8.1。)
- LIN 接收(仅限 UART0) (参阅 17.8.2。)

17.7.1 UART 发送

UART 发送操作用于将数据从 RL78/G14 异步发送至另一器件（开始-停止同步）。

在用于 UART 的两个通道中，偶数通道用于 UART 发送。

UART	UART0	UART1	UART2	UART3
目标通道	SAU0的通道0	SAU0的通道2	SAU1的通道0	SAU1的通道2
使用引脚	TxD0	TxD1	TxD2	TxD3
中断	INTST0	INTST1	INTST2	INTST3
	可选择发送结束中断(单发送模式时)或缓冲器空白中断(连续发送模式时)			
错误检测标志	无			
传送数据长度	7、8或9位 ^{注1}			
传送速率	Max. $f_{MCK}/6$ [bps] (SDRmn [15:9] = 3或更大), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^{注2}			
数据相位	正相输出 (默认: 高电平) 反相输出 (默认: 低电平)			
奇偶校验位	以下可选 • 无奇偶校验位 • 附加零校验 • 附加偶校验 • 附加奇校验			
停止位	以下可选 • 附加1位 • 附加2位			
数据方向	MSB/LSB优先			

注 1. 仅限以下 UART 可以指定 9 位的数据长度。

- 30 至 64 针产品: 仅限 UART0
- 80、100 针产品: 仅限 UART0 和 UART2

2. 在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

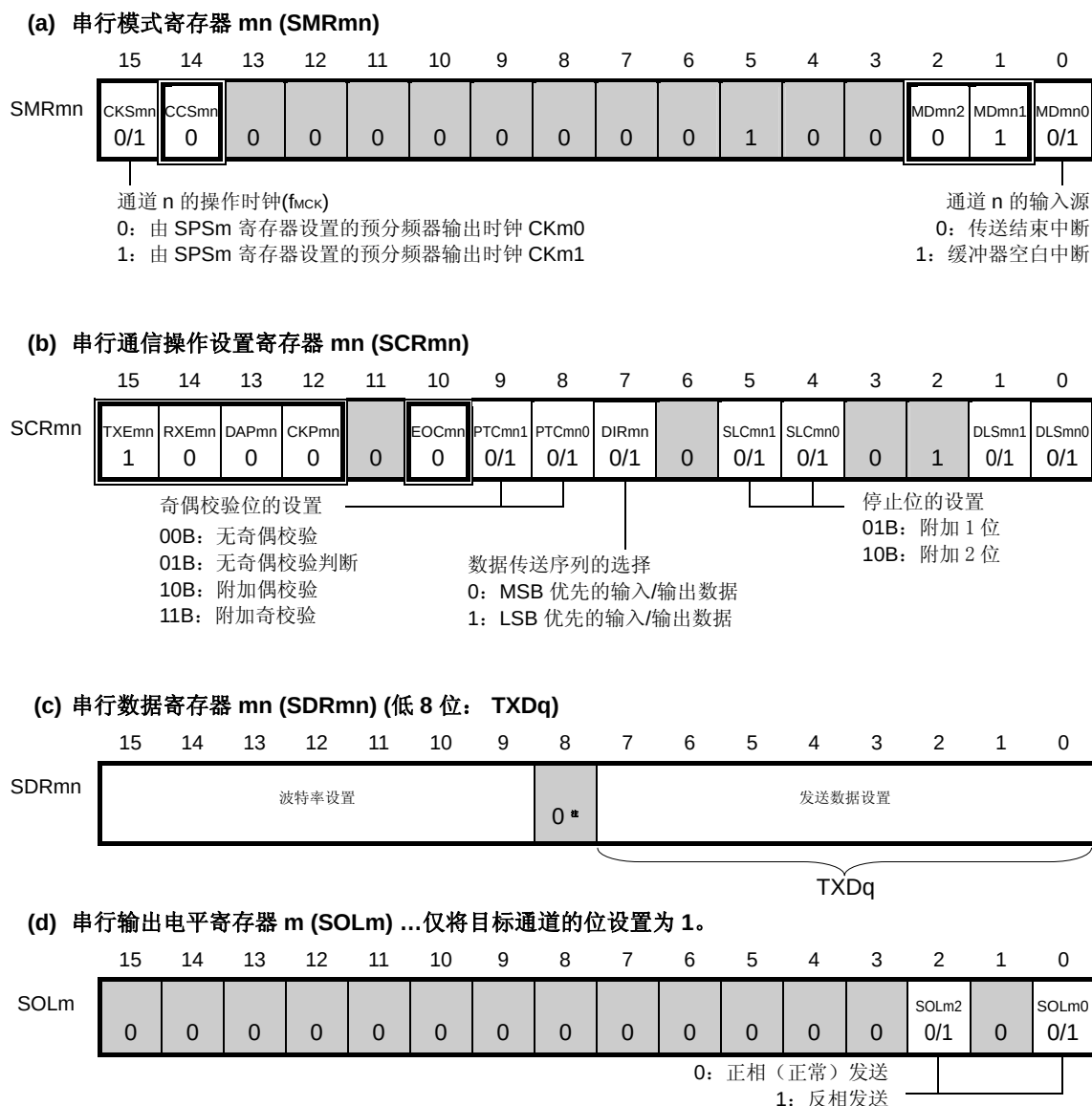
备注 1. f_{MCK} : 目标通道的操作时钟频率

f_{CLK} : 系统时钟频率

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0, 2), mn = 00, 02, 10, 12

(1) 寄存器设置

图 17-102. UART(UART0 至 UART3)的 UART 发送时的寄存器设置内容示例 (1/2)



注 当执行 9 位通信时, SDRm0 寄存器的位 0 至位 8 用于指定发送数据。仅限以下 UART 可以指定 9 位的数据长度。

- 30 至 64 针产品: UART0
- 80、100 针产品: UART0 和 UART2

- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0, 2), q: UART 编号 (q = 0 至 3),
mn = 00, 02, 10, 12
2. ☒: 设置固定于 UART 发送模式, ☐: 禁止设置(设置为初始值)
×: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
0/1: 可根据用户的用途设置为 0 或 1

图 17-102. UART(UART0 至 UART3)的 UART 发送时的寄存器设置内容示例 (2/2)

(e) 串行输出寄存器 m (SOM) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM	0	0	0	0	CKOm3	CKOm2	CKOm1	CKOm0	0	0	0	0	Som3	SOM2	SOM1	SOM0
					×	×	×	×					×	0/1 [※]	×	0/1 [※]

0: 串行数据输出值为“0”
1: 串行数据输出值为“1”

(f) 串行输出允许寄存器 m (SOEm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3	SOEm2	SOEm1	SOEm0
													×	0/1	×	0/1

(g) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													×	0/1	×	0/1

注 开始发送前，当目标通道的 SOLmn 位被设置为 0 时，务必设置为 1，当目标通道的 SOLmn 位被设置为 1 时，则设置为 0。在通信操作过程中，该值因通信数据而异。

备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0, 2), q: UART 编号 (q = 0 至 3)

mn = 00, 02, 10, 12

2. : 禁止设置(设置为初始值)

×: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)

0/1: 可根据用户的用途设置为 0 或 1

(2) 操作步骤

图 17-103. UART 发送的初始设定步骤

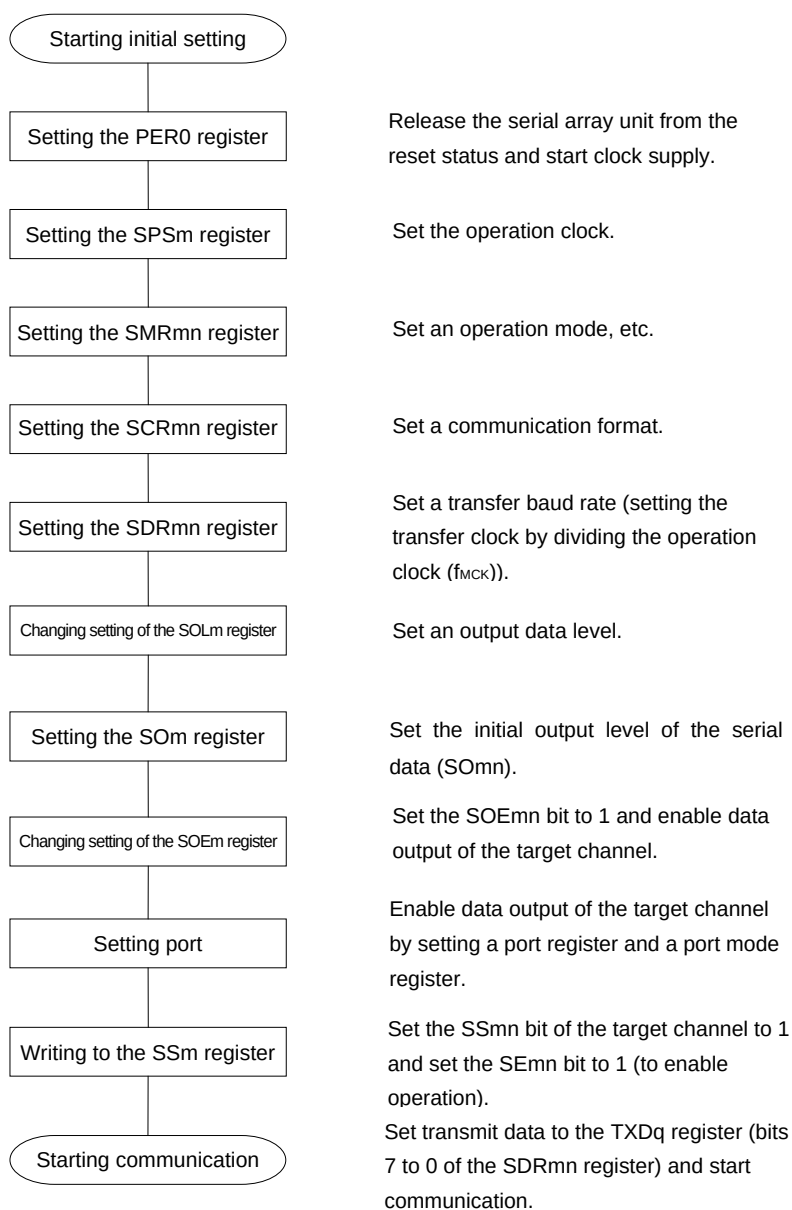
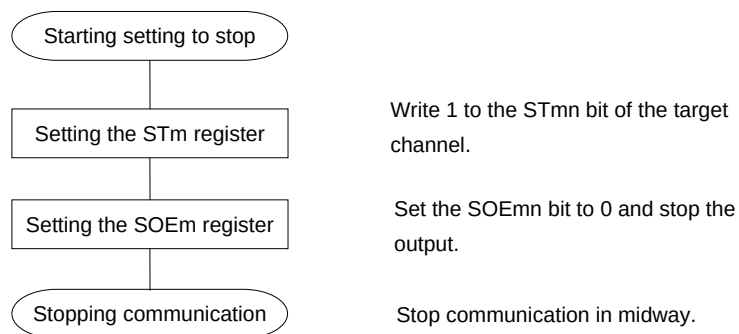
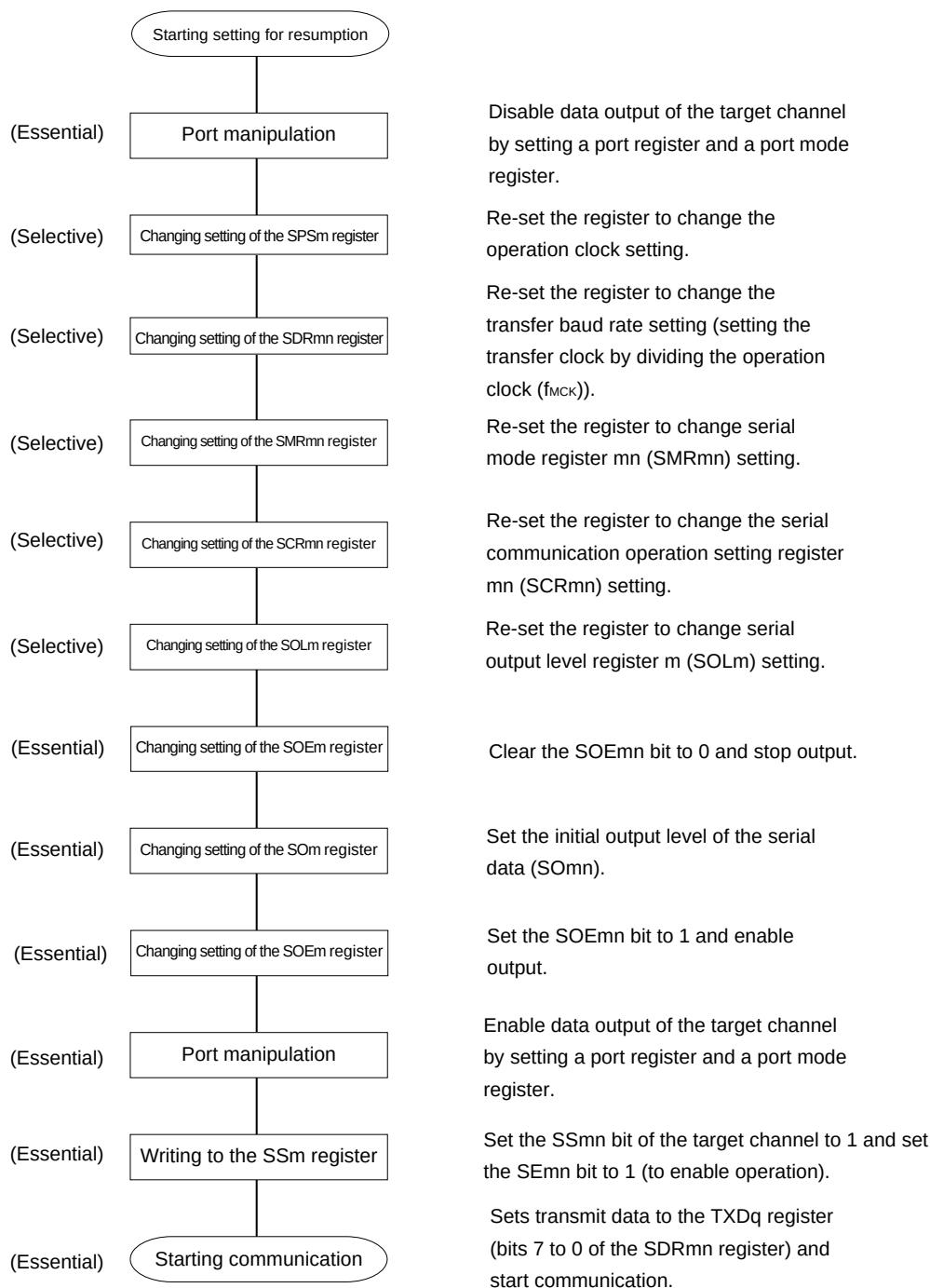


图 17-104. 停止 UART 发送的步骤



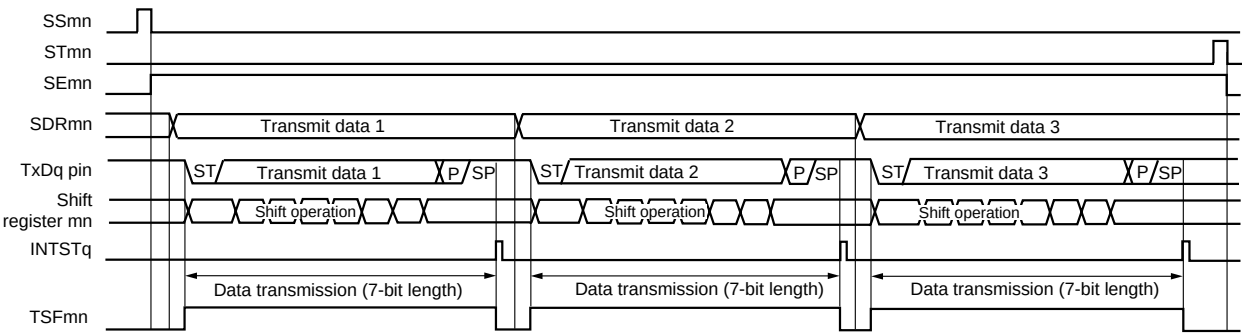
备注 即使在停止通信之后也保持引脚电平。将串行输出寄存器 m(SOm)复位，以恢复操作 (参阅 图 17-105 恢复 UART 发送的步骤)。

图 17-105. 恢复 UART 发送的步骤



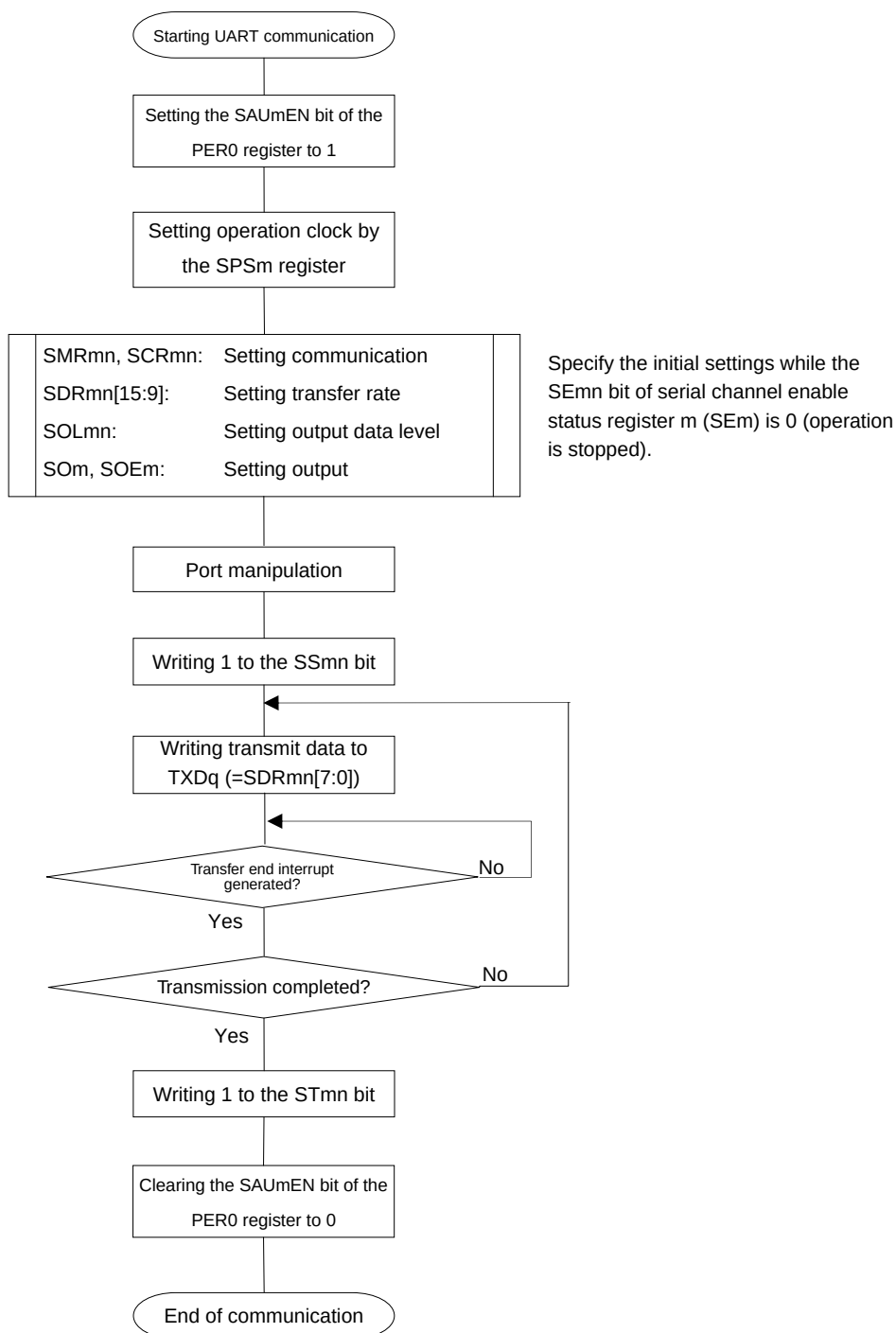
(3) 处理流程 (单发送模式时)

图 17-106. UART 发送(单发送模式时)的时序图



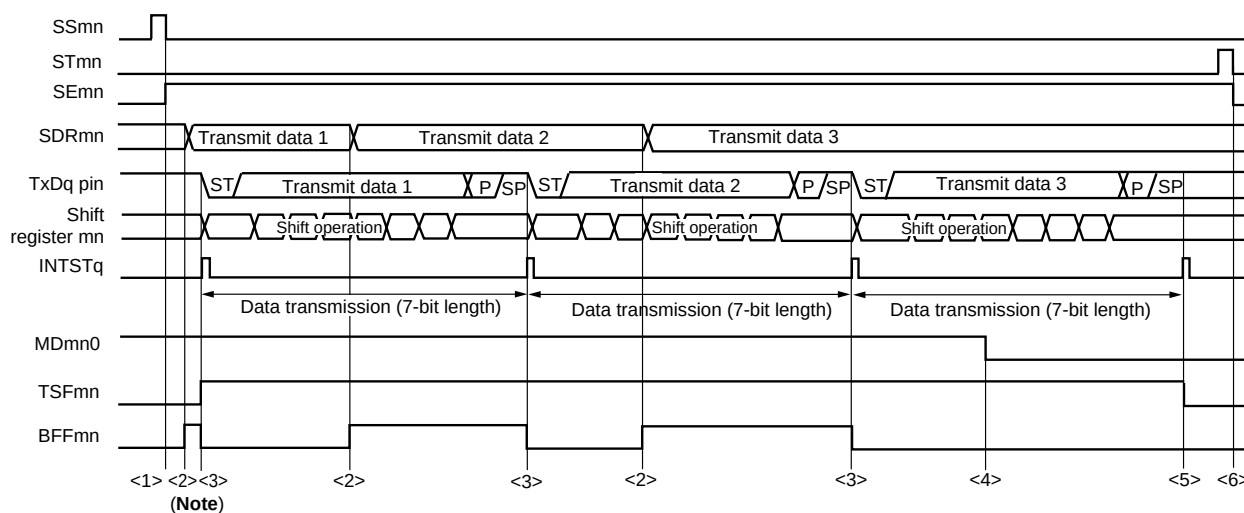
备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0, 2), q: UART 编号 (q = 0 至 3)
mn = 00, 02, 10, 12

图 17-107. UART 发送(单发送模式时)的流程图



(4) 处理流程 (连续发送模式时)

图 17-108. UART 发送(连续发送模式时)的时序图



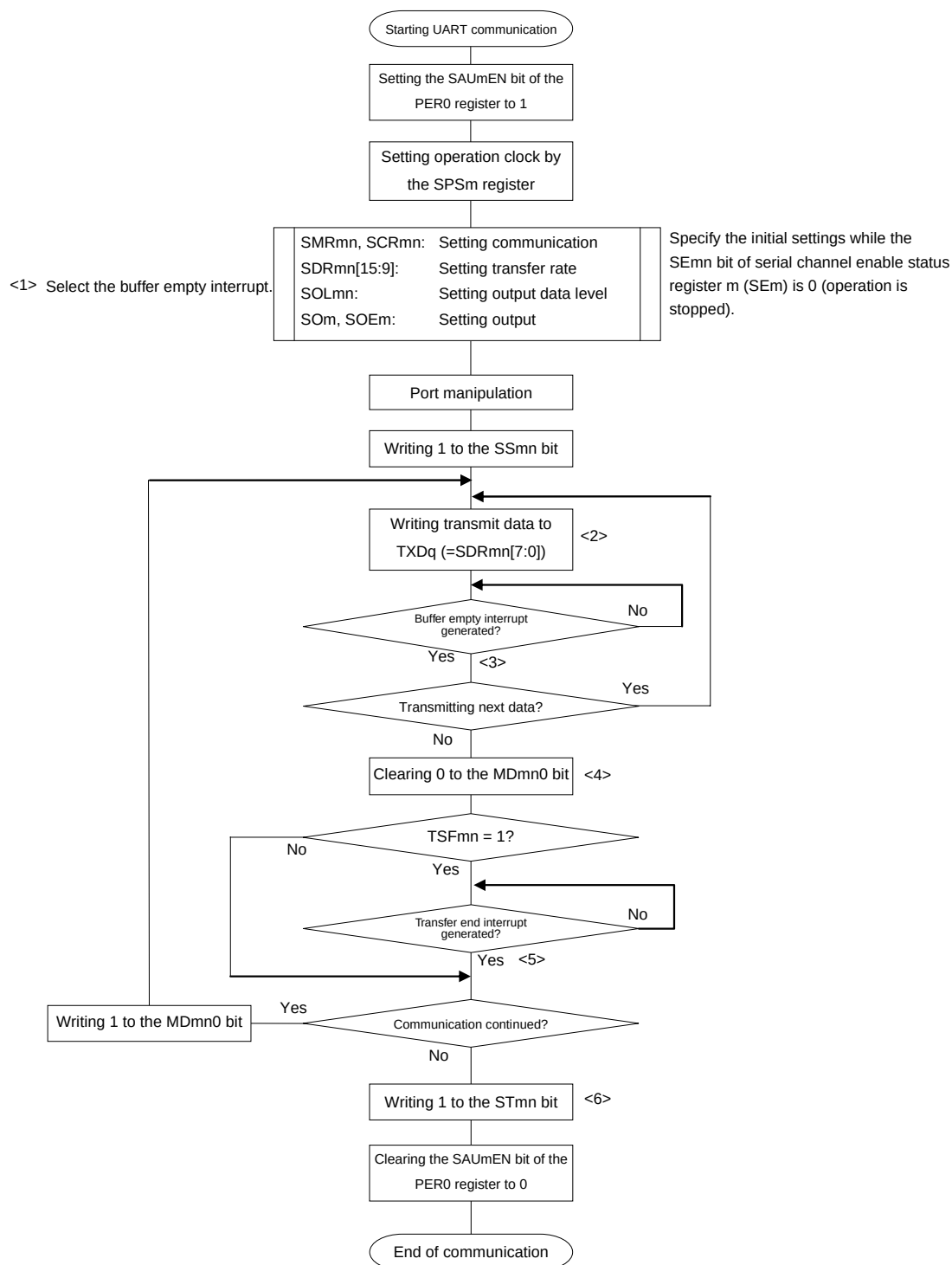
注 如果在串行状态寄存器 mn (SSRmn)的 BFFmn 位为 1 时将发送数据写入 SDRmn 寄存器 (将有效数据存储于串行数据寄存器 mn (SDRmn)中)，则发送数据将被覆盖。

注意事项 即使在操作过程中，也可重写串行模式寄存器 mn (SMRmn)的 MDmn0 位。

然而，一定要在开始传输最后一位之前重写，这样才能在最后发送数据的传输结束中断前完成重写。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0, 2), q: UART 编号 (q = 0 至 3)
mn = 00, 02, 10, 12

图 17-109. UART 发送(连续发送模式时)的流程图



备注 此图中的<1>至<6>对应于图 17-108 UART 发送(连续发送模式时)的时序图中的<1>至<6>。

17.7.2 UART 接收

UART 接收操作指 RL78/G14 从另一器件异步接收数据（开始-停止同步）。

用于 UART 的两个通道中的奇数通道被用作 UART 接收。必须设置奇数和偶数通道的 SMR 寄存器。

UART	UART0	UART1	UART2	UART3
目标通道	SAU0的通道1	SAU0的通道3	SAU1的通道1	SAU1的通道3
使用引脚	RxD0	RxD1	RxD2	RxD3
中断	INTSR0	INTSR1	INTSR2	INTSR3
	仅限传送结束中断(禁止设置缓冲器空白中断。)			
错误中断	INTSRE0	INTSRE1	INTSRE2	INTSRE3
错误检测标志	- 帧错误检测标志 (FEFmn) - 奇偶校验错误检测标志 (PEFmn) - 溢出错误检测标志 (OVFmn)			
传送数据长度	7、8或9位 ^{注1}			
传送速率	Max. $f_{MCK}/6$ [bps] (SDRmn [15:9] = 3或更大), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^{注2}			
数据相位	正相输出 (默认: 高电平) 反相输出 (默认: 低电平)			
奇偶校验位	以下可选 - 无奇偶校验位 (无奇偶校验) - 附加零校验 (无奇偶校验) - 附加偶校验 - 附加奇校验			
停止位	附加1位			
数据方向	MSB/LSB优先			

注1. 仅限以下 UART 可以指定 9 位的数据长度。

- 30 至 64 针产品: 仅限 UART0
- 80、100 针产品: 仅限 UART0 和 UART2

2. 在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

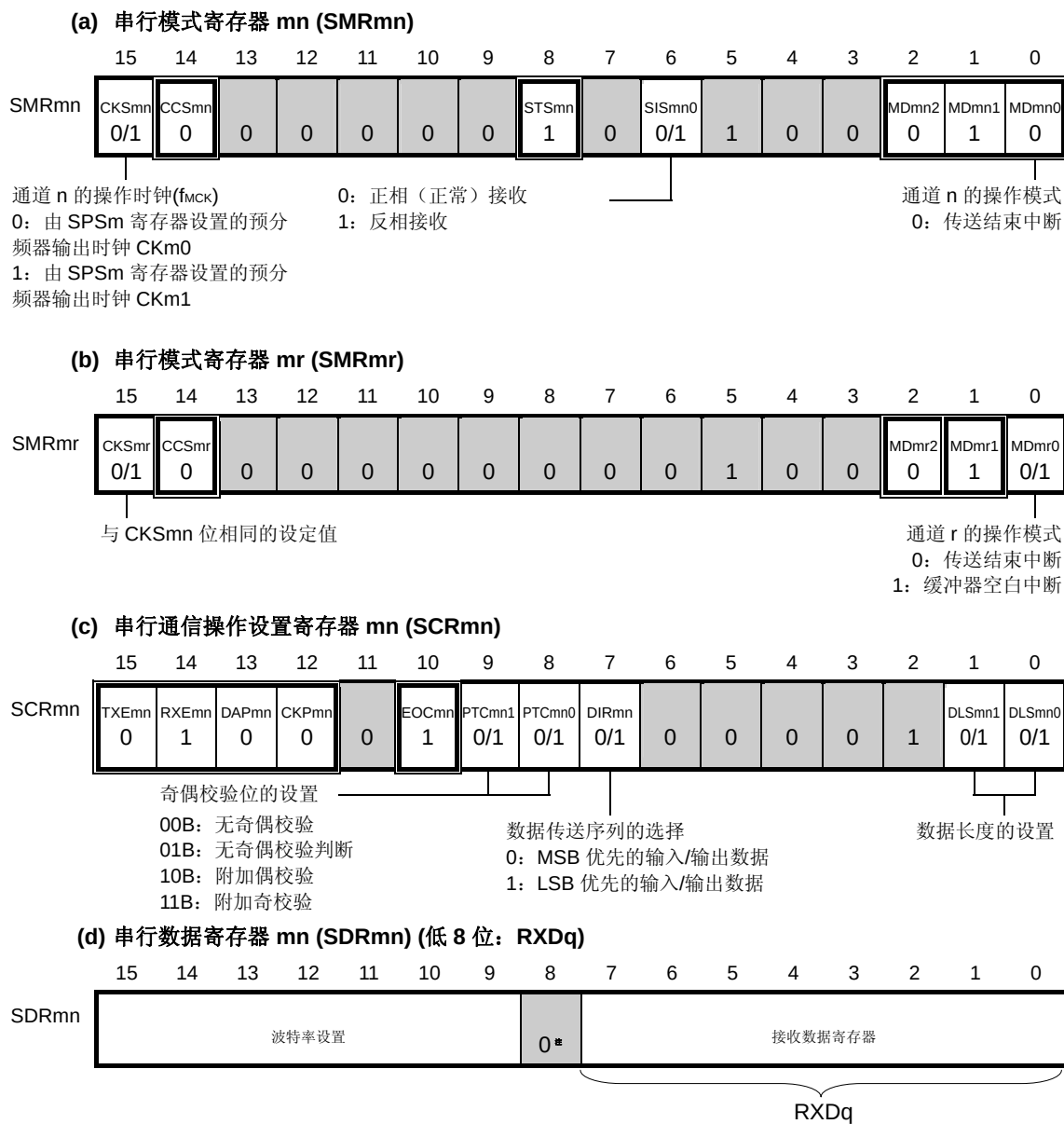
备注 1. f_{MCK} : 目标通道的操作时钟频率

f_{CLK} : 系统时钟频率

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 1, 3), mn = 01, 03, 11, 13

(1) 寄存器设置

图 17-110. UART(UART0 至 UART3)的 UART 接收时的寄存器设置内容示例 (1/2)



注 当执行 9 位通信时, SDRm1 寄存器的位 0 至位 8 用于指定发送数据。仅限以下 UART 可以指定 8 位的数据长度。

- 30 至 64 针产品: UART0
- 80、100 针产品: UART0 和 UART2

注意事项 对于 UART 接收, 务必设置通道 r 的 SMRmr 寄存器, 使其与通道 n 配对。

备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 1, 3), mn = 01, 03, 11, 13

r: 通道编号 (r = n - 1), q: UART 编号 (q = 0 至 3)

2. ☐: 设置固定于 UART 接收模式, ☐: 禁止设置(设置为初始值)
 ×: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设置为 0 或 1

图 17-110. UART(UART0 至 UART3)的 UART 接收时的寄存器设置内容示例 (2/2)

(e) 串行输出寄存器 m (SOM) ...此模式下不使用的寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM					CKOm3	CKOm2	CKOm1	CKOm0					SOM3	SOM2	SOM1	SOM0
	0	0	0	0	×	×	×	×	0	0	0	0	×	×	×	×

(f) 串行输出允许寄存器 m (SOEm) ...此模式下不使用的寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	×

(g) 串行通道开始寄存器 m (SSm) ...仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	×	0/1	×

注意事项 对于 UART 接收，务必设置通道 r 的 SMRmr 寄存器，使其与通道 n 配对。

备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 1, 3), mn = 01, 03, 11, 13

r: 通道编号 (r = n - 1), q: UART 编号 (q = 0 至 3)

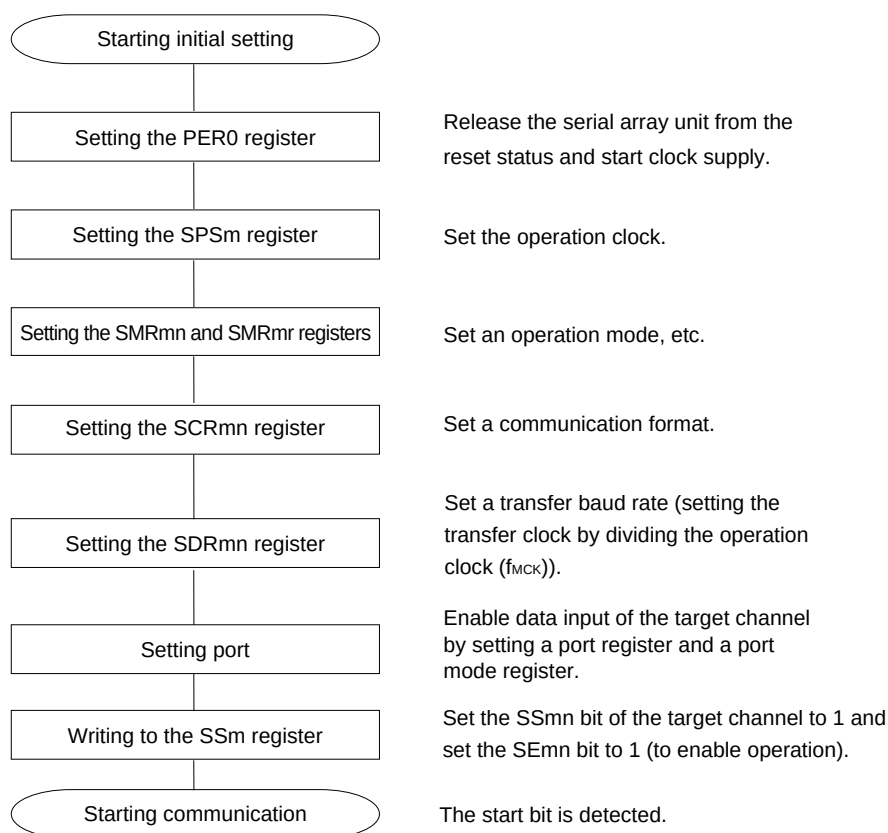
2. : 禁止设置(设置为初始值)

×: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)

0/1: 可根据用户的用途设置为 0 或 1

(2) 操作步骤

图 17-111. UART 接收的初始设定步骤



注意事项 将 SCRmn 寄存器的 RXEmn 位设置为 1，然后确保在经过 4 个或更多 f_{CLK} 时钟之后将 SSmn 设置为 1。

图 17-112. 停止 UART 接收的步骤

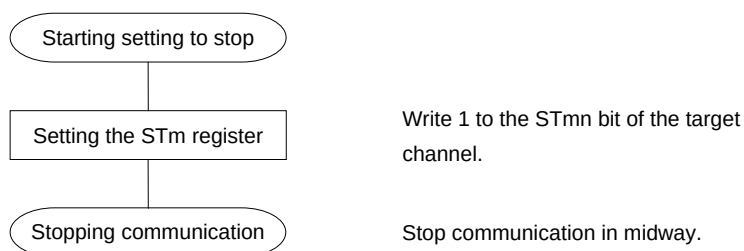
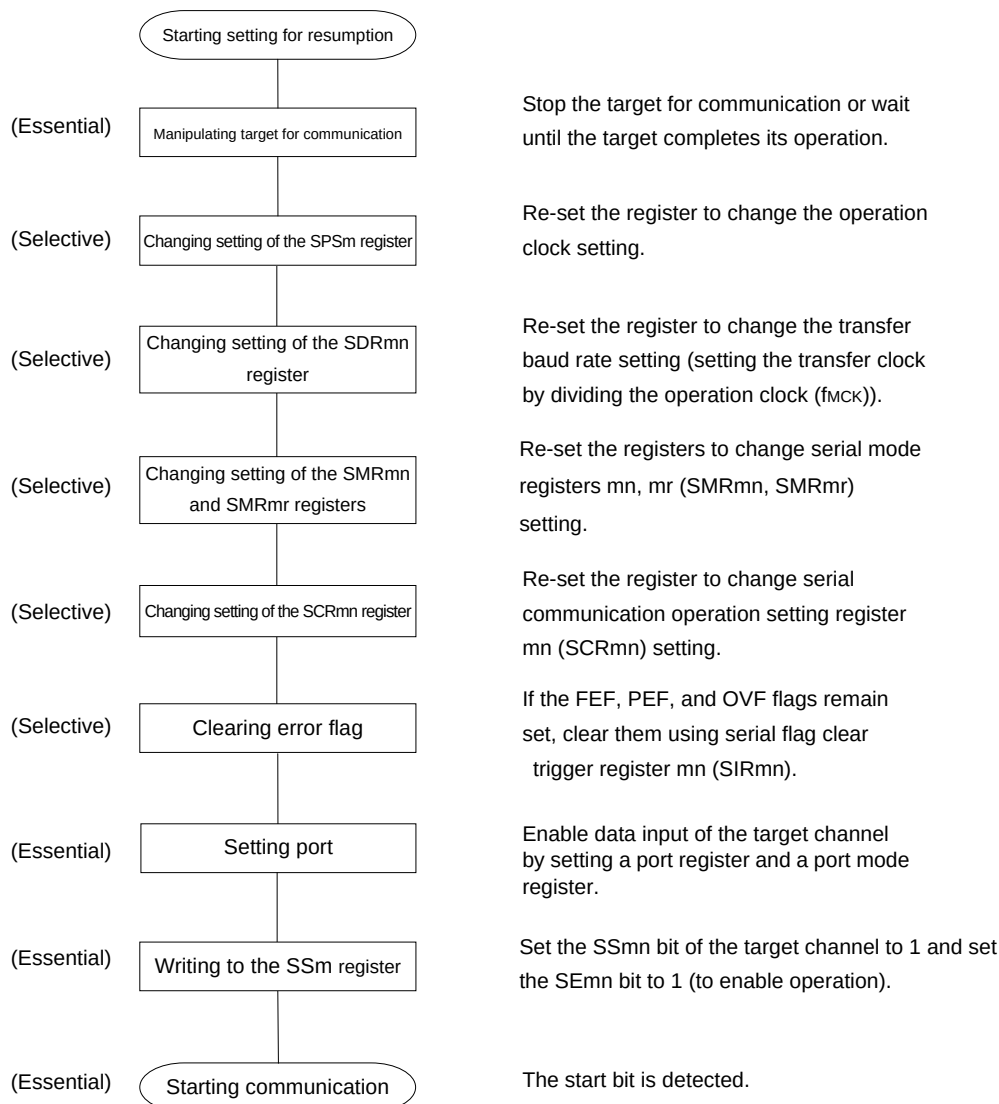
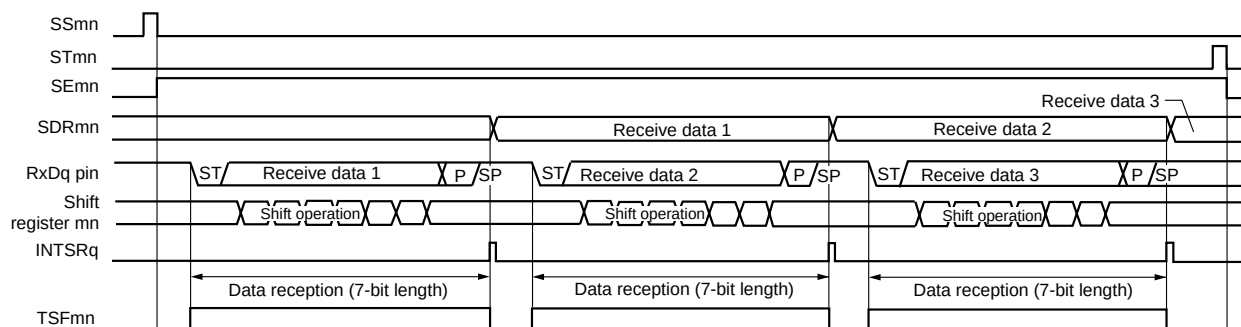


图 17-113. 恢复 UART 接收的步骤



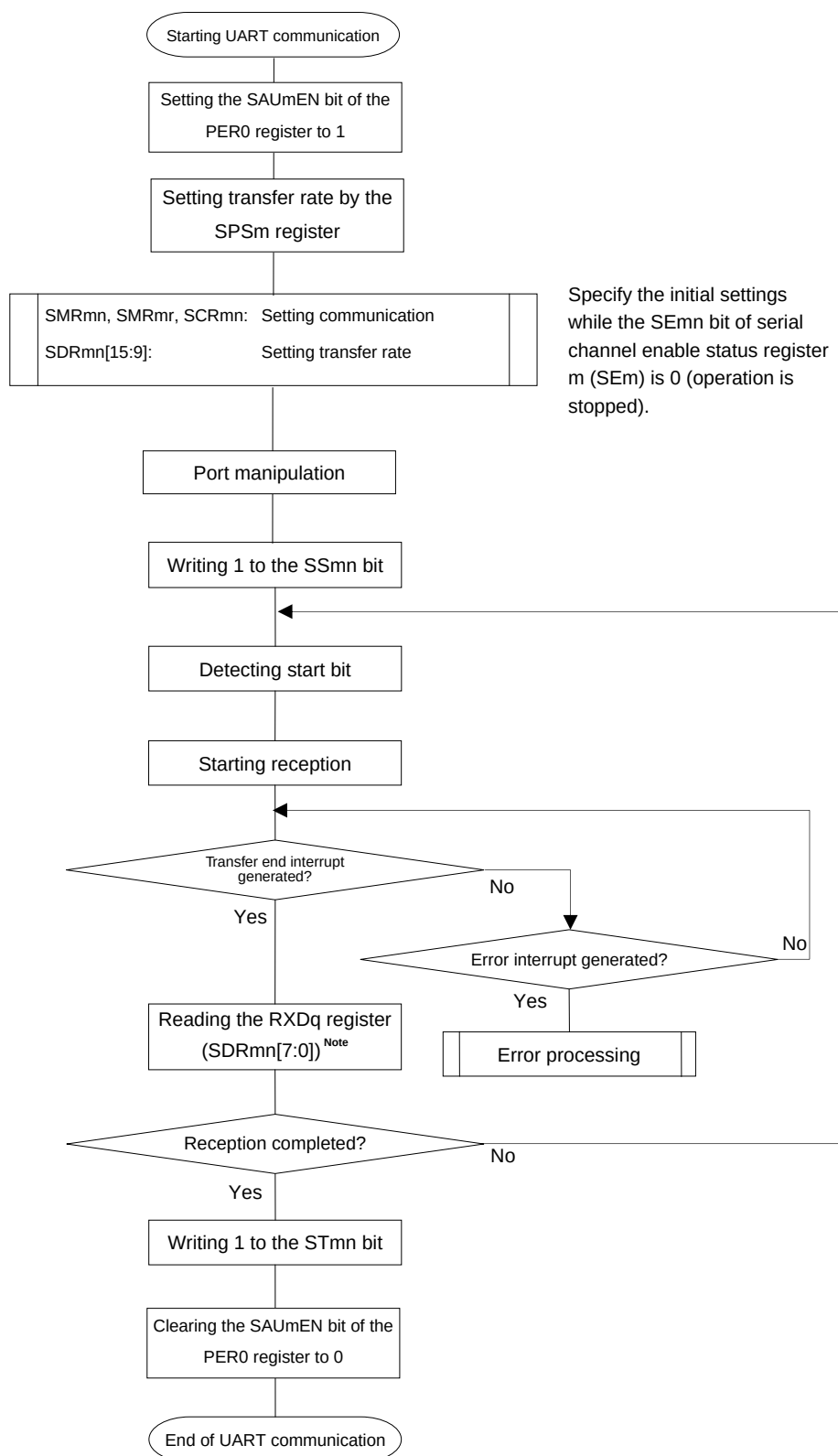
(3) 处理流程

图 17-114. UART 接收的时序图



备注 m: 单元编号 ($m = 0, 1$), n: 通道编号 ($n = 1, 3$), $mn = 01, 03, 11, 13$
 r: 通道编号 ($r = n - 1$), q: UART 编号 ($q = 0$ 至 3)

图 17-115. UART 接收的流程图



注 对于 9 位数据，务必读取 SDRmn [8:0]而非 RxDq 寄存器。

注意事项 将 SCRmn 寄存器的 RXEmn 位设置为 1，然后确保在经过 4 个或更多 f_{CLK} 时钟之后将 SSmn 设置为 1。

17.7.3 SNOOZE 模式功能

借助 SNOOZE 模式，在 STOP 模式下检测到 RxDq 输入时不需要 CPU 就执行数据接收。接收波特率调节功能只能指定以下 UART。

- 30 至 64 针产品: 仅限 UART0
- 80、100 针产品: 仅限 UART0 和 UART2

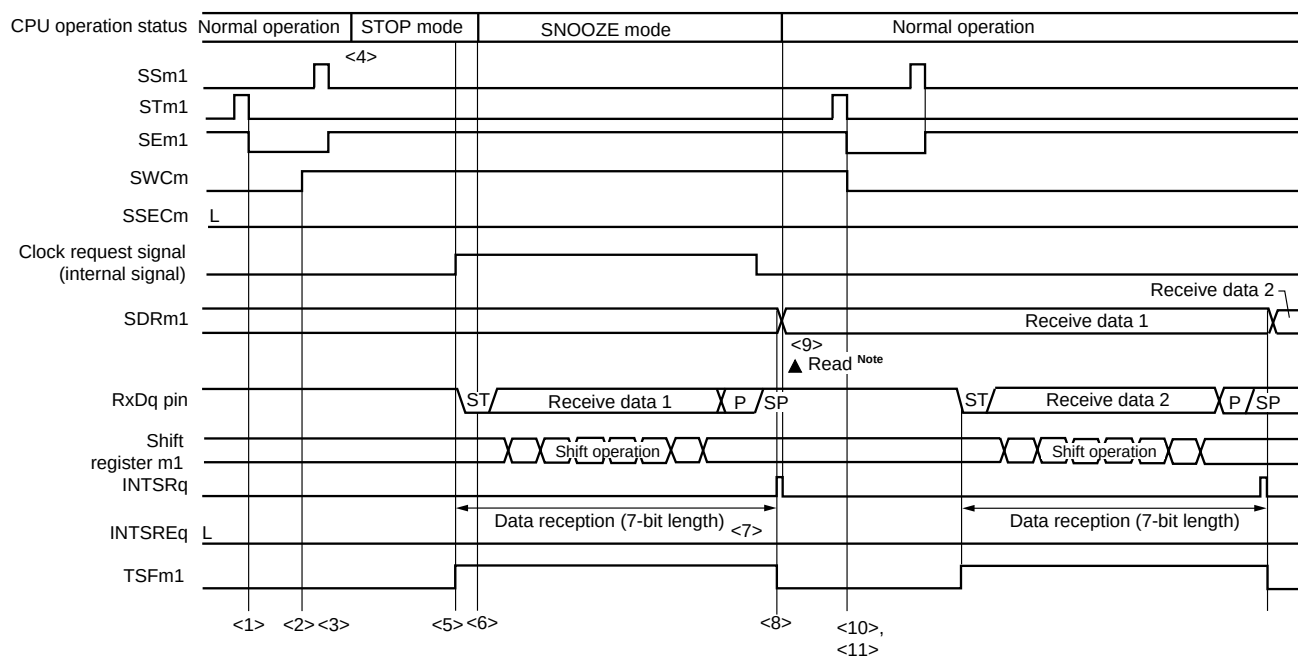
当使用 SNOOZE 模式功能时，须在切换至 STOP 模式之前将串行待机控制寄存器 m (SSCm) 的 SWCm 位设置为 1。

注意事项 1. 仅限选择高速片上振荡器时钟作为 f_{CLK} 时可以设置 SNOOZE 模式。

2. 在 SNOOZE 模式下使用 UARTq 时的最大传送速率为 9600 bps（目标）。

(1) SNOOZE 模式操作 (正常操作)

图 17-116. SNOOZE 模式操作(正常操作)的时序图



注 仅当 SWCm = 1 且在检测到 RxDq 引脚输入的下一个边沿时才读取接收的数据。

注意事项 在切换至 SNOOZE 模式之前, 以及在 SNOOZE 模式下完成接收操作之后, 务必将 STm1 位设置为 1 并清除 SEm1 位 (停止操作)。

备注 1. 此图中的<1>至<11>对应于图 17-118 SNOOZE 模式操作 (正常操作/异常操作 <1>)的流程图 中的<1>至<11>。

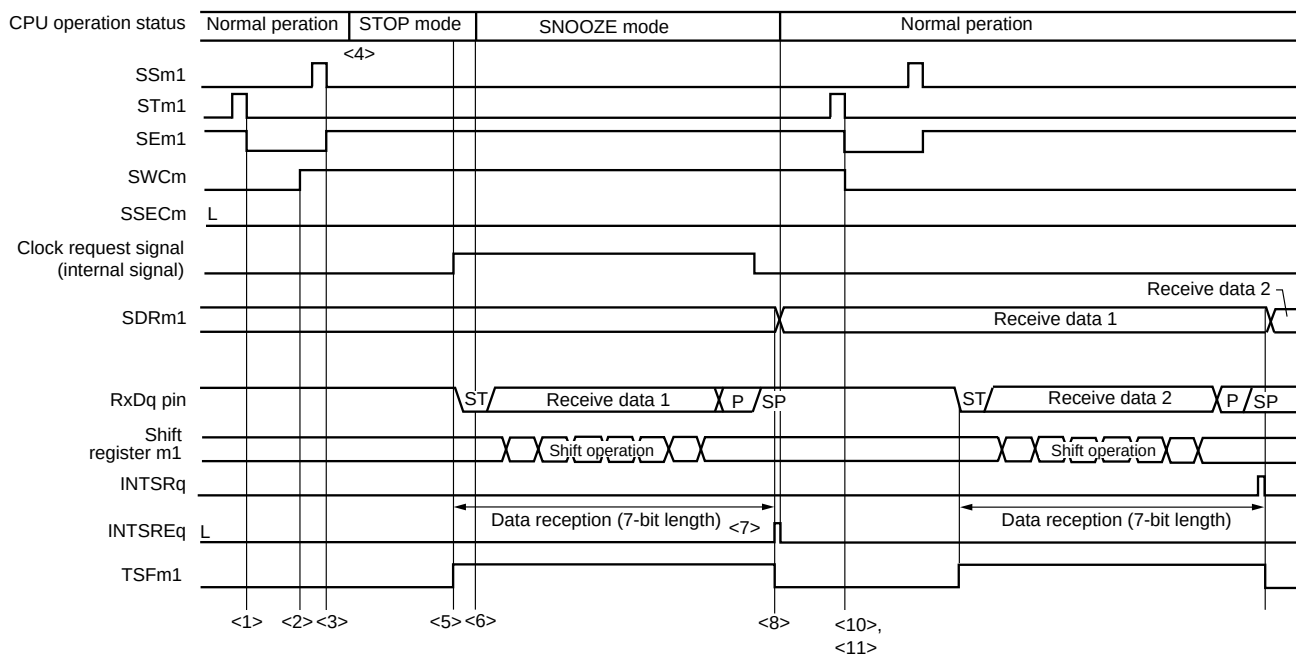
2. 30 至 64 针产品: $m = 0$; $q = 0$
80、100 针产品: $m = 0, 1$; $q = 0, 2$

(2) SNOOZE 模式操作 (异常操作 <1>)

异常操作 <1> 指在 $SSECm = 0$ 的情况下发生通信错误时执行的操作。

由于 $SSECm = 0$ ，所以在发生通信错误时将产生一个错误中断 (INTSREq)。

图 17-117. SNOOZE 模式操作(异常操作 <1>)的时序图

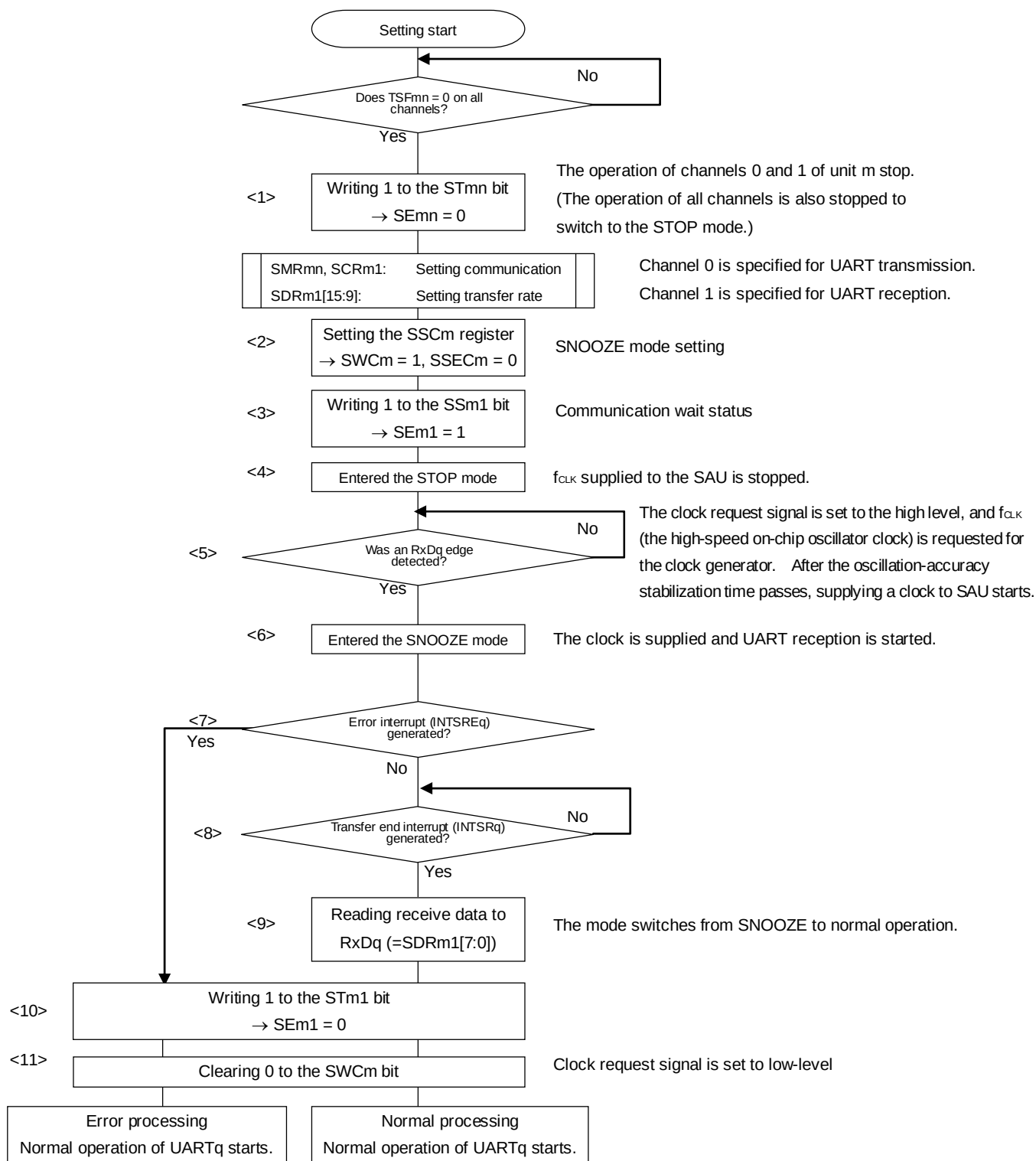


注意事项 在切换至 SNOOZE 模式之前，以及在 SNOOZE 模式下完成接收操作之后，务必将 STm1 位设置为 1 并清除 SEm1 位（停止操作）。

备注 1. 此图中的<1>至<11>对应于图 17-118. SNOOZE 模式操作 (正常操作/异常操作 <1>)的流程图 中的 <1>至<11>。

2. 30 至 64 针产品: $m = 0; q = 0$
80、100 针产品: $m = 0, 1; q = 0, 2$

图 17-118. SNOOZE 模式操作(正常操作/异常操作 <1>)的流程图



备注 1. 此图中的<1>至<11>对应于图 17-116. SNOOZE 模式操作(正常操作)的时序图和图 17-117. SNOOZE 模式操作(异常操作 <1>)的时序图中的<1>至<11>。

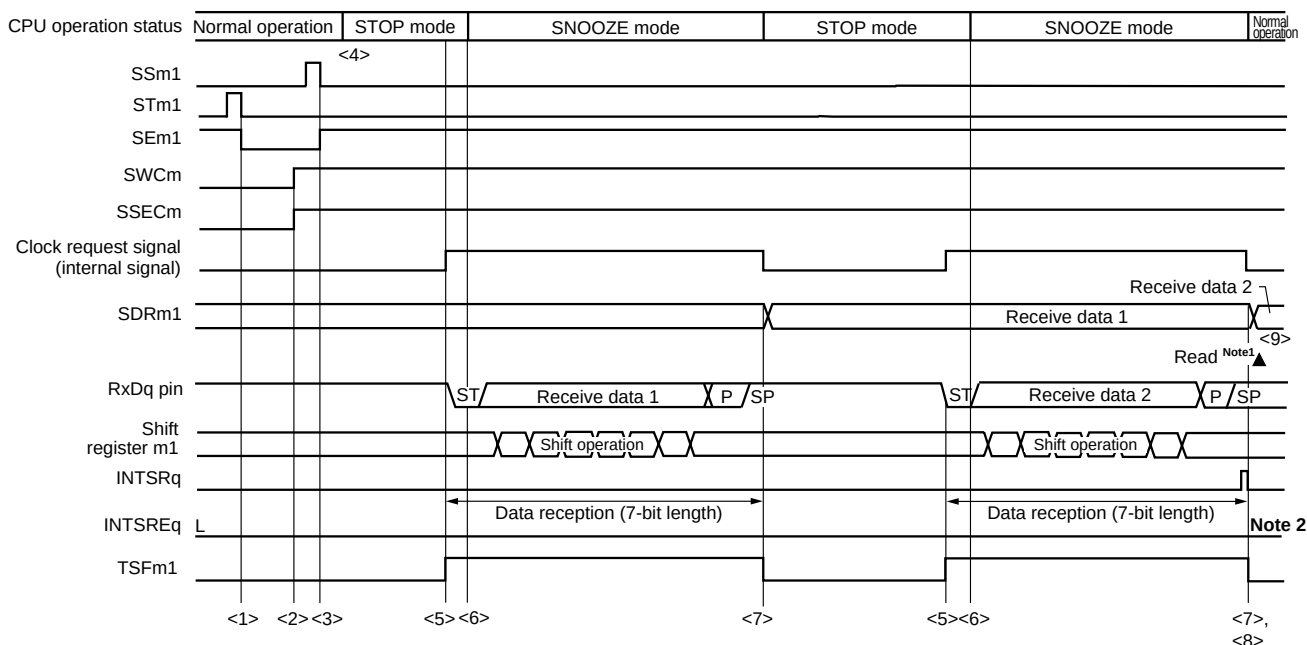
2. 30 至 64 针产品: m = 0; q = 0
80、100 针产品: m = 0, 1; q = 0, 2

(3) SNOOZE 模式操作 (异常操作 <2>)

异常操作 <2> 指在 $SSECm = 1$ 的情况下发生通信错误时执行的操作。

由于 $SSECm = 1$ ，所以在发生通信错误时将产生一个错误中断 (INTSREq)。

图 17-119. SNOOZE 模式操作(异常操作 <2>)的时序图



注 1. 仅当 $SWCm = 1$ 且在检测到 RxDq 引脚输入的下一个边沿时才读取接收的数据。

2. SNOOZE 模式下当 UARTq 成功完成接收时，不需要更改设置就可以继续执行正常的接收操作，但是，由于 $SSECm = 1$ ，因此，即使发生帧错误或奇偶校验错误，PEFm1 和 FEFm1 位也不会被设置。另外，也不会产生错误中断 (INTSREq)。

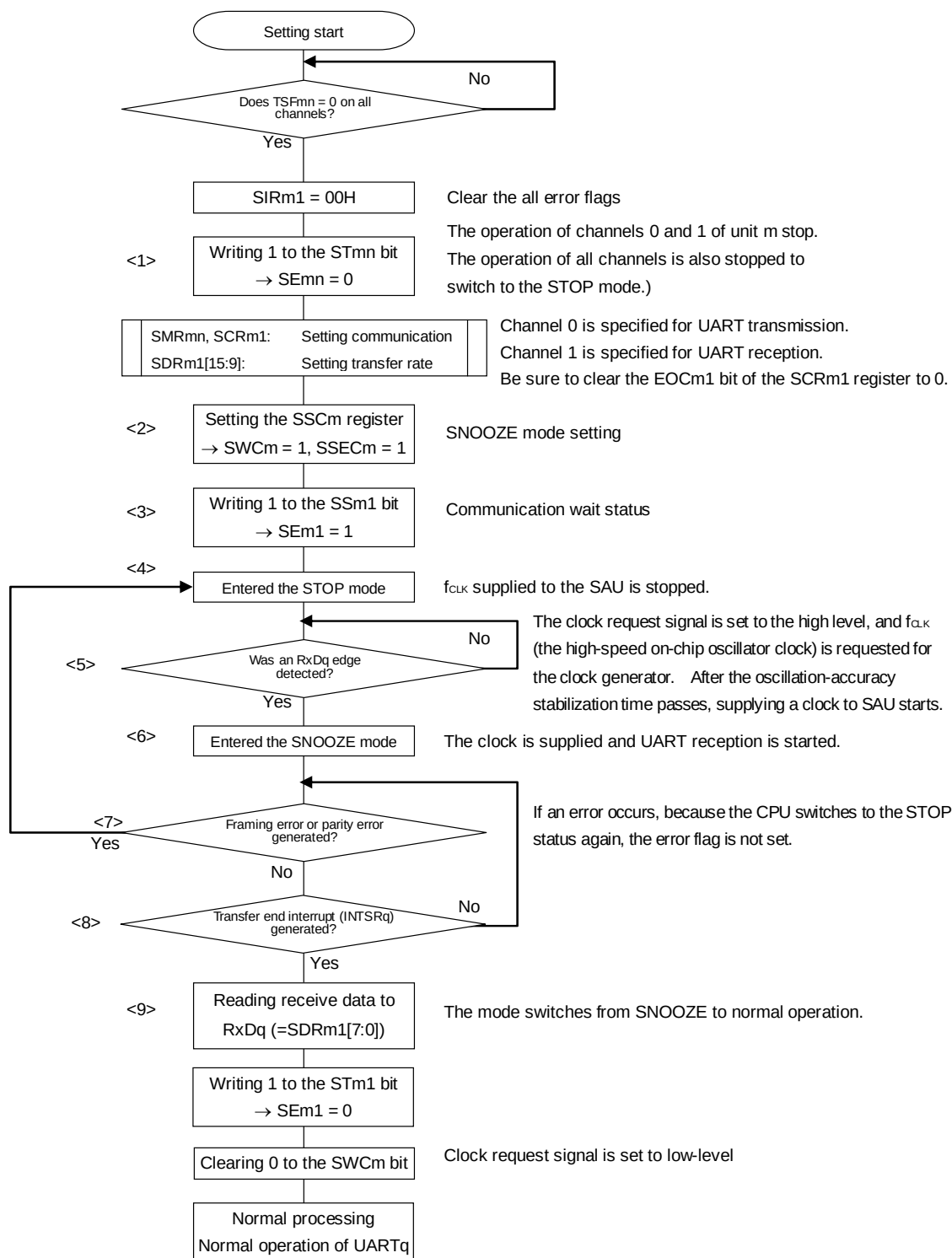
注意事项 1. 在切换至 SNOOZE 模式之前，以及在 SNOOZE 模式下完成接收操作之后，务必将 STm1 位设置为 1 并清除 SEm1 位（停止操作）。

2. 当在 SSECm 被设置为 1 的情况下使用 SNOOZE 模式时，不会发生溢出错误。因此，当使用 SNOOZE 模式时，要在切换至 STOP 模式之前读取 SDRm1 寄存器的位 7 至位 0 (RxDq)。

备注 1. 此图中的<1>至<9>对应于图 17-120. SNOOZE 模式操作(异常操作 <2>)的流程图中的<1>至<9>。

2. 30 至 64 针产品: $m = 0; q = 0$
80、100 针产品: $m = 0, 1; q = 0, 2$

图 17-120. SNOOZE 模式操作(异常操作 <2>)的流程图



注意事项 当在 **SSECM** 被设置为 1 的情况下使用 **SNOOZE** 模式时, 不会发生溢出错误。因此, 当使用 **SNOOZE** 模式时, 要在切换至 **STOP** 模式之前读取 **SDRm1** 寄存器的位 7 至位 0 (**RxDq**)。

备注 1. 此图中的<1>至<9>对应于图 17-119. **SNOOZE** 模式操作(异常操作 <2>)的时序图中的<1>至<9>。

- 2.** 30 至 64 针产品: $m = 0; q = 0$
80、100 针产品: $m = 0, 1; q = 0, 2$

17.7.4 计算波特率

(1) 波特率计算公式

用于 UART (UART0 至 UART3) 通信的波特率可以通过以下表达式计算。

$$(\text{波特率}) = \{\text{目标通道的操作时钟}(f_{\text{MCK}})\text{频率}\} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

注意事项 禁止将串行数据寄存器 mn(SDRmn)设置为 SDRmn[15:9] = (0000000B, 0000001B)。

备注 1. 当使用 UART 时, SDRmn[15:9]的值为 SDRmn 寄存器位 15 至位 9 的值(0000010B 至 1111111B), 即 2 至 127。

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

操作时钟(f_{MCK}) 取决于串行时钟选择寄存器 m (SPSm) 以及串行模式寄存器 mn (SMRmn)的位 15 (CKSmn)。

表 17-4. UART 操作时钟的选择

SMRmn 寄存器	SPSm 寄存器								操作时钟(f _{CLK}) [※]	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f _{CLK} = 32 MHz
0	X	X	X	X	0	0	0	0	f _{CLK}	32 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	16 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	8 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	4 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	f _{CLK} /2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	f _{CLK} /2 ¹³	3.9 kHz
	X	X	X	X	1	1	1	0	f _{CLK} /2 ¹⁴	1.95 kHz
X	X	X	X	1	1	1	1	f _{CLK} /2 ¹⁵	977 Hz	
1	0	0	0	0	X	X	X	X	f _{CLK}	32 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	16 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	8 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	4 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	15.63 kHz
	1	1	0	0	X	X	X	X	f _{CLK} /2 ¹²	7.81 kHz
	1	1	0	1	X	X	X	X	f _{CLK} /2 ¹³	3.9 kHz
	1	1	1	0	X	X	X	X	f _{CLK} /2 ¹⁴	1.95 kHz
1	1	1	1	X	X	X	X	f _{CLK} /2 ¹⁵	977 Hz	

注 更改被选为 f_{CLK} 的时钟时（通过更改系统时钟控制寄存器(CKC)的值），必须在停止串行阵列单元(SAU)操作（串行通道停止寄存器 m (STm) = 000FH）之后才可以执行。

备注 1. X: 忽略

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

(2) 发送期间的波特率误差

发送过程中 UART(UART0 至 UART3)通信的波特率误差可以用以下计算式算出。确保发送侧的波特率处于接收侧允许的波特率范围之内。

$$(\text{波特率误差}) = (\text{计算波特率值}) \div (\text{目标波特率}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 32 \text{ MHz}$ 时的 UART 波特率的设置示例如下所示。

UART 波特率 (目标波特率)	$f_{\text{CLK}} = 32 \text{ MHz}$			
	操作时钟(f_{MCK})	SDRmn[15:9]	计算波特率	与目标波特率之间的误差
300 bps	$f_{\text{CLK}}/2^9$	103	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	103	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	103	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	103	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	103	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	103	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	103	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	63	31250.0 bps	$\pm 0.0 \%$
38400 bps	$f_{\text{CLK}}/2^2$	103	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	103	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	103	153846 bps	+0.16 %
312500 bps	f_{CLK}	50	312500 bps	$\pm 0.39 \%$

备注 m: 单元编号 ($m = 0, 1$), n: 通道编号 ($n = 0, 2$), mn = 00, 02, 10, 12

(3) 接收时的波特率允许范围

UART (UART0 至 UART3) 通信过程中允许接收的波特率范围可以用以下计算式算出。确保发送侧的波特率处于接收侧允许的波特率范围之内。

$$(\text{最大可接收波特率}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{最小可接收波特率}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate: 接收方的计算波特率值 (参阅 17.7.4 (1) 波特率计算公式。)

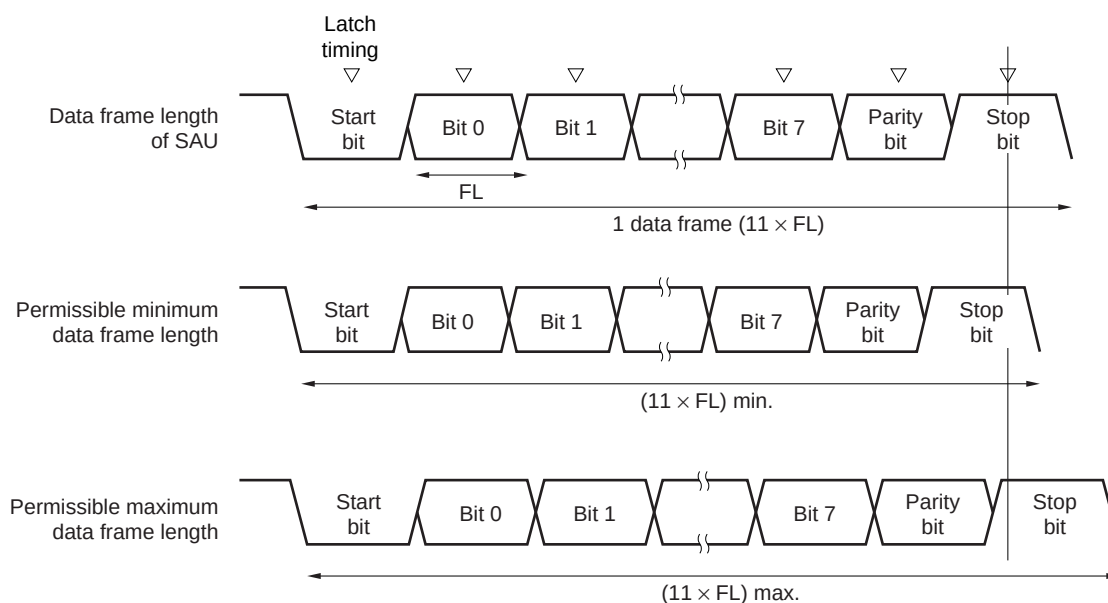
k: SDRmn[15:9] + 1

Nfr: 1 数据帧长度 [位]

= (开始位) + (数据长度) + (奇偶校验位) + (停止位)

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 1, 3), mn = 01, 03, 11, 13

图 17-121. 接收时的允许波特率范围 (1 数据帧长度 = 11 位时)



如图 17-121 所示, 接收数据的锁存时序取决于检测到起始位之后由串行数据寄存器 mn (SDRmn) 的位 15 至位 9 设置的分频比。如果在该锁存时间之前收到最后数据 (停止位), 则可以正常进行接收。

17.7.5 UART(UART0 至 UART3)通信时的发生错误时的处理步骤

在 UART (UART0 至 UART3) 通信过程中发生的错误的处理步骤如图 17-122 和 17-123 所示。

图 17-122. 发生奇偶校验错误或溢出错误时的处理步骤

软件操作	硬件状态	备注
读取串行数据寄存器 mn (SDRmn)。	SSRmn寄存器的BFFmn位被设置为0， 并允许通道n接收数据。	这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。
读取串行状态寄存器 mn (SSRmn)。		识别出错误类型，并用读取值来清除错误标志。
将1写入串行标志清除触发寄存器 mn (SIRmn)。	错误标志被清除。	将SSRmn寄存器的读取值直接写入SIRmn寄存器，从而可以只清除读取时的错误。

图 17-123. 发生帧错误时的处理步骤

软件操作	硬件状态	备注
读取串行数据寄存器 mn (SDRmn)。	SSRmn寄存器的BFFmn位被设置为0， 并允许通道n接收数据。	这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。
读取串行状态寄存器 mn (SSRmn)。		识别出错误类型，并用读取值来清除错误标志。
写入串行标志清除触发寄存器mn (SIRmn)。	错误标志被清除。	将SSRmn寄存器的读取值直接写入SIRmn寄存器，从而可以只清除读取时的错误。
将串行通道停止寄存器m(STm)的STmn位 设置为1。	串行通道允许状态寄存器m (SEm)的 SEmn位被设置为0，通道n 停止工作。	
与其他通信方同步		起始位的偏移会使系统判断为出现了帧错误，因此重建与其他通信方的同步并恢复通信。
将串行通道开始寄存器m(SSm)的SSmn 位设置为1。	串行通道允许状态寄存器m (SEm)的 SEmn位被设置为1，并允许操作通道 n。	

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

17.8 LIN 通信操作

17.8.1 LIN 发送

在 UART 发送中，UART0 支持 LIN 通信。

LIN 发送使用单元 0 的通道 0。

UART	UART0	UART1	UART2	UART3
支持LIN通信	支持	不支持	不支持	不支持
目标通道	SAU0的通道0	—	—	—
使用引脚	TxD0	—	—	—
中断	INTST0	—	—	—
	可选择发送结束中断(单发送模式时)或缓冲器空白中断(连续发送模式时)			
错误检测标志	无			
传送数据长度	8位			
传送速率	Max. $f_{MCK}/6$ [bps] (SDR00 [15:9] = 3或更大), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] [※]			
数据相位	正相输出 (默认: 高电平) 反相输出 (默认: 低电平)			
奇偶校验位	以下可选 • 无奇偶校验位 • 附加零校验 • 附加偶校验 • 附加奇校验			
停止位	以下可选 • 附加1位 • 附加2位			
数据方向	MSB/LSB优先			

注 在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

备注 f_{MCK} : 目标通道的操作时钟频率
 f_{CLK} : 系统时钟频率

LIN 表示局域内联网，是一种低速（1 至 20 kbps）串行通信协议，有助于降低汽车网络的成本。

LIN 通信为单主通信，一台主最多可以连接 15 台从属。

LIN 从属用于控制开关、传动装置和传感器，这些装置通过 LIN 连接至主。

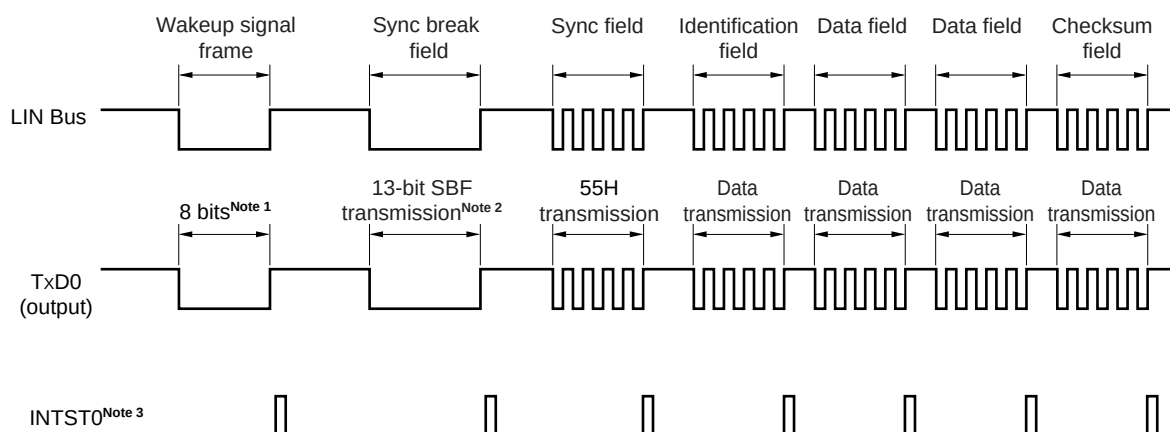
通常，主连接至例如 CAN（控制器区域网络）之类的网络。

LIN-BUS 是单线总线，通过符合 ISO9141 的收发器连接有节点。

根据 LIN 协议，主通过附加波特率信息来发送帧。从属接收该帧，并修正来自主的波特率误差。如果从属的波特率误差在±15% 以内，则可建立通信。

LIN 的发送操作的概况如图 17-124 所示。

图 17-124. LIN 的发送操作

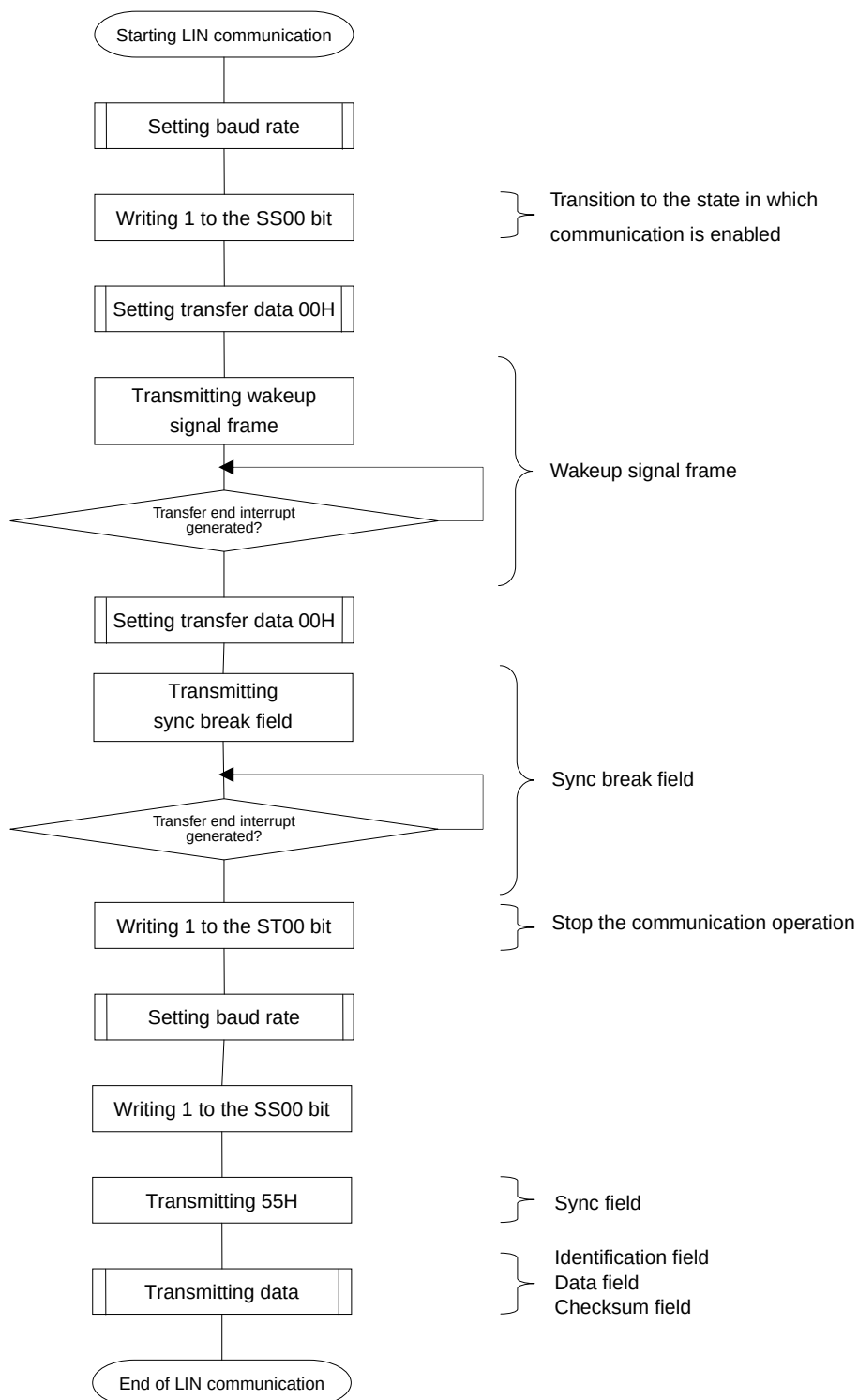


- 注1.** 设置波特率以满足唤醒信号的标准，并执行 00H 的数据发送。
- 2.** 同步间隔场被定义为 13 位宽度并输出低电平。当主传输的波特率为 N [bps] 时，同步间隔场的波特率按以下方式计算。

$$(\text{同步间隔场的波特率}) = 9/13 \times N$$
 通过以该波特率发送 00H 的数据来产生同步间隔场。
- 3.** 发送结束时输出 INTST0。执行 SBF 发送时也输出 INTST0。

备注 场之间的间隔由软件控制。

图 17-125. LIN 发送的流程图



17.8.2 LIN 接收

在 UART 接收中，UART0 支持 LIN 通信。

LIN 接收使用单元 0 的通道 1。

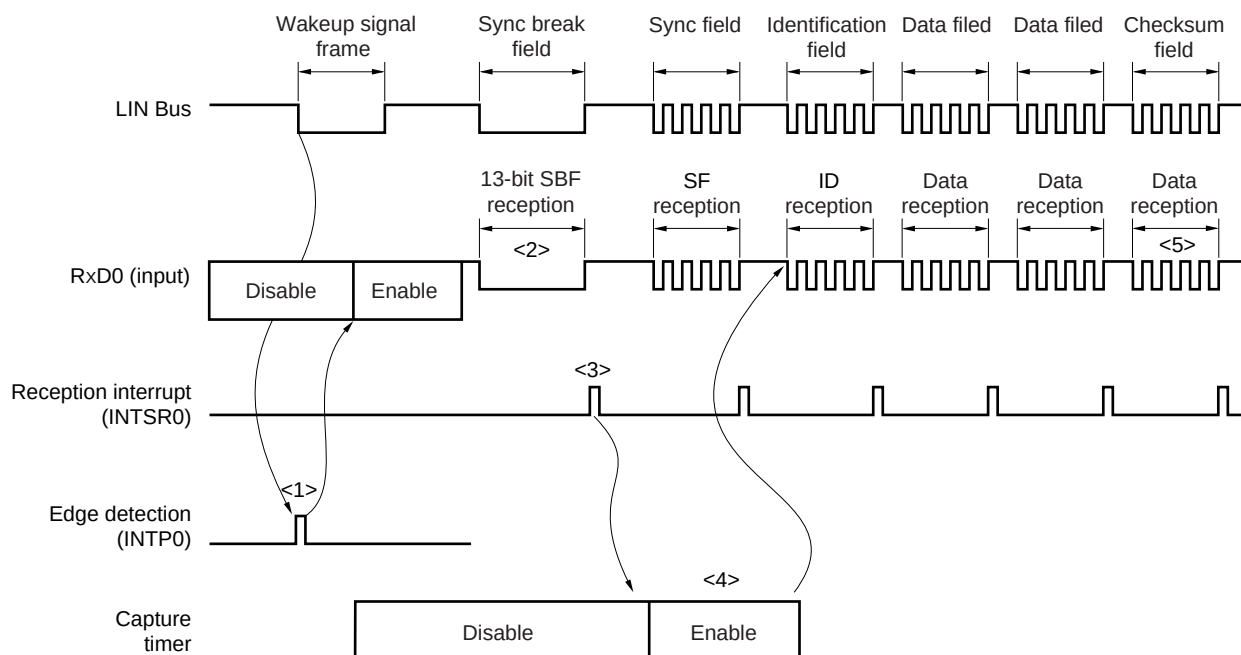
UART	UART0	UART1	UART2	UART3
支持LIN通信	支持	不支持	不支持	不支持
目标通道	SAU0的通道1	—	—	—
使用引脚	RxD0	—	—	—
中断	INTSR0	—	—	—
	仅限传送结束中断(禁止设置缓冲器空白中断。)			
错误中断	INTSRE0	—	—	—
错误检测标志	• 帧错误检测标志 (FEF01) • 奇偶校验错误检测标志 (PEF01) • 溢出错误检测标志 (OVF01)			
传送数据长度	8位			
传送速率	Max. $f_{MCK}/6$ [bps] (SDR01 [15:9] = 3或更大), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] [※]			
数据相位	正相输出 (默认: 高电平) 反相输出 (默认: 低电平)			
奇偶校验位	以下可选 • 无奇偶校验位 (不检查奇偶校验位。) • 附加零校验 (不检查奇偶校验位。) • 偶校验检查 • 奇校验检查			
停止位	以下可选 • 附加1位 • 附加2位			
数据方向	MSB/LSB优先			

注 在满足以上条件及电特性中的 AC 特性(参阅 第三十四章 电特性)的范围内使用此操作。

备注 f_{MCK} : 目标通道的操作时钟频率
 f_{CLK} : 系统时钟频率

LIN 的接收操作的概况如图 17-126 所示。

图 17-126. LIN 的接收操作



信号处理的流程如下所示。

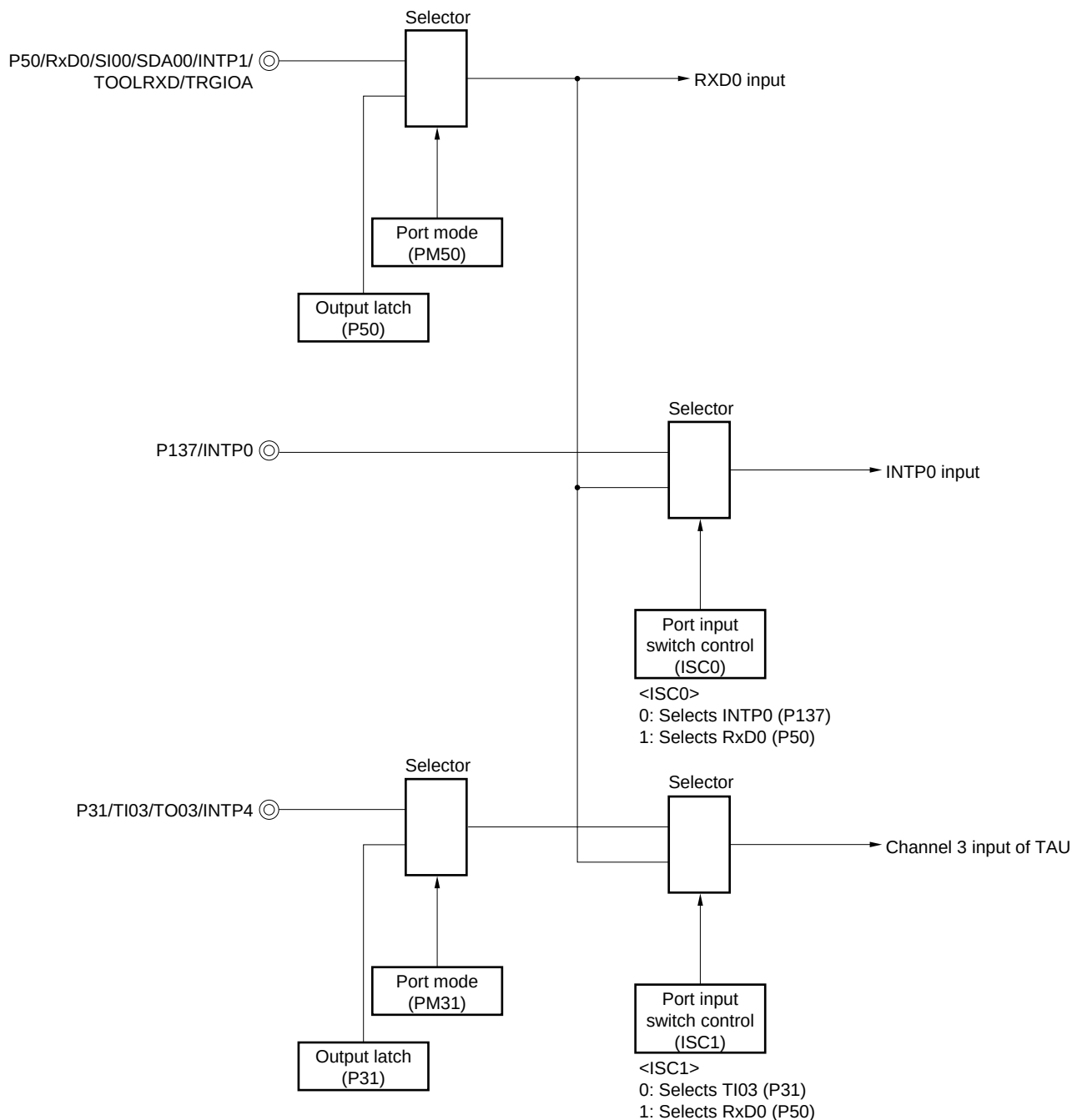
- <1> 检测唤醒信号的方法是检测某个引脚上的中断边沿 (INTP0)。当检测到唤醒信号时，允许接收 UART0 (RXE01 = 1) 并等待 SBF 接收。
- <2> 当检测到 SBF 的起始位时，允许接收，串行数据以设定的波特率按序存储在 RxD0 寄存器中 (= 串行数据寄存器 01 (SDR01) 的位 7 至位 0)。当检测到停止位时，将产生接收结束中断请求 (INTSR0)。作为 SBF 检测到 11 或更多位的低电平数据时，判断为 SBF 接收已正确完成。作为 SBF 检测到不足 11 位的低电平数据时，判断为发生了 SBF 接收错误，系统将返回 SBF 接收等待状态。
- <3> 当 SBF 接收正确完成时，启动定时器阵列单元的通道 3，并测量同步场的位间隔（脉冲宽度）(参阅 6.7.5 作为输入信号高/低电平宽度测量的操作)。
- <4> 根据同步场 (SF) 的位间隔计算波特率误差。停止 UART2 一次，并调节（复位）波特率。
- <5> 通过软件来辨认校验和场。另外，校验和场接收完成之后初始化 UART0 的操作以及此时设置为 SBF 接收等待状态的操作也应该通过软件执行。

用于操作 LIN 接收的端口的配置如图 17-127 所示。

通过检测外部中断(INTP0)的边沿来接收从 LIN 主发送的唤醒信号。可以用定时器阵列单元 0 的外部事件捕捉操作来测量从 LIN 主发送的同步场的长度，从而计算出波特率误差。

通过端口输入切换控制(ISC0/ISC1)，可以将接收用端口输入(RxD0)的输入源输入至外部中断引脚(INTP0) 和定时器阵列单元。

图 17-127. LIN 的接收操作作用端口配置



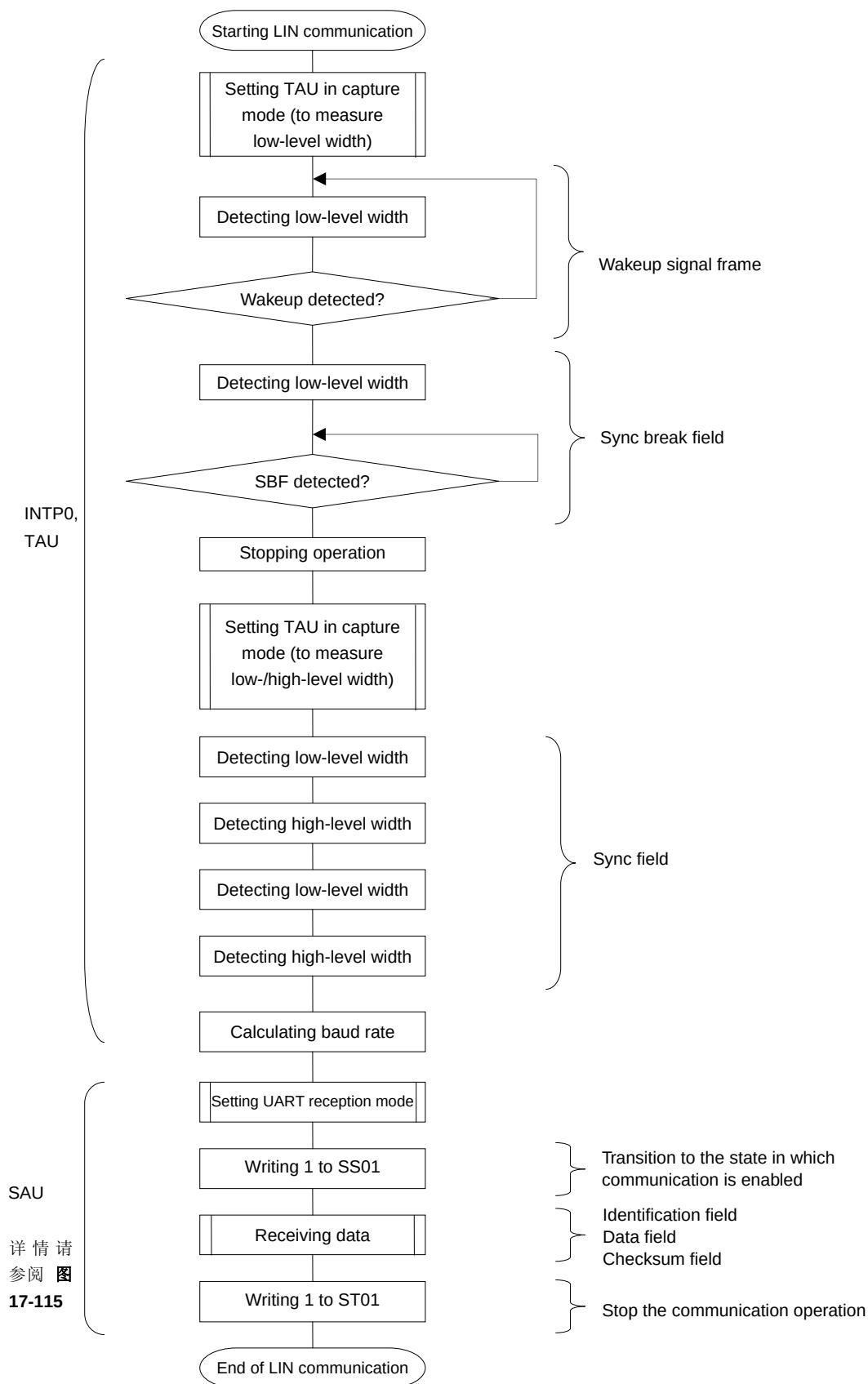
备注 ISC0、ISC1：输入切换控制寄存器(ISC)的位 0 和 1 (参阅 图 17-19。)

用于 LIN 通信操作的外围功能如下所示。

<所用外围功能>

- 外部中断 (INTP0)：唤醒信号检测
用途： 检测唤醒信号的边沿和通信的开始
- 定时器阵列单元的通道 3：波特率误差检测
用途： 检测同步场 (SF) 的长度，并除以位数以检测波特率误差(在捕捉模式下测量 RxD0 输入边沿的间隔)。
- 串行阵列单元 0(SAU0)的通道 0 和 1(UART0)

图 17-128. LIN 接收的流程图



17.9 简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)通信的操作

这是一种时钟通信功能，通过两条线路与两个或更多器件进行通信：串行时钟(SCL) 和串行数据 (SDA)。该通信功能被设计用于和 EEPROM、闪存以及 A/D 转换器等器件进行单一通信，因此，只能作为主起作用。

在符合 AC 规范的范围内，通过软件操作控制寄存器来处理开始条件和停止条件。

[数据发送/接收]

- 主发送，主接收(仅限单主发送/接收的主功能)
- ACK 输出功能^{*}和 ACK 检测功能
- 数据长度为 8 位
(发送地址时，该地址由高 7 位指定，最低有效位用于 R/W 控制。)
- 手动产生开始条件和停止条件

[中断功能]

- 传送结束中断

[错误检测标志]

- 溢出错误
- 奇偶校验错误 (ACK 错误)

* [简化 I²C 不支持的功能]

- 从属发送，从属接收
- 仲裁失败检测功能
- 等待检测功能

注 接收最后的数据时，如果将 0 写入 SOEmn 位 (SOEm 寄存器) 并停止串行通信数据输出，则不输出 ACK。详情请参阅 17.9.3 (2) 处理流程。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

支持简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)的通道为 SAU0 的通道 0 至 3, SAU1 的通道 0 和 1。

• 30、32 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入)	UART0(支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

• 36、40、44 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入)	UART0(支持 LIN-bus)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

• 48、52 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入)	UART0(支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

• 64 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入)	UART0(支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

- 80、100 针产品

单元	通道	用作 CSI	用作 UART	用作简化 I ² C
0	0	CSI00(支持从属选择输入)	UART0(支持 LIN-bus)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 具有如下四种类型的通信操作。

- 地址字段发送 (参阅 17.9.1。)
- 数据发送 (参阅 17.9.2。)
- 数据接收 (参阅 17.9.3。)
- 产生停止条件 (参阅 17.9.4。)

17.9.1 地址字段发送

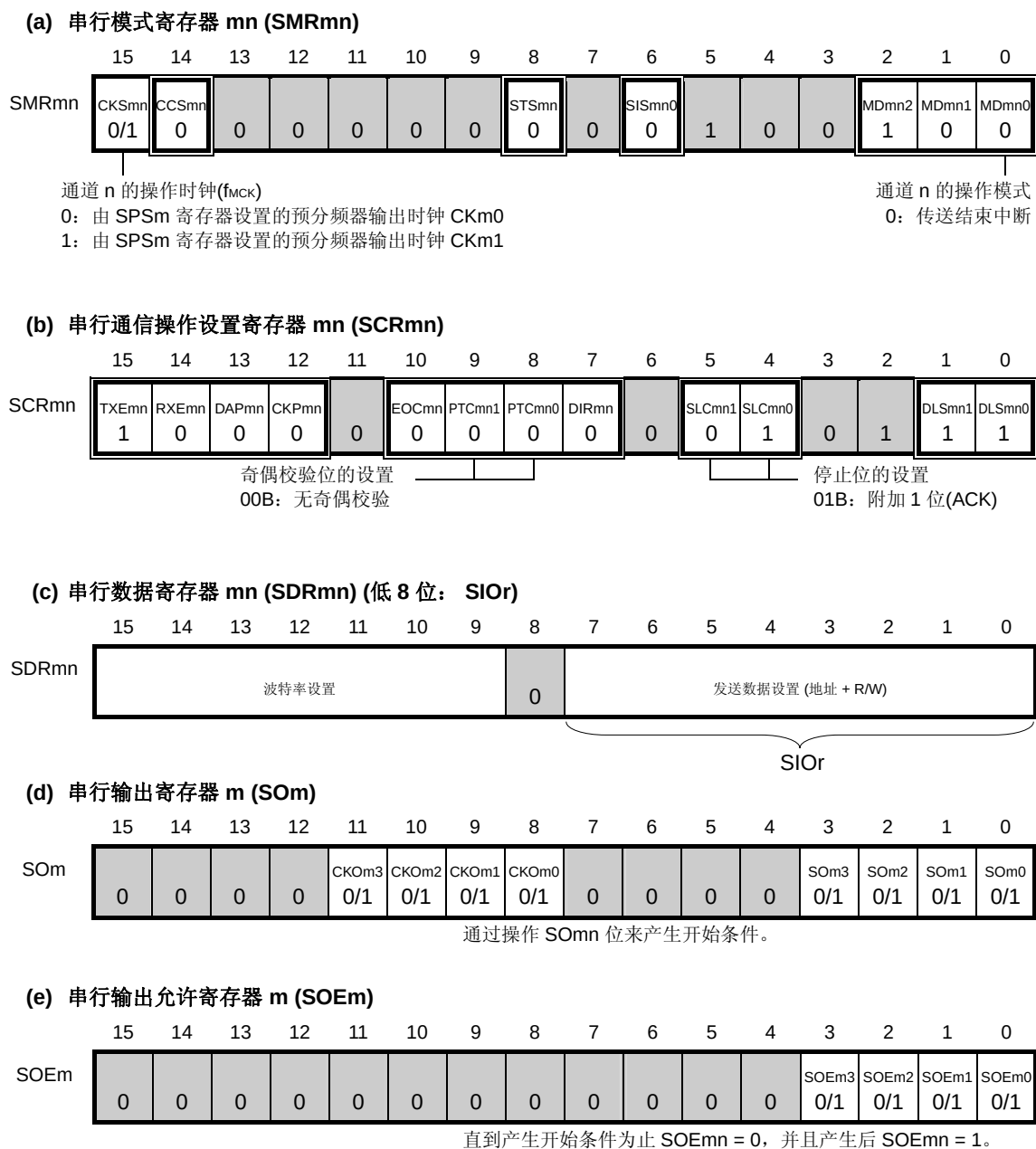
地址字段传输操作是，为了识别传送目标（从属），在 I²C 通信时最先执行的发送操作。产生开始条件后，以一帧发送地址（7 位）和传送方向（1 位）。

简化 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
目标通道	SAU0 的通道0	SAU0 的通道1	SAU0 的通道2	SAU0 的通道3	SAU1 的通道0	SAU1 的通道1	SAU1 的通道2	SAU1 的通道3
使用引脚	SCL00, SDA00 [※]	SCL01, SDA01 [※]	SCL10, SDA10 [※]	SCL11, SDA11 [※]	SCL20, SDA20 [※]	SCL21, SDA21 [※]	SCL30, SDA30 [※]	SCL31, SDA31 [※]
中断	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	仅限传送结束中断(禁止设置缓冲器空白中断。)							
错误检测标志	奇偶校验错误检测标志 (PEFmn)							
传送数据长度	8 位 (发送时，将高 7 位指定为地址，最低有效位指定为 R/W 控制。)							
传送速率	Max. $f_{MCK}/2$ [Hz] ($SDRmn[15:9] = 1$ 或更大) f_{MCK} : 目标通道的操作时钟频率 然而，在各种 I ² C 模式时必须满足以下条件。 • Max. 1 MHz (增强快速模式) • Max. 400 kHz (快速模式) • Max. 100 kHz (标准模式)							
数据电平	正相输出 (默认: 高电平)							
奇偶校验位	无奇偶校验位							
停止位	附加 1 位 (用于 ACK 接收时序)							
数据方向	MSB 优先							

注 进行简化 I²C 通信时，通过端口输出模式寄存器(POM0、POM1、POM3 至 POM5、POM7、POM14)设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)模式(POM03、POM11、POM14、POM44、POM50、POM53、POM71、POM143 = 1)(详情请参阅 **4.3 控制端口功能的寄存器**)。使用 IIC00、IIC01、IIC10、IIC20、IIC30、IIC31 与不同电位的外部器件通信时，同样将时钟输入/输出引脚(SCL00、SCL01、SCL10、SCL20、SCL30、SCL31)设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)模式(POM04、POM15、POM30、POM43、POM54、POM142 = 1) (详情请参阅 **4.4.4 连接至电位不同的外部器件(1.8V、2.5V、3V)**)。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

(1) 寄存器设置

图 17-129. 简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 的地址字段发送时的寄存器设置内容示例 (1/2)

- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13
2. ☐: 设置固定于 IIC 模式, ☐: 禁止设置(设置为初始值)
 ×: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设置为 0 或 1

图 17-129. 简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 的地址字段发送时的寄存器设置内容示例 (2/2)

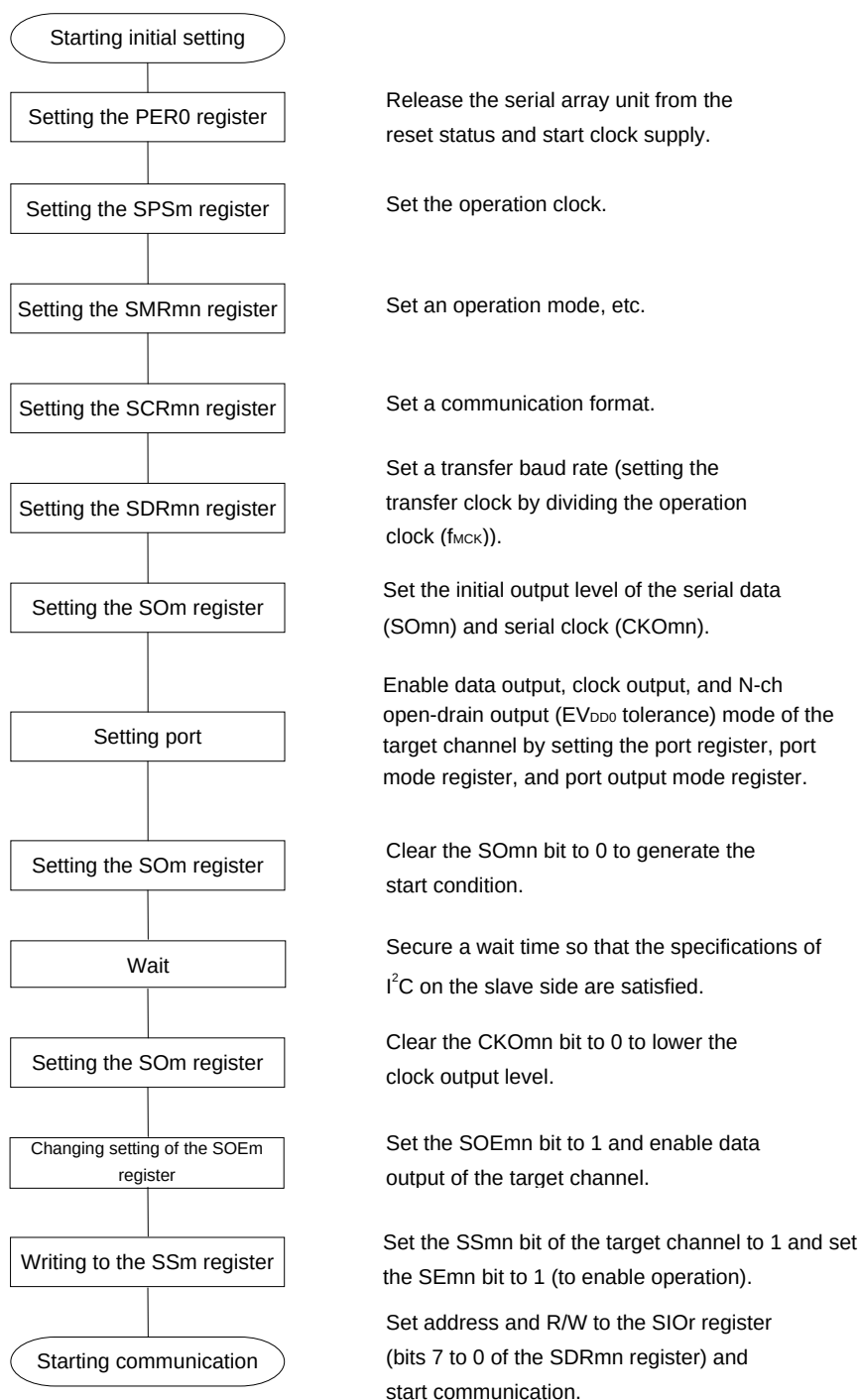
(f) 串行通道开始寄存器 m (SSm) ... 仅将目标通道的位设置为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13
2.  : 禁止设置(设置为初始值)
0/1: 可根据用户的用途设置为 0 或 1

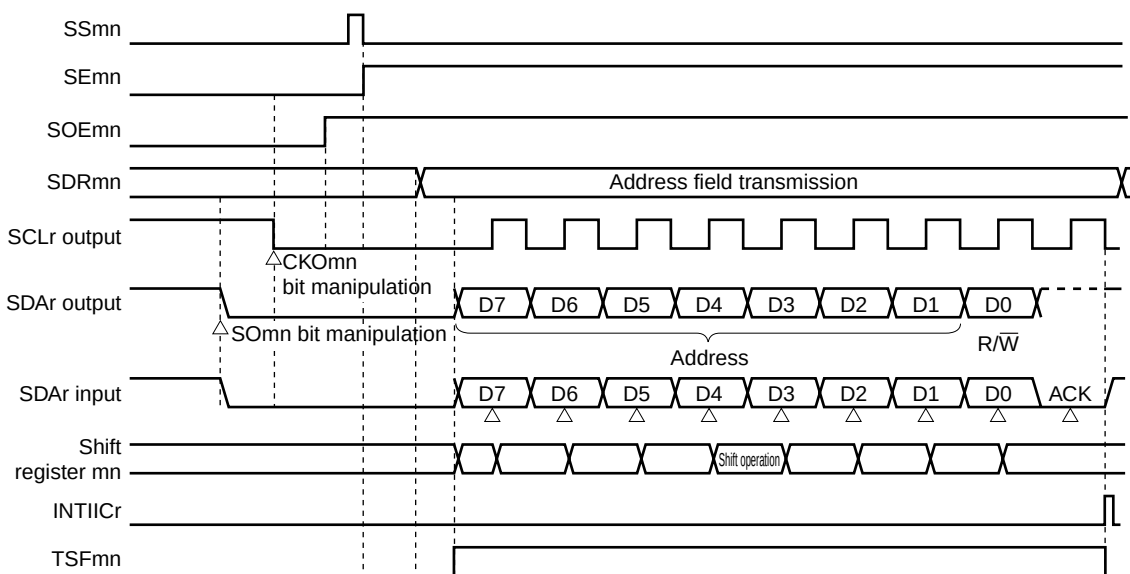
(2) 操作步骤

图 17-130. 地址字段发送的初始设定步骤



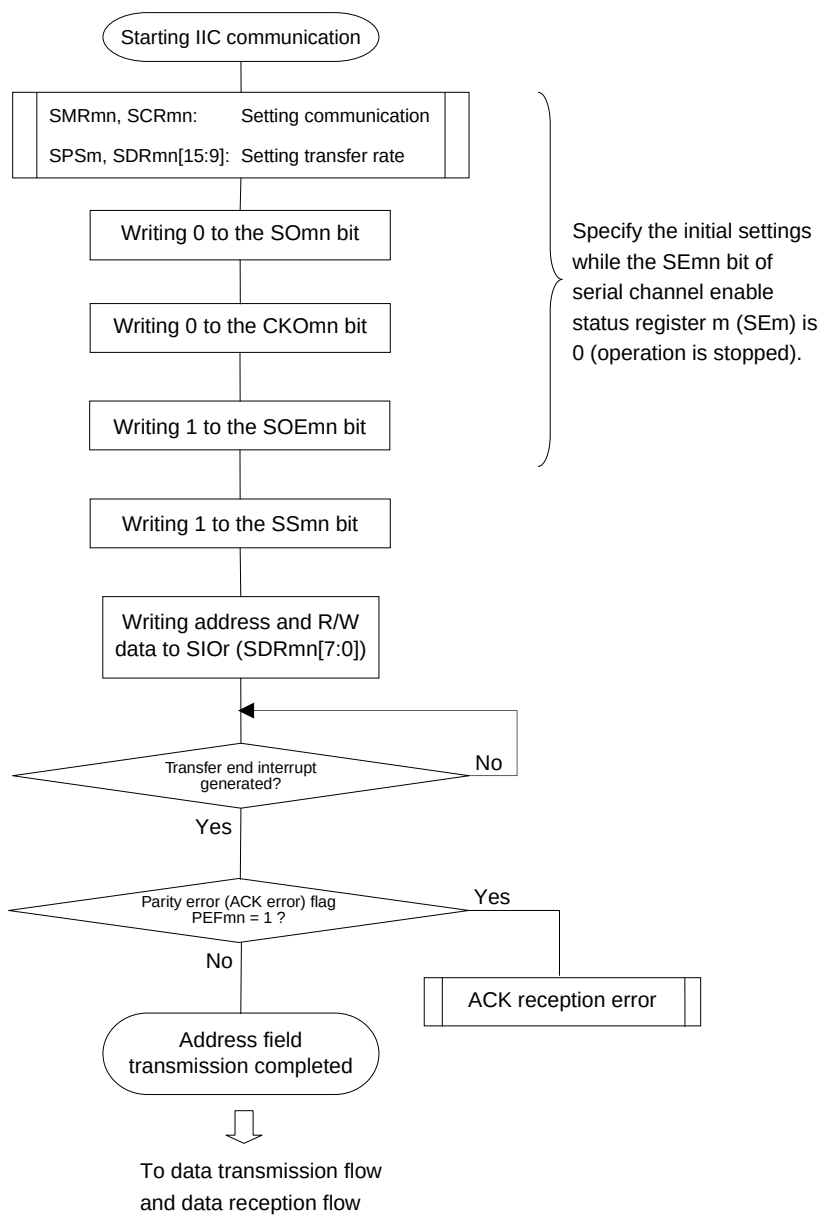
(3) 处理流程

图 17-131. 地址字段发送的时序图



备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13

图 17-132. 地址字段发送的流程图



17.9.2 数据发送

数据发送操作是用于在发送完地址字段之后将数据发送至传送目标（从属）。将所有数据发送至从属后，产生停止条件并释放总线。

简化I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
目标通道	SAU0的通道0	SAU0的通道1	SAU0的通道2	SAU0的通道3	SAU1的通道0	SAU1的通道1	SAU1的通道2	SAU1的通道3
使用引脚	SCL00, SDA00 [※]	SCL01, SDA01 [※]	SCL10, SDA10 [※]	SCL11, SDA11 [※]	SCL20, SDA20 [※]	SCL21, SDA21 [※]	SCL30, SDA30 [※]	SCL31, SDA31 [※]
中断	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	仅限传送结束中断(禁止设置缓冲器空白中断。)							
错误检测标志	奇偶校验错误检测标志 (PEFmn)							
传送数据长度	8位							
传送速率	Max. $f_{MCK}/2$ [Hz] ($SDRmn[15:9] = 1$ 或更大) f_{MCK} : 目标通道的操作时钟频率 然而，在各种I ² C模式时必须满足以下条件。 • Max. 1 MHz (增强快速模式) • Max. 400 kHz (快速模式) • Max. 100 kHz (标准模式)							
数据电平	正相输出 (默认: 高电平)							
奇偶校验位	无奇偶校验位							
停止位	附加1位 (用于ACK接收时序)							
数据方向	MSB优先							

注 进行简化 I²C 通信时，通过端口输出模式寄存器(POM0、POM1、POM3 至 POM5、POM7、POM14)设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)模式(POM03、POM11、POM14、POM44、POM50、POM53、POM71、POM143 = 1)(详情请参阅 **4.3 控制端口功能的寄存器**)。使用 IIC00、IIC01、IIC10、IIC20、IIC30、IIC31 与不同电位的外部器件通信时，同样将时钟输入/输出引脚(SCL00、SCL01、SCL10、SCL20、SCL30、SCL31)设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)模式(POM04、POM15、POM30、POM43、POM54、POM142 = 1) (详情请参阅 **4.4.4 连接至电位不同的外部器件(1.8V、2.5V、3V)**)。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

(1) 寄存器设置

图 17-133. 简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)的数据发送时的寄存器设置内容示例 (1/2)

(a) 串行模式寄存器 mn (SMRmn) ...在数据发送/接收期间不要操作该寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b) 串行通信操作设置寄存器 mn (SCRmn) ...在数据发送/接收过程中不要操作该寄存器的位 (TXEmn 和 RXEmn 位除外)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0	SLCmn0 1	0	1	DLSmn1 1	DLSmn0 1

(c) 串行数据寄存器 mn (SDRmn) (低 8 位: SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	波特率设置								0	发送数据设置						
											SIOr					

(d) 串行输出寄存器 m (SOM) ...在数据发送/接收期间不要操作该寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM	0	0	0	0	CKOm3 0/1 [*]	CKOm2 0/1 [*]	CKOm1 0/1 [*]	CKOm0 0/1 [*]	0	0	0	0	SOM3 0/1 [*]	SOM2 0/1 [*]	SOM1 0/1 [*]	SOM0 0/1 [*]

(e) 串行输出允许寄存器 m (SOEm) ...在数据发送/接收期间不要操作该寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 1	SOEm2 1	SOEm1 1	SOEm0 1

注 在通信操作过程中, 该值因通信数据而异。

备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13

2. ☐: 设置固定于 IIC 模式, ☐: 禁止设置(设置为初始值)
 *: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设置为 0 或 1

图 17-133. 简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)的数据发送时的寄存器设置内容示例 (2/2)

(f) 串行通道开始寄存器 m (SSm) ...在数据发送/接收期间不要操作该寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13
2. : 禁止设置(设置为初始值)
0/1: 可根据用户的用途设置为 0 或 1

(2) 处理流程

图 17-134. 数据发送的时序图

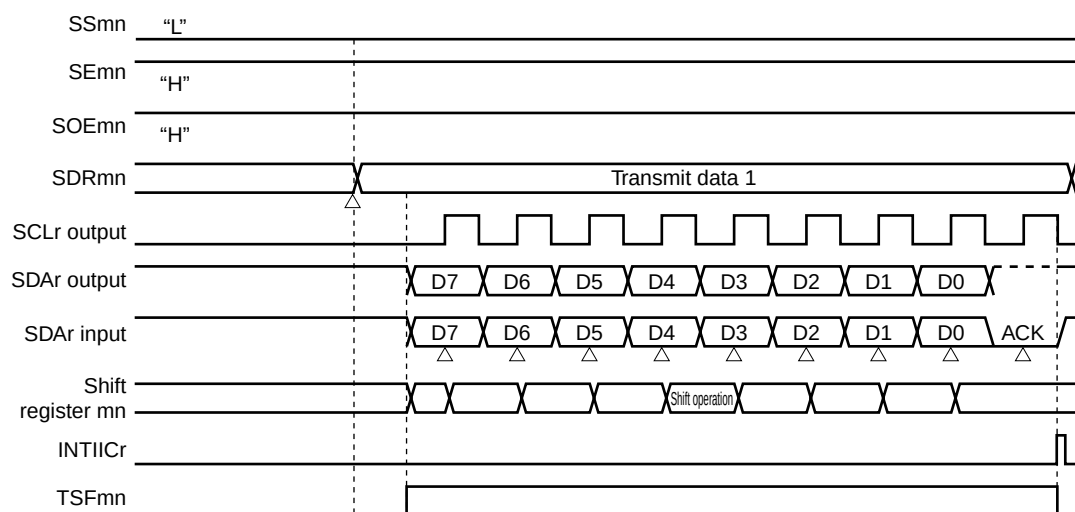
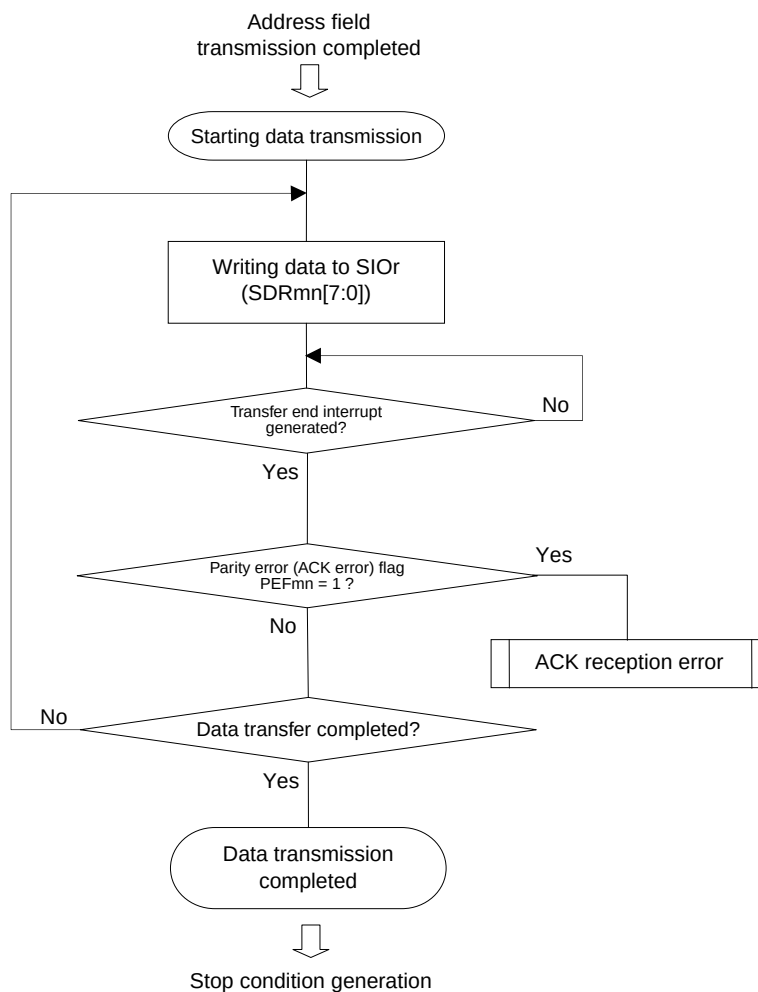


图 17-135. 数据发送的流程图



17.9.3 数据接收

数据接收操作是用于在发送完地址字段之后将数据接收至传送目标（从属）。将所有数据接收至从属后，产生停止条件并释放总线。

简化I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
目标通道	SAU0的通道0	SAU0的通道1	SAU0的通道2	SAU0的通道3	SAU1的通道0	SAU1的通道1	SAU1的通道2	SAU1的通道3
使用引脚	SCL00, SDA00 [※]	SCL01, SDA01 [※]	SCL10, SDA10 [※]	SCL11, SDA11 [※]	SCL20, SDA20 [※]	SCL21, SDA21 [※]	SCL30, SDA30 [※]	SCL31, SDA31 [※]
中断	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	仅限传送结束中断(禁止设置缓冲器空白中断。)							
错误检测标志	仅限溢出错误检测标志 (OVFmn)							
传送数据长度	8位							
传送速率	Max. $f_{MCK}/2$ [Hz] ($SDRmn[15:9] = 1$ 或更大) f_{MCK} : 目标通道的操作时钟频率 然而, 在各种I ² C模式时必须满足以下条件。 • Max. 1 MHz (增强快速模式) • Max. 400 kHz (快速模式) • Max. 100 kHz (标准模式)							
数据电平	正相输出 (默认: 高电平)							
奇偶校验位	无奇偶校验位							
停止位	附加1位(ACK发送)							
数据方向	MSB优先							

注 进行简化 I²C 通信时, 通过端口输出模式寄存器(POM0、POM1、POM3 至 POM5、POM7、POM14)设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)模式(POM03、POM11、POM14、POM44、POM50、POM53、POM71、POM143 = 1)(详情请参阅 **4.3 控制端口功能的寄存器**)。使用 IIC00、IIC01、IIC10、IIC20、IIC30、IIC31 与不同电位的外部器件通信时, 同样将时钟输入/输出引脚(SCL00、SCL01、SCL10、SCL20、SCL30、SCL31)设置为 N 沟道开路漏极输出(EV_{DD0} 耐压)模式(POM04、POM15、POM30、POM43、POM54、POM142 = 1) (详情请参阅 **4.4.4 连接至电位不同的外部器件(1.8V、2.5V、3V)**)。

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

(1) 寄存器设置

图 17-136. 简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)的数据接收时的寄存器设置内容示例 (1/2)

(a) 串行模式寄存器 mn (SMRmn) ...在数据发送/接收期间不要操作该寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) 串行通信操作设置寄存器 mn (SCRmn) ...在数据发送/接收过程中不要操作该寄存器的位 (TXEmn 和 RXEmn 位除外)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) 串行数据寄存器 mn (SDRmn) (低 8 位: SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	波特率设置								0	虚拟发送数据设置(FFH)						
										SIO _r						

(d) 串行输出寄存器 m (SOM) ...在数据发送/接收期间不要操作该寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM					CKOm3	CKOm2	CKOm1	CKOm0					SOM3	SOM2	SOM1	SOM0
	0	0	0	0	0/1 [※]	0/1 [※]	0/1 [※]	0/1 [※]	0	0	0	0	0/1 [※]	0/1 [※]	0/1 [※]	0/1 [※]

(e) 串行输出允许寄存器 m (SOEm) ...在数据发送/接收期间不要操作该寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注 在通信操作过程中, 该值因通信数据而异。

备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31), mn = 00 至 03, 10 至 13

2. ☐: 设置固定于 IIC 模式, ☐: 禁止设置(设置为初始值)
 ×: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设置为 0 或 1

图 17-136. 简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)的数据接收时的寄存器设置内容示例 (2/2)

(f) 串行通道开始寄存器 m (SSm) ...在数据发送/接收期间不要操作该寄存器。

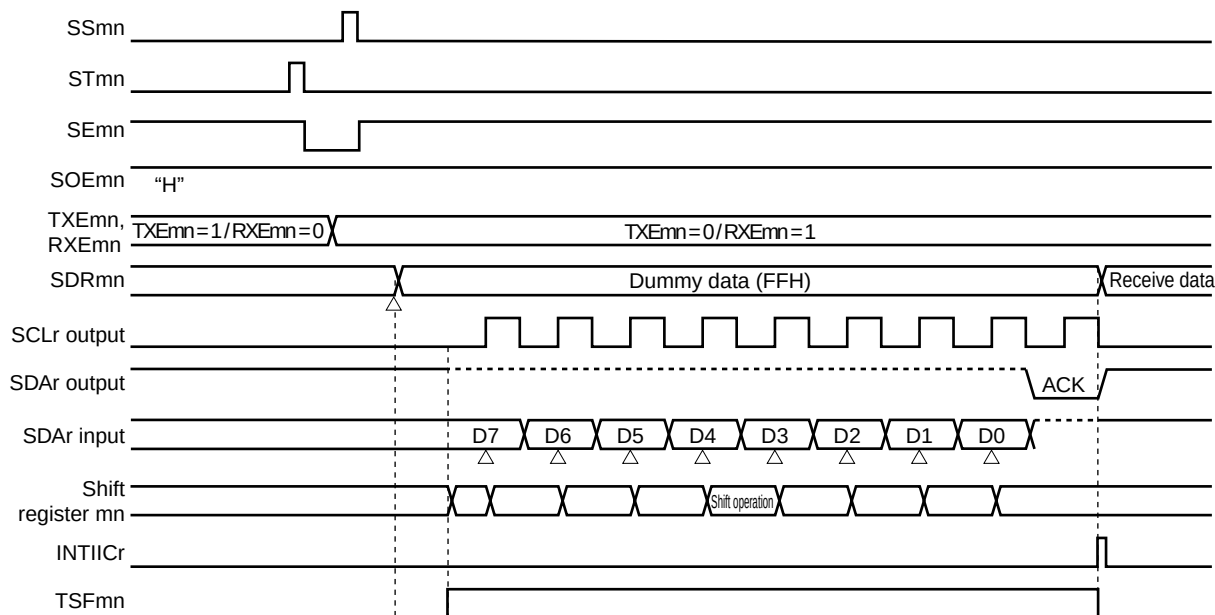
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

- 备注 1. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00 至 03, 10 至 13
2. : 禁止设置(设置为初始值)
0/1: 可根据用户的用途设置为 0 或 1

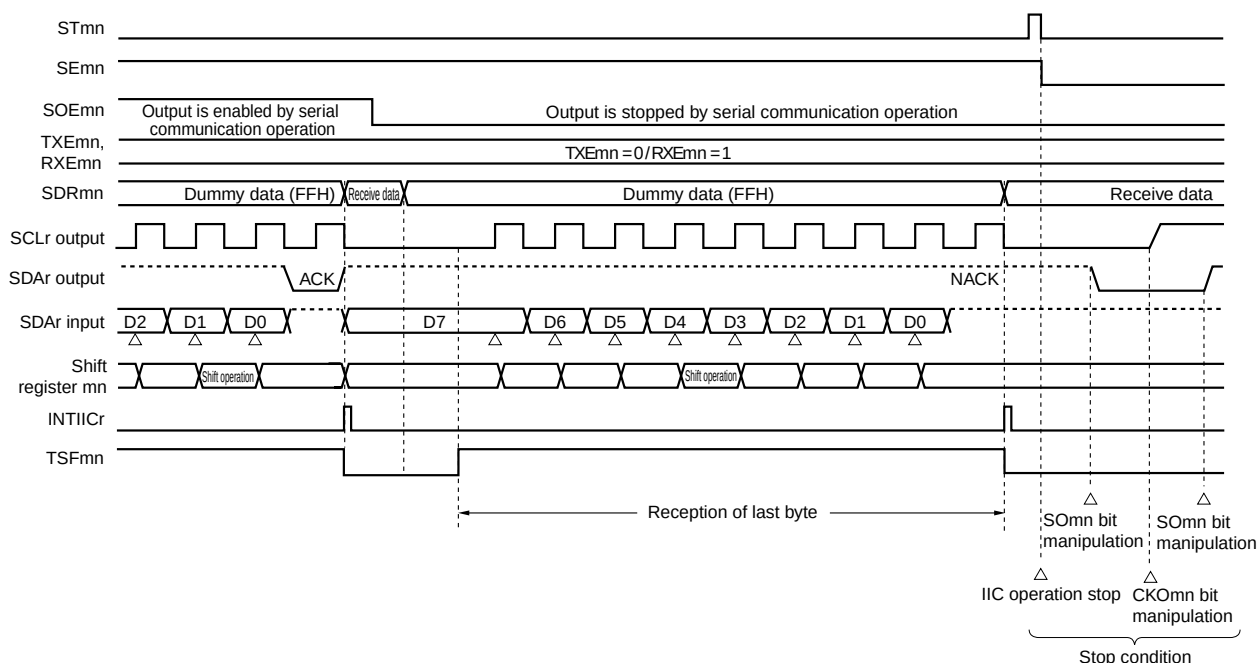
(2) 处理流程

图 17-137. 数据接收的时序图

(a) 开始接收数据时

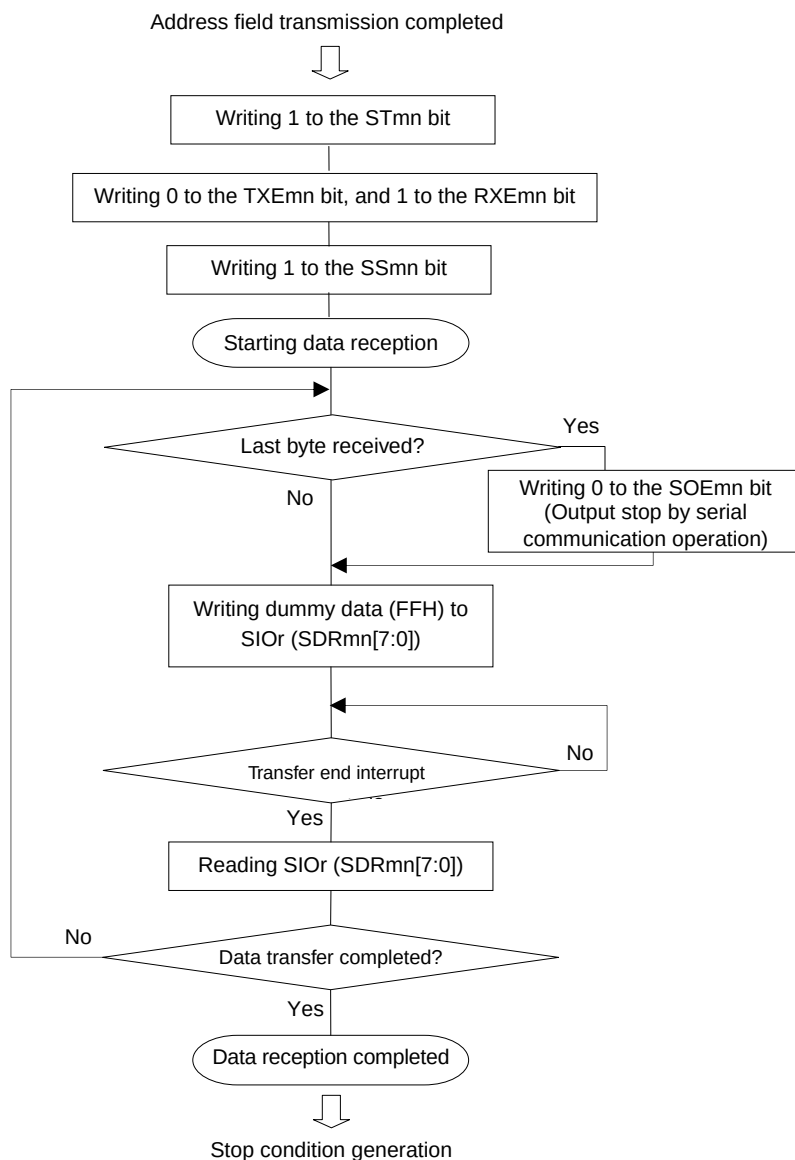


(b) 接收最后数据时



备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00 至 03, 10 至 13

图 17-138. 数据接收的流程图



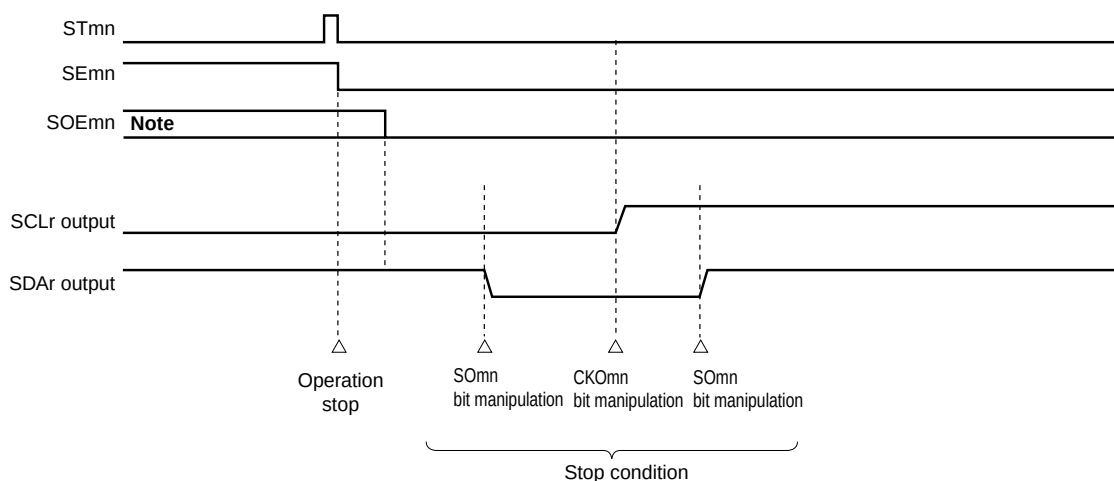
注意事项 接收到最后数据时不输出 **ACK (NACK)**。将串行通道停止寄存器 **m (STm)** 的 **STmn** 位设置为 **1**，以停止操作并产生停止条件，从而完成通信。

17.9.4 产生停止条件

将所有数据发送/接收至目标从属之后，产生停止条件并释放总线。

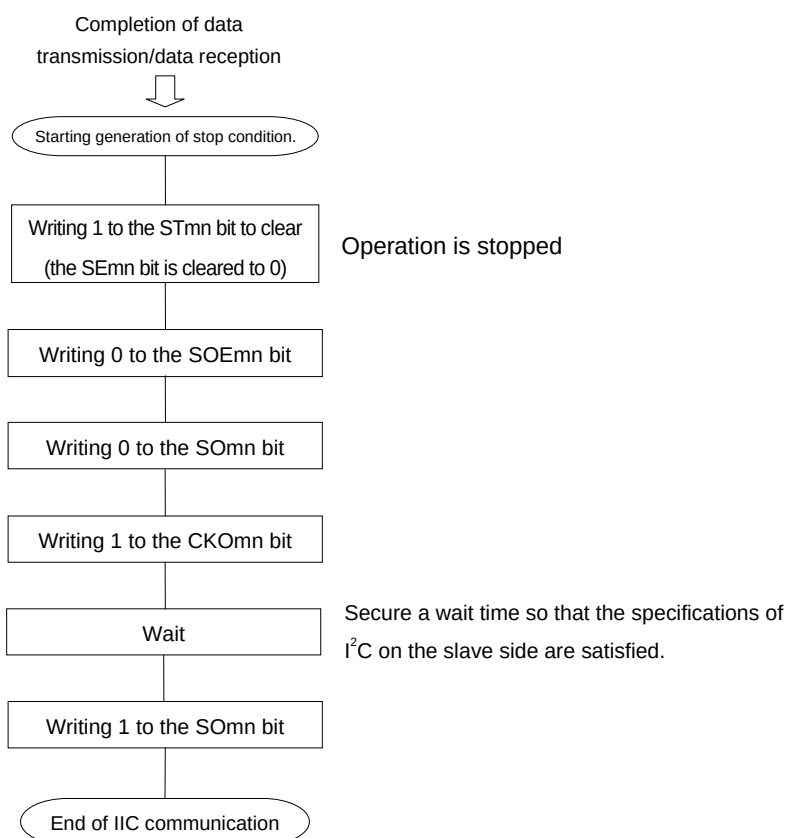
(1) 处理流程

图 17-139. 产生停止条件的时序图



注 接收操作过程中，在接收到最后数据之前，将串行输出允许寄存器 m (SOEm) 的 SOEmn 位设置为 0。

图 17-140. 产生停止条件的流程图



17.9.5 计算传送速率

简化 I²C(IIC00、IIC01、IIC10、IIC11、IIC20、IIC21、IIC30、IIC31) 通信的传送速率可用以下计算式算出。

$$(\text{传送速率}) = \{\text{目标通道的操作时钟}(f_{\text{MCK}})\text{频率}\} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意事项 禁止设置 **SDRmn[15:9] = 0000000B**。请设置为 **SDRmn[15:9] = 0000001B** 或更大。

- 备注 1.** SDRmn[15:9]的值为 SDRmn 寄存器位 15 至位 9 的值(0000001B 至 1111111B)，即 1 至 127。
- 2.** m: 单元编号 (m = 0, 1)，n: 通道编号 (n = 0 至 3)，mn = 00 至 03, 10 至 13

操作时钟(f_{MCK}) 取决于串行时钟选择寄存器 m (SPSm) 以及串行模式寄存器 mn (SMRmn)的位 15 (CKSmn)。

表 17-5. 简化 I²C 操作时钟的选择

SMRmn 寄存器	SPSm 寄存器								操作时钟(f _{CLK}) [※]	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f _{CLK} = 32 MHz
0	X	X	X	X	0	0	0	0	f _{CLK}	32 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	16 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	8 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	4 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	f _{CLK} /2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	f _{CLK} /2 ¹³	3.9 kHz
	X	X	X	X	1	1	1	0	f _{CLK} /2 ¹⁴	1.95 kHz
	X	X	X	X	1	1	1	1	f _{CLK} /2 ¹⁵	977 Hz
1	0	0	0	0	X	X	X	X	f _{CLK}	32 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	16 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	8 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	4 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	15.63 kHz
	1	1	0	0	X	X	X	X	f _{CLK} /2 ¹²	7.81 kHz
	1	1	0	1	X	X	X	X	f _{CLK} /2 ¹³	3.9 kHz
	1	1	1	0	X	X	X	X	f _{CLK} /2 ¹⁴	1.95 kHz
	1	1	1	1	X	X	X	X	f _{CLK} /2 ¹⁵	977 Hz

注 更改被选为 f_{CLK} 的时钟时（通过更改系统时钟控制寄存器(CKC)的值），必须在停止串行阵列单元(SAU)操作（串行通道停止寄存器 m (STm) = 000FH）之后才可以执行。

备注 1. X:忽略

2. m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), mn = 00 至 03, 10 至 13

$f_{MCK} = f_{CLK} = 32 \text{ MHz}$ 时的 I²C 传送速率的设置示例如下所示。

I ² C 传送模式 (希望传送速率)	$f_{CLK} = 32 \text{ MHz}$			
	操作时钟(f_{MCK})	SDRmn[15:9]	计算传送速率	与希望传送速率之间的误差
100 kHz	$f_{CLK}/2$	79	100 kHz	0.0%
400 kHz	f_{CLK}	39	400 kHz	0.0%
1 MHz	$f_{CLK}/2$	7	1 MHz	0.0%

17.9.6 简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)通信时的发生错误时的处理步骤

简化 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)通信时的发生错误时的处理步骤如图 17-141 和图 17-142 所示。

图 17-141.发生溢出错误时的处理步骤

软件操作	硬件状态	备注
读取串行数据寄存器 mn (SDRmn)。	SSRmn寄存器的BFFmn位被设置为0, 并允许通道n接收数据。	这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。
读取串行状态寄存器 mn (SSRmn)。		识别出错误类型, 并用读取值来清除错误标志。
将1写入串行标志清除触发寄存器 mn (SIRmn)。	错误标志被清除。	将SSRmn寄存器的读取值直接写入 SIRmn寄存器, 从而可以只清除读取时的错误。

图 17-142.发生简化 I²C 模式奇偶校验错误 (ACK 错误) 时的处理步骤

软件操作	硬件状态	备注
读取串行数据寄存器 mn (SDRmn)。	SSRmn寄存器的BFFmn位被设置为0, 并允许通道n接收数据。	这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。
读取串行状态寄存器 mn (SSRmn)。		识别出错误类型, 并用读取值来清除错误标志。
写入串行标志清除触发寄存器mn (SIRmn)。	错误标志被清除。	将SSRmn寄存器的读取值直接写入 SIRmn寄存器, 从而可以只清除读取时的错误。
将串行通道停止寄存器m(STm)的STmn位设置为1。	串行通道允许状态寄存器m (SEm)的SEmn位被设置为0, 通道n 停止工作。	因为没有返回ACK, 所以从属没有做好接收的准备。因此, 创建停止条件并释放总线, 再一次从开始条件起开始通信。或者也可以产生重启条件, 从地址发送开始重新执行发送。
创建停止条件。		
创建开始条件。		
将串行通道开始寄存器m(SSm)的SSmn位设置为1。	串行通道允许状态寄存器m (SEm)的SEmn位被设置为1, 并允许操作通道n。	

备注 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00 至 03, 10 至 13

第十八章 串行接口 IICA

串行接口 IICA 的通道数量因产品而异。

	30, 32, 36, 40, 44, 48, 52, 56, 64 针	80, 100 针
通道	1 通道	2 通道

注意事项 本章的下述内容大多是以 64 针产品为例。

18.1 串行接口 IICA 的功能

串行接口 IICA 具备如下三种模式。

(1) 操作停止模式

不执行串行传输时使用该模式。可以降低功耗。

(2) I²C 总线模式 (支持多主)

该模式为通过以下两条线路与多个设备之间进行 8 位数据传送：串行时钟 (SCLA0) 线路和串行数据总线 (SDAA0) 线路。

该模式符合 I²C 总线格式，主可以产生并通过串行数据总线向从属发送“开始条件”、“地址”、“传送方向指示”、“数据”和“停止条件”数据。从属可以通过硬件自动检测出这些接收到的状态和数据。这个功能可以简化应用程序中控制 I²C 总线的部分。

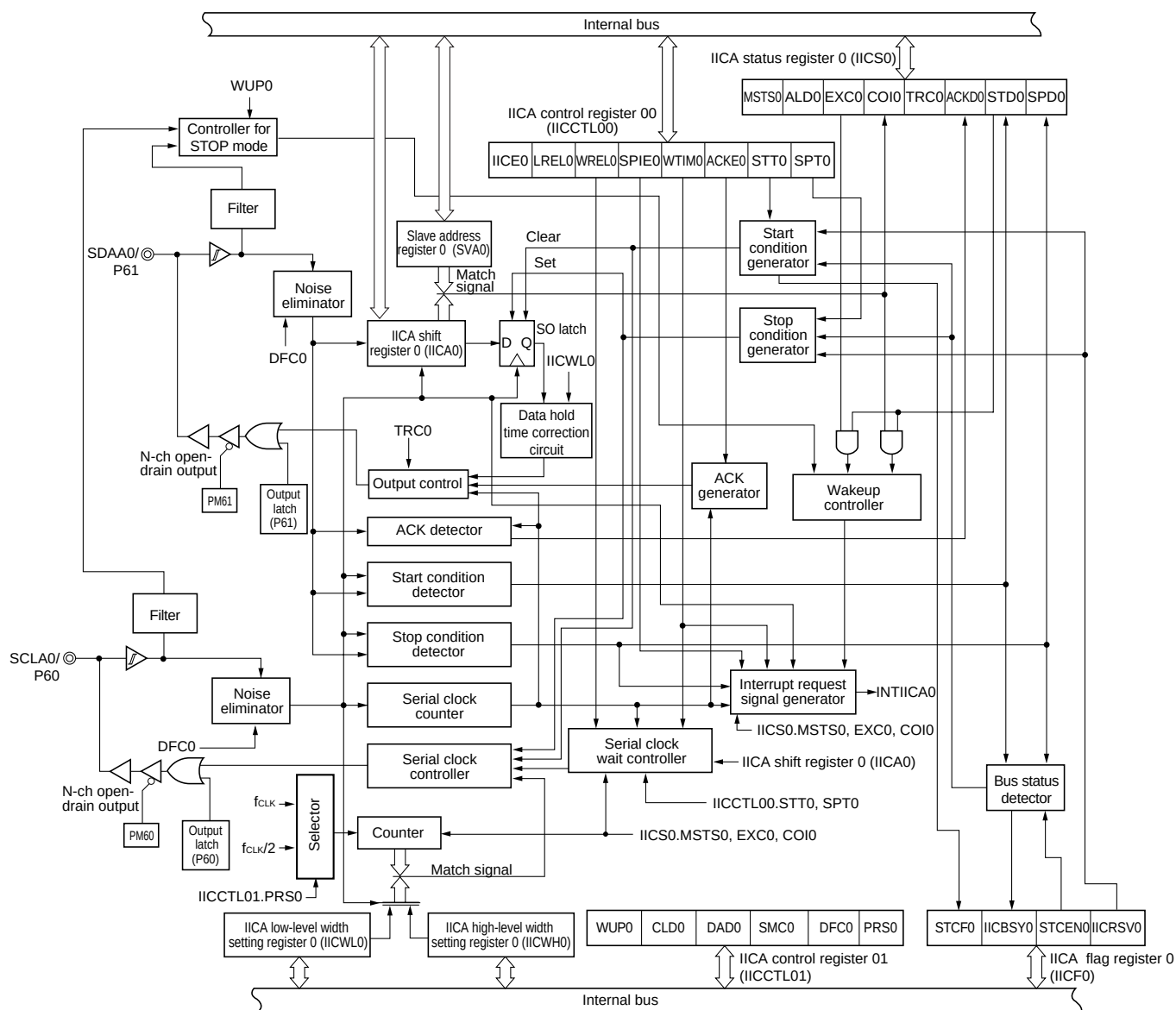
由于 SCLA0 和 SDAA0 引脚被用于开路漏极输出，因此串行接口 IICA 中，串行时钟线和串行数据总线上须设有上拉电阻。

(3) 唤醒模式

当在 STOP 模式下收到来自自主的扩展代码或者本地地址时，可以通过产生中断请求信号(INTIICA0) 来解除 STOP 模式。这可以用 IICA 控制寄存器 01 (IICCTL01)的 WUP0 位来设置。

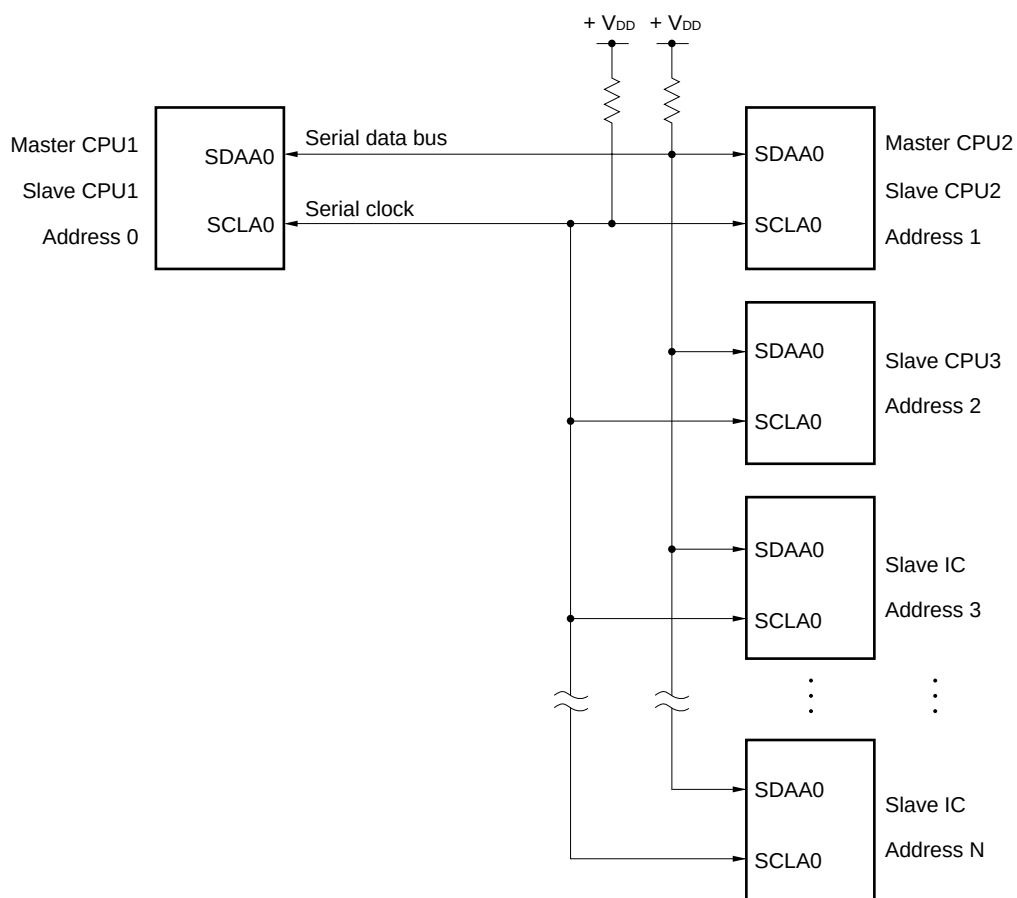
串行接口 IICA 的框图如图 18-1 所示。

图 18-1. 串行接口 IICA 的框图



串行总线配置示例如图 18-2 所示。

图 18-2. 使用 I²C 总线的串行总线配置示例



18.2 串行接口 IICA 的配置

串行接口 IICA 具包含以下硬件。

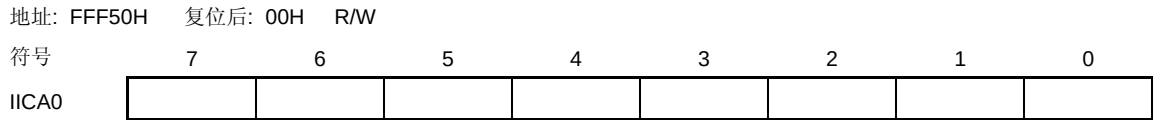
表 18-1. 串行接口 IICA 的配置

项目	配置
寄存器	IICA 移位寄存器 0 (IICA0) 从属地址寄存器 0 (SVA0)
控制寄存器	外围允许寄存器 0 (PER0) IICA 控制寄存器 00 (IICCTL00) IICA 状态寄存器 0 (IICS0) IICA 标志寄存器 0 (IICF0) IICA 控制寄存器 01 (IICCTL01) IICA 低电平宽度设置寄存器 0 (IICWL0) IICA 高电平宽度设置寄存器 0 (IICWH0) 端口模式寄存器 6 (PM6) 端口寄存器 6 (P6)

(1) IICA 移位寄存器 0 (IICA0)

IICA0 寄存器与串行时钟同步，用于将 8 位的串行数据转换为 8 位的并行数据，并将 8 位的并行数据转换为 8 位的串行数据。IICA0 寄存器可以用于发送和接收。
可以通过写入和读取 IICA0 寄存器来控制实际的发送和接收操作。
在等待期间，通过向 IICA0 寄存器写入数据以解除等待，并开始传送数据。
使用 8 位存储器操作指令设置 IICA0 寄存器。
产生复位信号后，清除 IICA0 寄存器为 00H。

图 18-3. IICA 移位寄存器 0 (IICA0)的格式



- 注意事项**
1. 不要在数据传送过程中向 IICA0 寄存器写入数据。
 2. 只能在等待期间写入或读取 IICA0 寄存器。除了等待期间，还禁止在通信状态下存取 IICA0 寄存器。
然而，当器件用作主时，只能在通信触发位(STT0)被设置为 1 之后写入 IICA0 寄存器一次。
 3. 当预约通信时，在检测到由停止条件触发的中断之后将数据写入 IICA0 寄存器。

(2) 从属地址寄存器 0 (SVA0)

该寄存器在从属模式下存储 7 位本地地址：{A6, A5, A4, A3, A2, A1, A0}。
使用 8 位存储器操作指令设置 SVA0 寄存器。
然而，当 STD0 = 1（即检测到开始条件）时，禁止重写该寄存器。
产生复位信号后，清除 SVA0 寄存器为 00H。

图 18-4. 从属地址寄存器 0 (SVA0)的格式

地址: F0234H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 位 0 固定为 0。

(3) SO 锁存器

SO 锁存器用于保持 SDAA0 引脚的输出电平。

(4) 唤醒模式

当该寄存器接收到的地址与设置至从属地址寄存器 0 (SVA0)的地址值相匹配时，或者当接收到扩展代码时，该电路将产生一个中断请求 (INTIICA0)。

(5) 串行时钟计数器

该计数器计算发送/接收操作期间输出/输入的串行时钟，并验证 8 位数据已被发送或接收。

(6) 中断请求信号发生电路

该电路控制产生中断请求信号(INTIICA0)。

I²C 中断请求由以下两种触发产生。

- 串行时钟的第 8 个或第 9 个时钟的下降沿（由 WTIM0 位设置）
- 当检测到停止条件时产生中断请求（由 SPIE0 位设置）

备注 WTIM0 位: IICA 控制寄存器 00 (IICCTL00)的位 3

SPIE0 位: IICA 控制寄存器 00 (IICCTL00)的位 4

(7) 串行时钟控制电路

在主模式下，该电路从采样时钟生成时钟并经由 SCLA0 引脚输出。

(8) 串行时钟等待控制电路

该电路控制等待时序。

(9) ACK 生成电路，停止条件检测电路，开始条件检测电路以及 ACK 检测电路

这些电路用来生成和检测各种状态。

(10) 数据保持时间修正电路

此电路生成串行时钟下降沿对应数据的保持时间。

(11) 开始条件生成电路

此电路会在 STT0 位被设置为 1 时生成开始条件。

但是，在通信预约功能禁止状态下 (IICRSV0 位 = 1)，且总线未释放 (IICBSY0 位 = 1)时，开始条件请求会被忽略，并且将 STCF0 位设为 1。

(12) 停止条件生成电路

此电路会在 SPT0 位被设置为 1 时生成停止条件。

(13) 总线状态检测电路

该电路通过检测开始和停止条件来检测总线是否被释放。

然而，由于操作之后不能立即检测出总线状态，需使用 STCEN0 位设置总线状态检测电路的初始状态。

备注 STT0 位: IICA 控制寄存器 00 (IICCTL00)的位 1
SPT0 位: IICA 控制寄存器 00 (IICCTL00)的位 0
IICRSV0 位: IICA 标志寄存器 0 (IICF0)的位 0
IICBSY0 位: IICA 标志寄存器 6 (IICF0)的位 0
STCF0 位: IICA 标志寄存器 0 (IICF0)的位 7
STCEN0 位: IICA 标志寄存器 0 (IICF0)的位 1

18.3 控制串行接口 IICA 的寄存器

串行接口 IICA 由以下八种寄存器控制。

- 外围允许寄存器 0 (PER0)
- IICA 控制寄存器 00 (IICCTL00)
- IICA 标志寄存器 0 (IICF0)
- IICA 状态寄存器 0 (IICS0)
- IICA 控制寄存器 01(IICCTL01)
- IICA 低电平宽度设置寄存器 0 (IICWL0)
- IICA 高电平宽度设置寄存器 0 (IICWH0)
- 端口模式寄存器 6 (PM6)
- 端口寄存器 6 (P6)

(1) 外围允许寄存器 0 (PER0)

该寄存器用于允许或禁止供应时钟至外围硬件。并且中止向未使用的硬件供应时钟，以减少电力消耗和噪声。

当使用串行接口 IICAm 时，务必将该寄存器的位 6、4 (IICA1EN, IICA0EN) 设置为 1。

使用 1 位或 8 位存储器操作指令设置 PER0 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 18-5. 外围允许寄存器 0 (PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER0	RTCEN	IICA1EN [※]	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN [※]	TAU0EN

IICAmEN	串行接口 IICAm 输入时钟供应的控制
0	停止输入时钟供应。 • 不可以写入串行接口 IICAm 所使用的 SFR。 • 串行接口 IICAm 处于复位状态。
1	允许输入时钟供应。 • 可以读取/写入串行接口 IICAm 所使用的 SFR。

注 仅限 80、100 针产品。

备注 1. 在设置串行接口 IICAm 时，务必先将 IICAmEN 位设置为 1。如果 IICAmEN = 0，将忽略对串行接口 IICAm 控制寄存器进行的写操作，而且寄存器的读取值均为初始值（端口模式寄存器 6 (PM6)和端口寄存器 6 (P6)除外）。

2. 务必将以下位清除为 0。

30、32、36、40、44、48、52、64 针产品：位 1、6

备注 m = 0, 1

(2) IICA 控制寄存器 00 (IICCTL00)

该寄存器用于允许/停止 I²C 操作、设置等待时间和设置其他 I²C 操作。

使用 1 位或 8 位存储器操作指令设置 IICCTL00 寄存器。但是，在 IICE0 = 0 时或者等待期间，可以设置 SPIE0、WTIM0 和 ACKE0 位。可以在将 IICE0 位从“0”设置为“1”时，同时设置这些位。

产生复位信号后，清除该寄存器为 00H。

图 18-6. IICA 控制寄存器 00 (IICCTL00)的格式 (1/4)

地址: F0230H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICCTL00	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	允许 I ² C 操作
0	停止操作。将 IICA 状态寄存器 0 (IICS0) 复位 ^{注1} 。停止内部操作。
1	允许操作。
SCLA0 和 SDAA0 线路是高电平时，请确保将该位设置为(1)。	
清除条件 (IICE0 = 0)	设置条件 (IICE0 = 1)
- 由指令清除 - 复位	由指令设置

LREL0 ^{注2,3}	退出通信
0	正常操作
1	从当前通信退出，并设置为待机模式。执行后该位自动清除为 0。 当接收到本地无关扩展码等情况下使用。 SCLA0 和 SDAA0 线路被设置为高阻状态。 IICA 控制寄存器 00 (IICCTL00) 和 IICA 状态寄存器 0 (IICS0) 的下列标志被清除为 0。 • STT0 • SPT0 • MSTS0 • EXC0 • COI0 • TRC0 • ACKD0 • STD0
从通信中退出之后的待机状态一直保持有效，直到满足下面的通信参加条件。 • 检测到停止条件后，在主模式下重新开始。 • 在检测到开始条件以后，发生地址匹配或扩展代码接收。	
清除条件 (LREL0 = 0)	设置条件 (LREL0 = 1)
- 执行后自动清除。 - 复位	由指令设置

WREL0 ^{注2,3}	取消等待
0	不取消等待
1	取消等待。等待取消以后，该设置被自动清除。
发送模式下 (TRC0 = 1)，在等待第九个时钟脉冲的过程中设置 WREL0 位（取消等待）时，SDAA0 线路将进入高阻抗状态 (TRC0 = 0)。	
清除条件 (WREL0 = 0)	设置条件 (WREL0 = 1)
- 执行后自动清除。 - 复位	由指令设置

注 1. IICA 状态寄存器 0 (IICS0)、IICA 标志寄存器 0 (IICF0) 的 STCF0 和 IICBSY0 位以及 IICA 控制寄存器 01 (IICCTL01) 的 CLD0 和 DAD0 位复位。

2. 当 IICE0 为 0 时，该位的信号无效。

3. LREL0 和 WREL0 位的读取值始终为 0。

注意事项 如果在 SCLA0 线路为高电平、SDAA0 线路为低电平且开启数字滤波器 (IICCTL01 寄存器的 DFC0 位 = 1) 时允许 I²C 操作 (IICE0 = 1)，则会立即检测到开始条件。这种情况下，在允许 I²C 操作 (IICE0 = 1) 之后，接着通过 1 位存储器操作指令，将 LREL0 位设置(1)。

图 18-6. IICA 控制寄存器 00 (IICCTL00)的格式 (2/4)

SPIE0 ^{注1}	当检测到停止条件时，允许/禁止产生中断请求
0	禁止
1	允许
如果 IICA 控制寄存器 01 (IICCTL01)的 WUP0 位为 1，即使 SPIE0 = 1，也不会产生停止条件中断。	
清除条件(SPIE0 = 0)	设置条件(SPIE0 = 1)
- 由指令清除 - 复位	由指令设置

WTIM0 ^{注1}	控制产生等待和中断请求
0	在第 8 个时钟的下降沿产生中断请求信号。 主模式： 在输出 8 个时钟以后，时钟输出被设置为低电平并等待。 从属模式： 在输入 8 个时钟以后，时钟被设置为低电平并等待主。
1	在第 9 个时钟的下降沿产生中断请求信号。 主模式： 在输出 9 个时钟以后，时钟输出被设置为低电平并等待。 从属模式： 在输入 9 个时钟以后，时钟被设置为低电平并等待主。
地址传送期间，不论该位如何设置，均将在第 9 个时钟的下降沿处产生中断。地址传送完成后该位的设置有效。主模式下，在地址传送期间的第 9 个时钟下降沿处，插入一个等待。对于接收到本地地址的从属，会在执行应答(ACK)之后的第 9 个时钟下降沿处插入一个等待。但是，当从属已经接收到扩展代码时，则会在第 8 个时钟下降沿处插入一个等待。	
清除条件(WTIM0 = 0)	设置条件(WTIM0 = 1)
- 由指令清除 - 复位	由指令设置

ACKE0 ^{注1, 2}	应答控制
0	禁止应答
1	允许应答。在第 9 个时钟期间，SDAA0 线路设置为低电平。
清除条件(ACKE0 = 0)	设置条件(ACKE0 = 1)
- 由指令清除 - 复位	由指令设置

- 注 1. 当 IICE0 为 0 时，该位的信号无效。在这个期间设置该位。
2. 在地址传送期间且代码不是扩展代码时，设置值无效。
当器件为从属且地址匹配时，不论设置值如何均产生应答。

图 18-6. IICA 控制寄存器 00 (IICCTL00)的格式 (3/4)

STT0 ^注	开始条件触发
0	不产生开始条件。
1	当总线被释放 (待机状态下, 当 IICBSY = 0): 当这个位被设置为(1), 产生一个开始条件 (作为主启动)。 当第三方正在通信时: - 当允许通信预约功能 (IICRSV = 0) 用作开始条件预约标志。设置为 1 时, 会在释放总线后自动产生开始条件。 - 当禁止通信预约功能 (IICRSV = 1) 即使该位被设置为(1), 也将清除 STT0 位, 并将 STT0 清除标志(STCF0)设置为(1)。不产生开始条件。 处于等待状态 (作为主): 解除等待后产生重启条件。
设置时序的有关注意事项: - 主接收: 传输期间不能设置为 1。只能在 ACKE0 位已经清除为 0, 且从属已经完成接收时, 才可在等待期间设置为 1。 - 主发送: 在应答期间, 通常不能产生开始条件。在第 9 个时钟输出后的等待期间设置为 1。 - 不能与停止条件触发(SPT0)同时设置为 1。 - 一旦将 STT0 设置为(1), 则不允许在清除条件之前再次将其设置为(1)。	
清除条件(STT0 = 0)	设置条件(STT0 = 1)
- 在禁止通信预约时, 通过将 STT0 位设置为 1 来进行清除。 - 仲裁失败后清除。 - 主产生开始条件后清除。 - 由 LREL0 = 1 清除 (退出通信) - 当 IICE0 = 0 (停止操作) - 复位	由指令设置

注 当 IICE0 为 0 时, 该位的信号无效。

备注 1. 设置数据之后读取时, 位 1 (STT0) 为 0。

2. IICRSV0: IIC 标志寄存器 0 (IICF0)的位 0

STCF0: IIC 标志寄存器 7 (IICF0)的位 0

图 18-6. IICA 控制寄存器 00 (IICCTL00)的格式 (4/4)

SPT0	停止条件触发
0	不产生停止条件。
1	产生停止条件（作为主的传输结束）。
设置时序的有关注意事项： - 主接收：传输期间不能设置为 1。 只能在 ACKE0 位已经清除为 0，且从属已经完成接收时，才可在等待期间设置为 1。 - 主发送：在应答期间，通常不能产生停止条件。在第 9 个时钟输出后的等待期间对其进行设置。 - 不能与开始条件触发(STT0)同时设置为 1。 - 只有在主模式下，才可将 SPT0 位设置为 1。 - 在 WTIMO 位已经清除为 0 时，如果在 8 个时钟输出后的等待期间将 SPT0 位设置为 1，注意，将在第 9 个时钟的高电平期间产生停止条件。在 8 个时钟输出后的等待期间，WTIMO 位应该从 0 改变为 1，且在第 9 个时钟输出后的等待期间应该将 SPT0 位设置为 1。 - 一旦将 STT0 设置为(1)，则不允许在清除条件之前再次将其设置为(1)。	
清除条件(SPT0 = 0)	设置条件(SPT0 = 1)
- 仲裁失败后清除。 - 检测到停止条件后，自动清除。 - 由 LREL0 = 1 清除 (退出通信) - 当 IICE0 = 0 (停止操作) - 复位	由指令设置

注意事项 当 IICA 状态寄存器 0 (IICS0)的位 3 (TRC0) 被设置为 1（传输状态）时，IICA 控制寄存器 00 (IICCTL00)的位 5 (WREL0) 将在第 9 个时钟被设置为 1 并取消等待，之后，TRC0 位被清除（接收状态），SDAA0 线路设置为高阻抗。通过写入 IICA 移位寄存器 0 来解除当 TRC0 位为 1（发送状态）时执行的等待。

备注 设置数据之后读取时，位 0 (SPT0) 为 0。

(3) IICA 状态寄存器 0 (IICS0)

该寄存器指示 I²C 的状态。

仅当 STT0 = 1 且处于等待期间时，可以使用 1 位或 8 位的存储器操作指令读取 IICS0 寄存器。

产生复位信号后，清除该寄存器为 00H。

注意事项 当在 STOP 模式下允许地址匹配唤醒功能 (WUP0 = 1) 时，禁止读取 IICS0 寄存器。当 WUP0 位从 1 改变为 0（停止唤醒操作）时，无论是否有 INTIICA0 中断请求，检测到下一个开始条件或停止条件时才会反映状态的变化。因此，要使用唤醒功能，须允许(SPIE0 = 1)检测到停止条件时产生中断，并在检测到中断之后读取 IICS0 寄存器。

备注 STT0: IICA 控制寄存器 00 (IICCTL00) 的位 1

WUP0: IICA 控制寄存器 01 (IICCTL01) 的位 7

图 18-7. IICA 状态寄存器 0 (IICS0) 的格式 (1/3)

地址: FFF51H 复位后: 00H R

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	主状态检查标志	
0	从属状态或通信待机状态	
1	主通信状态	
清除条件(MSTS0 = 0)		设置条件(MSTS0 = 1)
- 当检测到停止条件时 - 当 ALD0 = 1 (仲裁失败) - 由 LREL0 = 1 清除 (退出通信) - 当 IICE0 位由 1 变为 0 (停止操作) - 复位		当产生开始条件时

ALD0	仲裁失败的检测	
0	该状态表示不存在总线仲裁，或仲裁结果为“成功”。	
1	该状态表示仲裁结果为“失败”。MSTS0 位被清除为 0。	
清除条件(ALD0 = 0)		设置条件(ALD0 = 1)
- IICS0 寄存器被读取后自动清除^註 - 当 IICE0 位由 1 变为 0 (停止操作) - 复位		当仲裁结果为“失败”。

注 对于 IICS0 寄存器的其它位执行 1 位存储器操作指令时该寄存器也被清除。因此，使用 ALD0 位时，要在读取其他位的数据之前读取该位的数据。

备注 LREL0: IICA 控制寄存器 00 (IICCTL00) 的位 6

IICE0: IICA 控制寄存器 00 (IICCTL00) 的位 7

图 18-7. IICA 状态寄存器 0 (IICS0)的格式 (2/3)

EXC0	扩展码接收的检测	
0	未接收到扩展码。	
1	接收到扩展码。	
清除条件(EXC0 = 0)		设置条件(EXC0 = 1)
- 当检测到开始条件时 - 当检测到停止条件时 - 由 LREL0 = 1 清除 (退出通信) - 当 IICE0 位由 1 变为 0 (停止操作) - 复位		当接收地址数据的高 4 位是“0000”或“1111”时 (在第 8 个时钟的上升沿设置)。

COI0	匹配地址的检测	
0	地址不匹配。	
1	地址匹配。	
清除条件(COI0 = 0)		设置条件(COI0 = 1)
- 当检测到开始条件时 - 当检测到停止条件时 - 由 LREL0 = 1 清除 (退出通信) - 当 IICE0 位由 1 变为 0 (停止操作) - 复位		当接收到的地址和本地地址(从属地址寄存器 0 (SVA0))匹配时 (在第 8 个时钟的上升沿设置)。

TRC0	发送/接收状态的检测	
0	接收状态 (除发送状态外)。SDAA0 线路被设置为高阻态。	
1	发送状态。允许 SO0 锁存器内的数值输出至 SDAA0 线路 (在第一个字节的第 9 个时钟下降沿开始生效)。	
清除条件(TRC0 = 0)		设置条件(TRC0 = 1)
<主和从属的双方> - 当检测到停止条件时 - 由 LREL0 = 1 清除 (退出通信) - 当 IICE0 位由 1 变为 0 (停止操作) - 由 WREL0 = 1[※]清除(取消等待) - 当 ALD0 位由 0 变为 1 (仲裁失败) - 复位 - 不用于通信时 (MSTS0, EXC0, COI0 = 0) <主> - 当输出“1”至第一个字节的 LSB (传送方向指示位) 时。 <从属> - 当检测到开始条件时 - 将“0”输入至第一个字节的 LSB (传送方向指示位) 时。		<主> - 当产生开始条件时 - 当 (在地址传送期间) 将 0 (主发送) 输出至第一个字节的 LSB (传送方向指示位) 时 <从属> - 当 (在地址传送期间) 主将 1 (从属发送) 输入至第一个字节的 LSB (传送方向指示位) 时

注 当 IICA 状态寄存器 0 (IICS0)的位 3 (TRC0) 被设置为 1 (传输状态) 时, IICA 控制寄存器 00 (IICCTL00)的位 5 (WREL0) 将在第 9 个时钟被设置为 1 并取消等待, 之后, TRC0 位被清除 (接收状态), SDAA0 线路设置为高阻抗。通过写入 IICA 移位寄存器 0 来解除当 TRC0 位为 1 (发送状态) 时执行的等待。

备注 LREL0: IICA 控制寄存器 00 (IICCTL00)的位 6
IICE0: IICA 控制寄存器 00 (IICCTL00)的位 7

图 18-7. IICA 状态寄存器 0 (IICS0)的格式 (3/3)

ACKD0	应答的检测 ($\overline{\text{ACK}}$)
0	未检测到应答。
1	检测到应答。
清除条件(ACKD0 = 0)	
- 当检测到停止条件时 - 在下一字节第 1 个时钟的上升沿。 - 由 LREL0 = 1 清除 (退出通信) - 当 IICE0 位由 1 变为 0 (停止操作) - 复位	
设置条件(ACKD0 = 1)	
在 SCLA0 线路第 9 个时钟的上升沿将 SDAA0 线路设置为低电平后	

STD0	开始条件的检测
0	未检测到开始条件。
1	检测到开始条件。这表示处于地址传送期间。
清除条件(STD0 = 0)	
- 当检测到停止条件时 - 在传送地址后下一个字节第一个时钟的上升沿。 - 由 LREL0 = 1 清除 (退出通信) - 当 IICE0 位由 1 变为 0 (停止操作) - 复位	
设置条件(STD0 = 1)	
当检测到开始条件时	

SPD0	停止条件的检测
0	未检测到停止条件。
1	检测到停止条件。终结主通信，并且释放总线。
清除条件(SPD0 = 0)	
- 设置该位后，在检测到开始条件时，地址传送位的第 1 个时钟上升沿处 - 当 IICE0 位由 1 变为 0 (停止操作) - 当 WUP0 位由 1 变为 0 - 复位	
设置条件(SPD0 = 1)	
当检测到停止条件时	

备注 LREL0: IICA 控制寄存器 00 (IICCTL00)的位 6

IICE0: IICA 控制寄存器 00 (IICCTL00)的位 7

(4) IICA 标志寄存器 0 (IICF0)

该寄存器设置 I²C 的操作模式，并指示 I²C 总线的状态。

使用 1 位或 8 位存储器操作指令设置 IICF0 寄存器。然而，STT0 清除标志 (STCF0)和 I²C 总线状态标志 (IICBSY0) 位为只读位。

IICRSV0 位可用于允许/禁止通信预约功能。

STCEN0 位可用于为 IICBSY 位设置初始值。

只能在禁止 I²C 操作 (IICA 控制寄存器 00 (IICCTL00)的位 7 (IICE0) = 0) 时写入 IICRSV0 和 STCEN0 位。允许操作时，IICF0 寄存器可以被读取。

产生复位信号后，清除该寄存器为 00H。

图 18-8. IICA 标志寄存器 0 (IICF0)的格式

地址: FFF52H

复位后: 00H

R/W^注

符号	<7>	<6>	5	4	3	2	<1>	<0>
IICF0	STCF0	0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0 清除标志
0	产生开始条件。
1	不产生开始条件。清除 STT0 标志。
清除条件 (STCF0 = 0)	设置条件 (STCF0 = 1)
- 由 STT0 = 1 清除 - 当 IICE0 = 0 (停止操作) - 复位	当禁止通信预约(IICRSV0 = 1)时, 不能产生开始条件和 STT0 位被清除为 0。

IICBSY0	I ² C 总线状态标志
0	总线释放状态 (当 STCEN0 = 1 时的通信初始状态)
1	总线通信状态 (当 STCEN0 = 0 时的通信初始状态)
清除条件 (IICBSY0 = 0)	设置条件 (IICBSY0 = 1)
- 当检测到停止条件时 - 当 IICE0 = 0 (停止操作) - 复位	- 当检测到开始条件时 - 当 STCEN0 = 0 时的 IICE0 位的设置

STCEN0	初始化开始允许触发
0	在允许操作 (IICE0 = 1)后, 通过检测停止条件允许产生开始条件。
1	在允许操作 (IICE0 = 1)后, 可不通过检测停止条件而允许产生开始条件。
清除条件 (STCEN0 = 0)	设置条件 (STCEN0 = 1)
- 由指令清除 - 当检测到开始条件时 - 复位	由指令设置

IICRSV0	通信预约功能禁止位
0	允许通信预约。
1	禁止通信预约。
清除条件 (IICRSV0 = 0)	设置条件 (IICRSV0 = 1)
- 由指令清除 - 复位	由指令设置

注 位 6 和位 7 为只读位。

- 注意事项
1. 只能在停止操作 (IICE0 = 0)时才可以写入 STCEN 位。
 2. 当 STCEN0 = 1 时, 不论实际总线状态如何都认为处于总线释放状态 (IICBSY0 = 0), 因此, 要产生第一个开始条件 (STT0 = 1)时, 为了避免破坏其它通信, 必须确认没有正在进行的第三方通信行。
 3. 只能在停止操作(IICE0 = 0)时才可以写入 IICRSV0。

备注 STT0: IICA 控制寄存器 00 (IICCTL00)的位 1
IICE0: IICA 控制寄存器 00 (IICCTL00)的位 7

(5) IICA 控制寄存器 01 (IICCTL01)

该寄存器用于设置 I²C 的操作模式，并检测 SCLA0 和 SDAA0 引脚的状态。

使用 1 位或 8 位存储器操作指令设置 IICCTL01 寄存器。但是，CLD0 和 DAD0 位是只读位。

在禁止操作 I²C (IICA 控制寄存器 00 (IICCTL00) 的位 7 (IICE0) 为 0) 时设置 IICCTL01 寄存器 (WUP0 位除外)。产生复位信号后，清除该寄存器为 00H。

图 18-9. IICA 控制寄存器 01 (IICCTL01) 的格式 (1/2)

地址: F0231H 复位后: 00H R/W^{注1}

符号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	PRS0

WUP0	控制地址匹配唤醒
0	停止 STOP 模式下地址匹配唤醒功能的操作。
1	允许 STOP 模式下地址匹配唤醒功能的操作。
要在 WUP0 = 1 时切换至 STOP 模式，则须在将 WUP0 位设置为(1)的至少三个时钟周期之后执行 STOP 指令(参阅 图 18-22 设置 WUP0 = 1 的流程)。 在地址匹配或者收到扩展代码之后，将 WUP0 位清除为 (0)。可以通过清除 (0) WUP0 位进入后续通信。(必须在 WUP0 位清除为(0)之后才能解除等待以及写入发送数据。) 在 WUP0 = 1 时，当地址匹配或者收到扩展代码时，产生中断的时序与 WUP0 = 0 时产生中断的时序相同。(将发生时钟采样差异延迟。)另外，当 WUP0 = 1 时，即使 SPIE0 位被设置为 1，也不产生停止条件中断。 当通过串行接口 IICA 的中断以外的源设置 WUP0 = 0 时，在检测到后续开始条件或停止条件之前，不能执行主操作。如果不等待检测到后续开始条件或停止条件，则不得通过设置 STT0 位为(1) 来输出开始条件。	
清除条件(WUP0 = 0)	设置条件(WUP0 = 1)
由指令清除 (在地址匹配或接收扩展码后)	由指令设置 (当MSTS0、EXC0 和COI0 位为“0”，而且STD0 位也为“0” (不参与通信))^{注2}

注 1. 位 4 和位 5 为只读位。

2. 必须在如下所示的期间内确认 IICA 状态寄存器 0 (IICS0) 的状态并设置 WUP0 位。

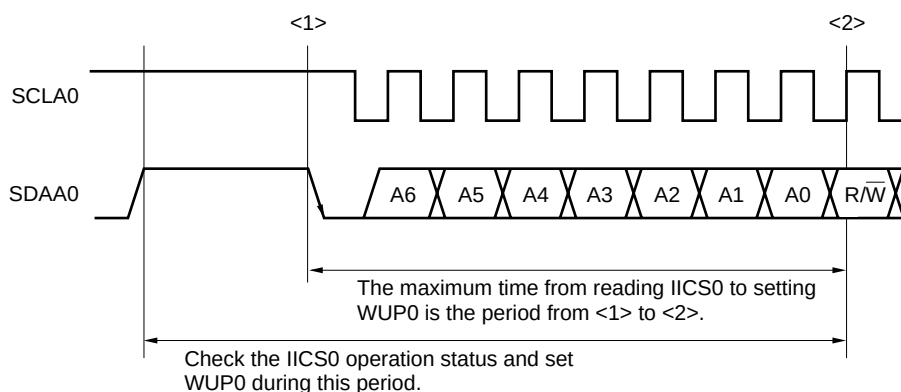


图 18-9. IICA 控制寄存器 01 (IICCTL01)的格式 (2/2)

CLD0	SCLA0 引脚电平的检测 (仅限 IICE0 = 1 时有效)	
0	SCLA0 引脚检测为低电平。	
1	SCLA0 引脚检测为高电平。	
清除条件(CLD0 = 0)		设置条件(CLD0 = 1)
- 当 SCLA0 引脚处于低电平 - 当 IICE0 = 0 (停止操作) - 复位		当 SCLA0 引脚处于高电平

DAD0	SDAA0 引脚电平的检测 (仅限 IICE0 = 1 时有效)	
0	SDAA0 引脚检测为低电平。	
1	SDAA0 引脚检测为高电平。	
清除条件(DAD0 = 0)		设置条件(DAD0 = 1)
- 当 SDAA0 引脚处于低电平 - 当 IICE0 = 0 (停止操作) - 复位		当 SDAA0 引脚处于高电平

SMC0	操作模式切换	
0	在标准模式下操作 (最大传送速率：100 kbps)。	
1	在快速模式下操作 (最大传送速率：400 kbps)或者增强快速模式 (最大传送速率：1 Mbps)。	

DFC0	数字滤波器操作控制	
0	数字滤波器 OFF。	
1	数字滤波器 ON。	
仅限快速模式下可以使用数字滤波器。 在快速模式下，无论 DFC0 位设置为(1)还是清除为(0)，传送时钟不变。 数字滤波器用于消除快速模式下的噪声。		

PRS0	操作时钟的分频	
0	选择 f _{CLK} 作为操作时钟。	
1	选择 f _{CLK} /2 作为操作时钟。	

注意事项 串行接口 IICA 操作时钟的最大工作频率为 20 MHz(Max.)。如果 f_{CLK} 超过 20 MHz, 则通过将 PRS0 位设置为 1 以设置时钟为 f_{CLK} /2。

备注 IICE0: IICA 控制寄存器 00 (IICCTL00)的位 7

(6) IICA 低电平宽度设置寄存器 0 (IICWL0)

该寄存器用于设置串行接口 IICA 输出的 SCLA0 引脚信号的低电平宽度 (t_{LOW})和数据保持时间 ($t_{HD:DAT}$)。数据保持时间取决于 IICWL 寄存器高 6 位的值。

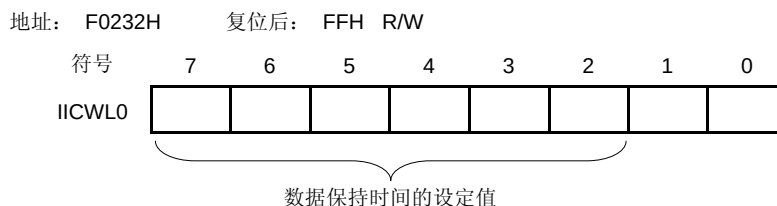
使用 8 位存储器操作指令设置 IICWL0 寄存器。

在禁止操作 I²C (IICA 控制寄存器 00 (IICCTL00)的位 7 (IICE0) 为 0) 时设置 IICWL0 寄存器。

产生复位信号后, 设置该寄存器为 FFH。

关于 IICWL0 寄存器的设置详情, 请参阅 18.4.2 利用 IICWL0 和 IICWH0 寄存器设置传送时钟。

图 18-10. IICA 低电平宽度设置寄存器 0 (IICWL0)的格式

**(7) IICA 高电平宽度设置寄存器 0 (IICWH0)**

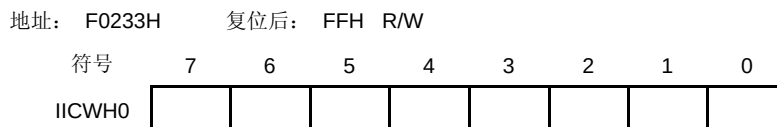
该寄存器用于设置串行接口 IICA 输出的 SCLA0 引脚信号的高电平宽度。

使用 8 位存储器操作指令设置 IICWH0 寄存器。

在禁止操作 I²C (IICA 控制寄存器 00 (IICCTL00)的位 7 (IICE0) 为 0) 时设置 IICWH0 寄存器。

产生复位信号后, 设置该寄存器为 FFH。

图 18-11. IICA 高电平宽度设置寄存器 0 (IICWH0)的格式



备注 关于如何利用 IICWL0 和 IICWH0 寄存器设置传送时钟的详情, 请参阅 18.4.2 利用 IICWL0 和 IICWH0 寄存器设置传送时钟。

(8) 端口模式寄存器 6 (PM6)

该寄存器按照 1 位单位设置端口 6 的输入/输出。

将 P60/SCLA0 引脚用作时钟 I/O 并将 P61/SDAA0 引脚用作串行数据 I/O 时，将 PM60 和 PM61 以及 P60 和 P61 的锁存器清除为 0。

在设置输出模式前，将 IICE0 位（IICA 控制寄存器 00 (IICCTL00)的位 7）设置为 1，因为 P60/SCLA0 和 P61/SDAA0 引脚在 IICE0 位为 0 时输出低电平（固定）。

使用 1 位或 8 位存储器操作指令设置 PM6 寄存器。

产生复位信号后，设置该寄存器为 FFH。

图 18-12. 端口模式寄存器 6 (PM6)的格式

地址: FFF26H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	PM63	PM62	PM61	PM60

PM6n	选择 P6n 引脚的输入/输出模式 (n = 0 至 3)
0	输出模式 (输出缓冲器 on)
1	输入模式 (输出缓冲器 off)

18.4 I²C 总线模式功能

18.4.1 引脚配置

串行时钟引脚 (SCLA0)和串行数据总线引脚 (SDAA0)的配置如下所示。

(1)SCLA0 该引脚用于串行时钟输入和输出。

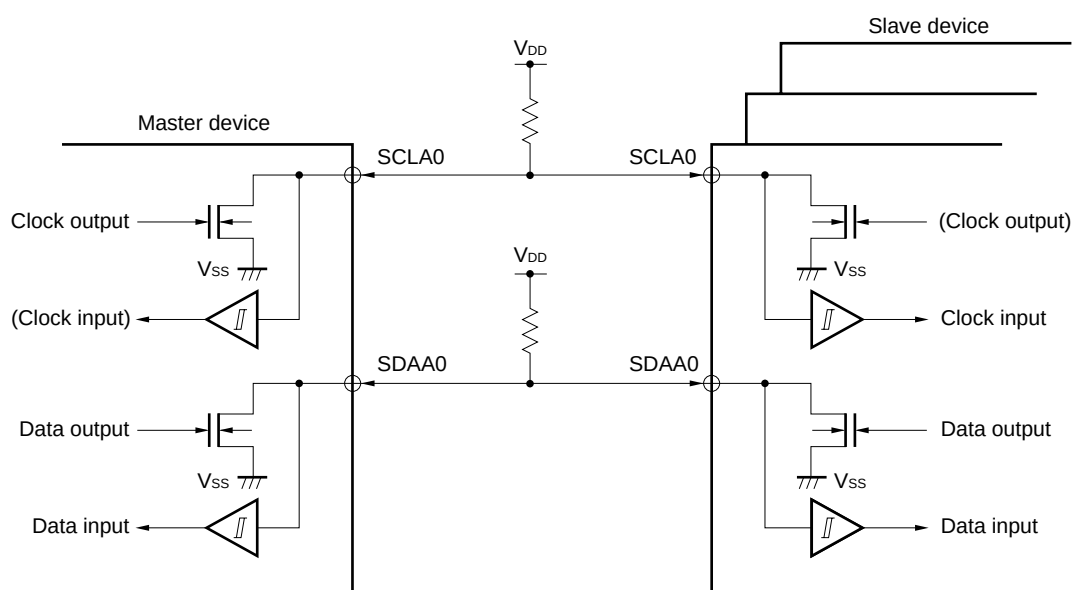
对于主和从属，该引脚都是 N 沟道漏极开路输出。输入为施密特输入。

(2)SDAA0 该引脚用于串行数据输入和输出。

对于主和从属，该引脚都是 N 沟道漏极开路输出。输入为施密特输入。

由于串行时钟线路和串行数据总线输出都是 N 沟道漏极开路输出，所以都需要外接上拉电阻。

图 18-13. 引脚配置图



18.4.2 利用 IICWL0 和 IICWH0 寄存器设置传送时钟

(1) 设置主方的传送时钟

$$\text{传送时钟} = \frac{f_{\text{CLK}}}{\text{IICWL0} + \text{IICWH0} + f_{\text{CLK}}(t_{\text{R}} + t_{\text{F}})}$$

此时，IICWL0 和 IICWH0 寄存器的最佳设置值如下所示。
(所有设置值的小数部分均经舍入处理。)

• 快速模式下

$$\begin{aligned}\text{IICWL0} &= \frac{0.52}{\text{Transfer clock}} \times f_{\text{CLK}} \\ \text{IICWH0} &= \left(\frac{0.48}{\text{Transfer clock}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}\end{aligned}$$

• 标准模式下

$$\begin{aligned}\text{IICWL0} &= \frac{0.47}{\text{Transfer clock}} \times f_{\text{CLK}} \\ \text{IICWH0} &= \left(\frac{0.53}{\text{Transfer clock}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}\end{aligned}$$

• 增强快速模式下

$$\begin{aligned}\text{IICWL0} &= \frac{0.50}{\text{Transfer clock}} \times f_{\text{CLK}} \\ \text{IICWH0} &= \left(\frac{0.50}{\text{Transfer clock}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}\end{aligned}$$

(2) 设置从属方的 IICWL0 和 IICWH0 寄存器

(所有设置值的小数部分均经舍入处理。)

• 快速模式下

$$\begin{aligned}\text{IICWL0} &= 1.3 \mu\text{S} \times f_{\text{CLK}} \\ \text{IICWH0} &= (1.2 \mu\text{S} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}\end{aligned}$$

• 标准模式下

$$\begin{aligned}\text{IICWL0} &= 4.7 \mu\text{S} \times f_{\text{CLK}} \\ \text{IICWH0} &= (5.3 \mu\text{S} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}\end{aligned}$$

• 增强快速模式下

$$\begin{aligned}\text{IICWL0} &= 0.50 \mu\text{S} \times f_{\text{CLK}} \\ \text{IICWH0} &= (0.50 \mu\text{S} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}\end{aligned}$$

(注意事项和备注如下页所示。)

注意事项 设置传送时钟时要注意最小 f_{CLK} 工作频率。串行接口 IICA 的最小 f_{CLK} 工作频率取决于操作模式。

快速模式: $f_{CLK} = 3.5 \text{ MHz (MIN.)}$

增强快速模式: $f_{CLK} = 10 \text{ MHz (MIN.)}$

标准模式: $f_{CLK} = 1 \text{ MHz (MIN.)}$

此外, 串行接口 IICA 操作时钟的最大工作频率为 20 MHz(Max.)。如果 f_{CLK} 超过 20 MHz, 则通过将 IICCTL01 寄存器的 PRS0 位设置为 1 以设置时钟为 $f_{CLK}/2$ 。

备注 1. 要分开计算 SDAA0 和 SCLA0 信号的上升时间 (t_R) 和下降时间 (t_F), 因为它们因上拉电阻和线路负载而存在差异。

2. IICWL0: IICA 低电平宽度设置寄存器 0

IICWH0: IICA 高电平宽度设置寄存器 0

t_F : SDAA0 和 SCLA0 信号的下降时间

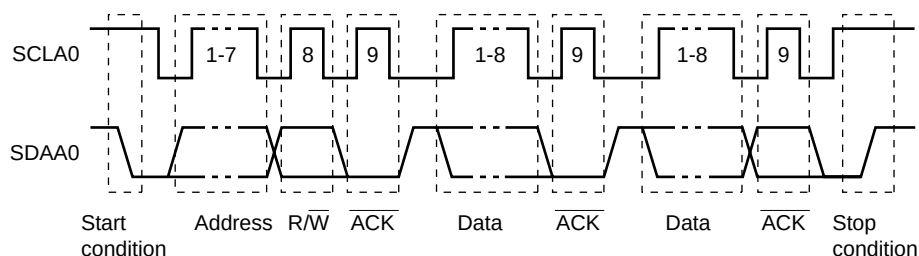
t_R : SDAA0 和 SCLA0 信号的上升时间

f_{CLK} : CPU/外围硬件时钟频率

18.5 I²C 总线定义和控制方法

以下章节描述 I²C 总线的串行数据通信格式和 I²C 总线使用的信号。通过 I²C 总线的串行数据总线输出“开始条件”、“地址”、“数据”和“停止条件”时的传送时序如图 18-14 所示。

图 18-14. I²C 总线串行数据传送时序



由主生成开始条件，从属地址和停止条件。

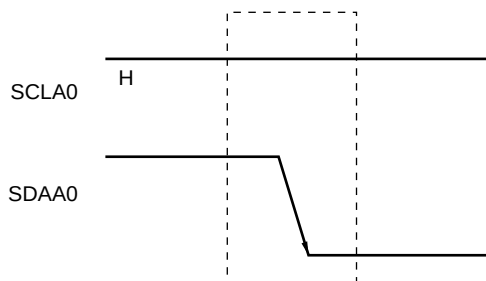
应答(ACK) 信号既可由主产生，也可由从属产生 (通常情况下，它由接收 8 位数据的器件输出)。

串行时钟 (SCLA0) 由主连续输出。但是，从属可以延长 SCLA0 引脚的低电平期间，并可插入等待。

18.5.1 开始条件

当 SCLA0 引脚为高电平而且 SDAA0 引脚由高电平变为低电平时，形成一个开始条件。SCLA0 和 SDAA0 引脚的开始条件是开始串行传送时主对于从属产生的信号。当器件用作从属时，可以检测到开始条件。

图 18-15. 开始条件



检测到停止条件(SPD0: IICA 状态寄存器 0 (IICS0)的位 0 = 1)后，当 IICA 控制寄存器 00 (IICCTL00)的位 1 (STT0) 被设置为 (1) 时，输出开始条件。当检测到开始条件时，IICS0 寄存器的位 1 (STD0) 被设置为 (1)。

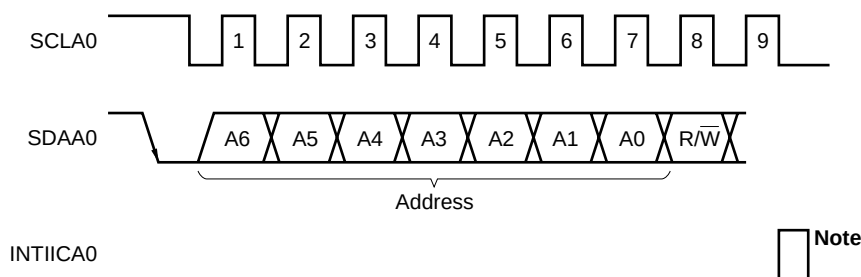
18.5.2 地址

由开始条件的后续 7 位数据定义地址。

地址是为了从通过总线连接至主的从属器件中选出一个而被输出的 7 位数据段。所以，每一个接入总线的从属必须具有一个独一无二的地址。

从属通过硬件检测开始条件，并检查 7 位地址数据与从属地址寄存器 0 (SVA0)中保存的数据值是否匹配。如果地址数据和 SVA0 寄存器内储存的数据值相匹配，这个从属就被选择，并且和主进行通信，直到主产生一个开始条件或结束条件。

图 18-16. 地址



注 在从属操作期间，如果接收到本地地址或扩展代码以外的数据，不产生 INTIICA0。

地址是将从属地址和 **18.5.3 指定传送方向** 中所示传送方向合并起来构成的 8 位数据，将其写入 IICA 移位寄存器 0 (IICA0)并输出。另外，接收到的地址被写入 IICA0 寄存器。

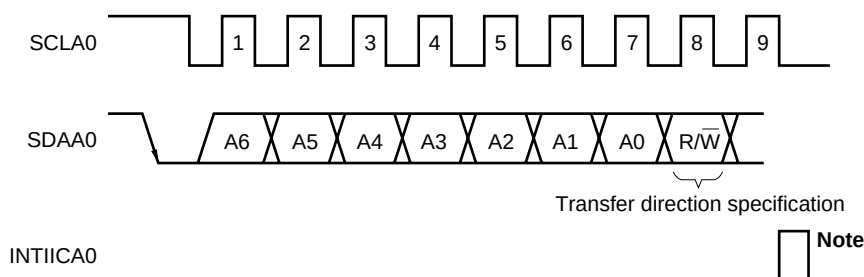
从属地址被分配至 IICA0 寄存器的高 7 位。

18.5.3 指定传送方向

除了 7 位地址数据之外，主发送 1 位数据以指示传送方向。

当该传送方向指示位为 0 时，表示主向从属发送数据。当该传送方向指示位为 1 时，表示主由从属接收数据。

图 18-17. 指定传送方向



注 在从属操作期间，如果接收到本地地址或扩展代码以外的数据，不产生 INTIICA0。

13.5.4 应答 (ACK)

$\overline{\text{ACK}}$ 用于检查发送和接收方的串行数据的状态。

每收到 8 位数据，接收方都会返回 $\overline{\text{ACK}}$ 信号。

每发送 8 位数据，发送方通常都会接收 $\overline{\text{ACK}}$ 信号。当从接收方返回 $\overline{\text{ACK}}$ 信号时，将假定接收已正确完成，继续处理。可以利用 IICA 状态寄存器 0 (IICS0) 的位 2 (ACKD0) 来确认是否已检测到 $\overline{\text{ACK}}$ 信号。

当主接收时，接收到最后数据后，不返回 $\overline{\text{ACK}}$ 信号而是产生停止条件。从属接收时，如果接收到数据后不返回 $\overline{\text{ACK}}$ 信号，主会输出停止条件或者重启条件，并停止传输。不返回 $\overline{\text{ACK}}$ 信号的可能原因如下所示。

- <1> 没有正常执行接收。
- <2> 已结束最后数据的接收。
- <3> 地址指定的接收方不存在。

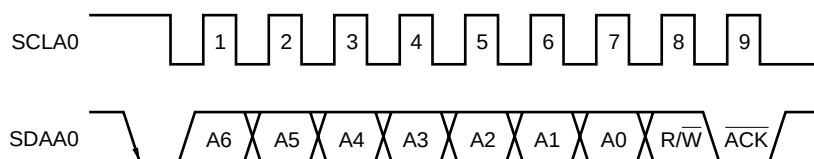
通过接收方在第 9 个时钟处使 SDAA0 线路处于低电平来产生 $\overline{\text{ACK}}$ (正常接收)。

通过将 IICA 控制寄存器 00 (IICCTL00) 的位 2 (ACKE0) 设置为 1，进入能够自动产生 $\overline{\text{ACK}}$ 的状态。由 7 位地址信息之后的第 8 位数据设置 IICS0 寄存器的位 3 (TRC0)。接收 (TRC0 = 0) 时，通常设置 ACKE0 位为 1。

从属接收操作过程中 (TRC0 = 0)，如果不能接收更多数据或者不需要下一个数据时，须将 ACKE0 位清除为 0，以告知主不能接收更多数据。

在主接收操作过程中 (TRC0 = 0)，不需要下一个数据时，须将 ACKE0 位清除为 0，以不产生 $\overline{\text{ACK}}$ 。这样的话，告知从属发送方数据的结束 (停止发送)。

图 18-18. $\overline{\text{ACK}}$



接收到本地地址后，不管 ACKE0 位的设置值如何，都会自动产生 $\overline{\text{ACK}}$ 信号。当接收到非本地以外的地址时，则不产生 $\overline{\text{ACK}}$ (NACK)。

如果 ACKE0 位被预先设置为 1，则在收到扩展代码时将产生 $\overline{\text{ACK}}$ 信号。

在接收到数据时的 $\overline{\text{ACK}}$ 产生方式各不相同，取决于等待时间的设置。

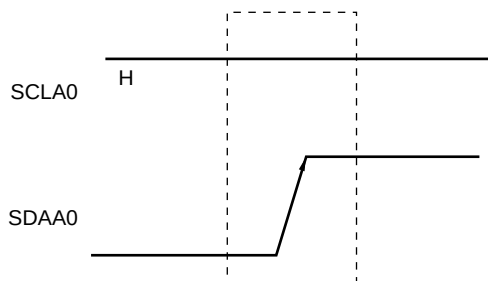
- 当选择 8 时钟等待时 (IICCTL00 寄存器的位 3 (WTIM0) = 0):
通过在解除等待状态之前将 ACKE0 位设置为 1，则会在 SCLA0 引脚第 8 个时钟的下降沿产生 $\overline{\text{ACK}}$ 。
- 当选择 9 时钟等待时 (IICCTL00 寄存器的位 3 (WTIM0) = 1):
如果 ACKE0 位被预先设置为 1，则产生 $\overline{\text{ACK}}$ 信号。

18.5.5 停止条件

当 SCLA0 引脚为高电平时，SDAA0 引脚由低电平变为高电平，即产生一个停止条件。

停止条件是在完成串行传输时主为从属产生的一种信号。当器件用作从属时，可以检测到停止条件。

图 18-19. 停止条件



当 IICA 控制寄存器 00 (IICCTL00) 的位 0 (SPT0) 被设置为 1 时，将产生一个停止条件。当检测到停止条件时，IICA 状态寄存器 0 (IICS0) 的位 0 (SPD0) 将设置为 1，并在 IICCTL00 寄存器的位 4 (SPIE0) 被设置为 1 时产生 INTIICA0。

18.5.6 等待

等待用来通知通信伙伴，器件（主或从属）已经准备就绪可以进行收发数据（即：处于等待状态）。

将 SCLA0 引脚设置为低电平，通知通信伙伴本机已经处于等待状态。当主和从属的等待状态都被取消时，可以开始下一次传送。

图 18-20. 等待 (1/2)

- (1) 主处于 9 时钟等待状态，从属处于 8 时钟等待状态时
(主发送，从属接收， $ACKEN = 1$)

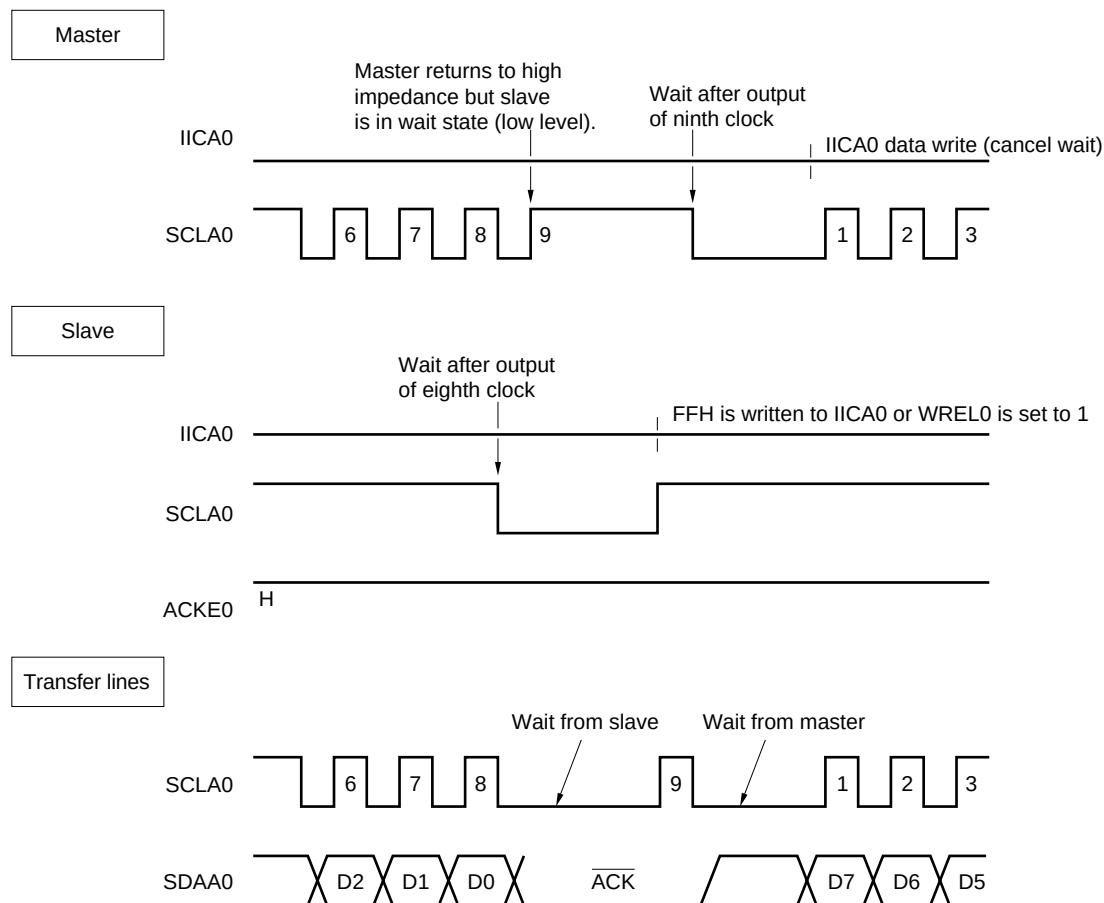
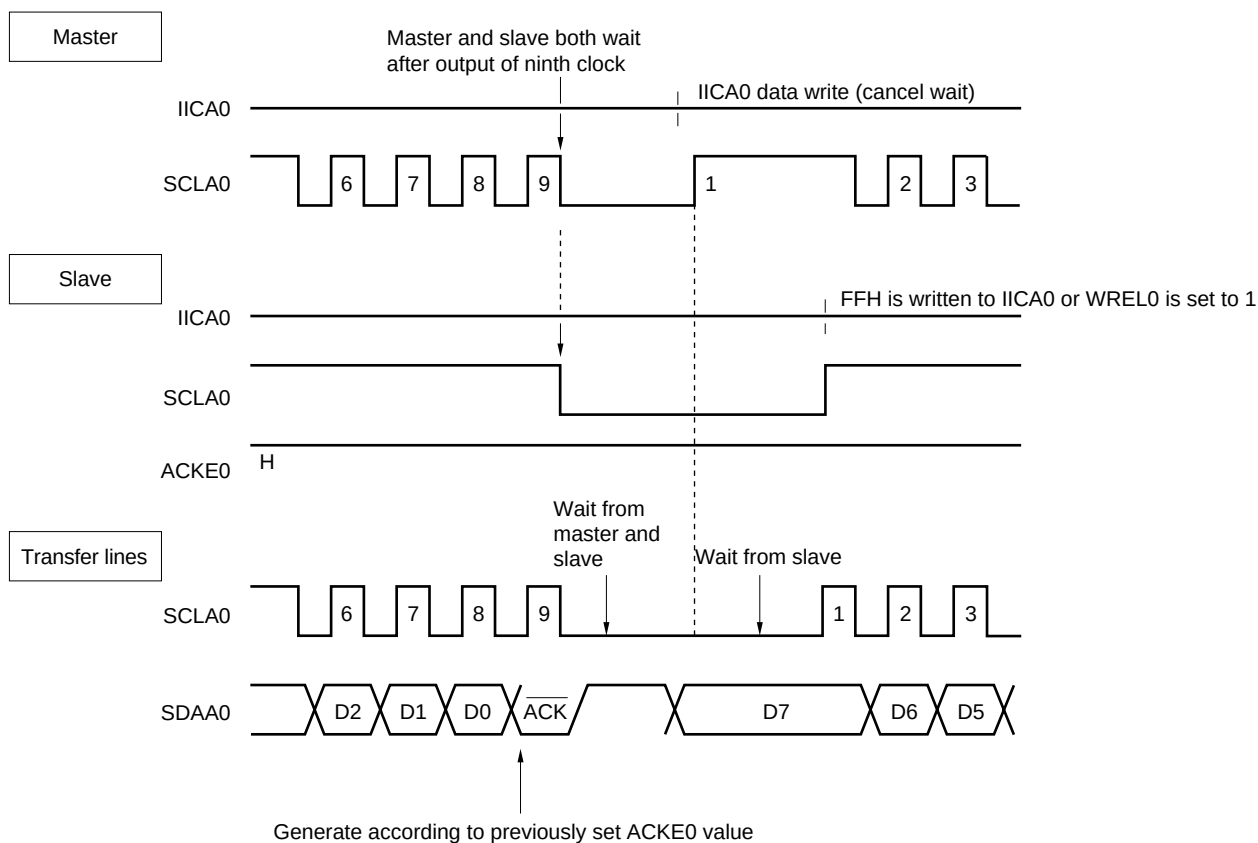


图 18-20. 等待 (2/2)

(2) 主和从都处于 9 时钟等待状态时
(主发送, 从属接收, ACKE0 = 1)



备注 ACKE0: IICA 控制寄存器 00 (IICCTL00)的位 2

WREL0: IICA 控制寄存器 00 (IICCTL00)的位 5

可以自动产生等待, 具体取决于 IICA 控制寄存器 00 (IICCTL00)的位 3 (WTIM0)的设置。

通常, 当 IICCTL00 寄存器的位 5 (WREL0) 设置为 1 或当 FFH 写入 IICA 移位寄存器 0 (IICA0)时, 接收方会取消等待状态, 而当数据写入 IICA0 寄存器时, 发送方会取消等待状态。

主还可以通过以下方式取消等待状态。

- 通过将 IICCTL00 寄存器的位 1(STT0)设置为 1
- 通过将 IICCTL00 寄存器的位 0(SPT0)设置为 1

18.5.7 取消等待

I²C 通常通过以下处理来取消等待状态。

- 将数据写入 IICA 移位寄存器 0 (IICA0)
- 设置 IICA 控制寄存器 00 (IICCTL00)的位 5(WRELO) (取消等待)
- 设置IICCTL00 寄存器的位 1(STT0) (产生开始条件)[※]
- 设置IICCTL00 寄存器的位 0(SPT0) (产生停止条件)[※]

注 仅限主。

当执行以上等待取消处理时，I²C 将取消等待状态并恢复通信。

要取消等待状态并发送数据（包括地址），须向 IICA0 寄存器写入数据。

要在取消等待状态之后接收数据，或完成数据发送，则须将 IICCTL00 寄存器的位 5 (WRELO) 设置为 1。

要在取消等待状态之后产生一个重启条件，则须将 IICCTL00 寄存器的位 1 (STT0) 设置为 1。

要在取消等待状态之后产生一个停止条件，则须将 IICCTL00 寄存器的位 0 (SPT0) 设置为 1。

一个等待状态只需执行一次取消处理。

例如，如果在通过将 WRELO 位设置为 1 取消等待状态之后向 IICA0 寄存器写入数据，则可能向 SDAA0 线路输出错误的值，因为更改 SDAA0 线路的时序与写入 IICA0 寄存器的时序相冲突。

除此以外，如果 IICE0 位在中止通信时清除为 0，将停止通信，取消等待状态。

如果 I²C 总线因噪声而死锁，则通过设置 IICCTL00 寄存器的位 6 (LRELO) 来退出通信并保留处理，以取消等待状态。

注意事项 如果在 WUP0 = 1 时执行用于取消等待状态的处理，则等待状态不会被取消。

18.5.8 控制中断请求(INTIICA0)的产生时序和等待

IICA 控制寄存器 00 (IICCTL00)的位 3 (WTIM0) 的设置决定着产生 INTIICA0 的时序以及相应的等待控制，如表 18-2 所示。

表 18-2. 控制 INTIICA0 产生时序和等待

WTIM0	从属操作期间			主操作期间		
	地址	数据接收	数据发送	地址	数据接收	数据发送
0	9 ^{注 1,2}	8 ^{注 2}	8 ^{注 2}	9	8	8
1	9 ^{注 1,2}	9 ^{注 2}	9 ^{注 2}	9	9	9

- 注 1.** 仅当接收的地址和从属地址寄存器 0 (SVA0) 设定的值相匹配时，在第 9 个时钟的下降沿产生从属的 INTIICA0 信号和等待。
- 此时，无论 IICCTL00 寄存器位 2 (ACKE0)的设置值如何，都将产生 $\overline{ACK}$ 信号。对于已经接收到扩展代码的从属，INTIICA0 将在第 8 个时钟的下降沿发生。
- 然而，如果重启后地址不匹配，INTIICA0 在第 9 个时钟的下降沿发生，但是，不发生等待。
- 2.** 如果接收地址和从属地址寄存器 0 (SVA0)的内容不匹配，而且未接收到扩展代码，则既不产生 INTIICA0，也不产生等待。

备注 表中的数量表示串行时钟的时钟信号数。中断请求和等待控制都和这些时钟信号的下降沿同步。

(1) 地址发送/接收期间

- 从属操作时：中断和等待时序由上述注 1 和注 2 描述的条件决定，与 WTIM0 位无关。
- 主操作时：中断和等待时序都在第 9 个时钟下降沿发生，与 WTIM0 位无关。

(2) 数据接收期间

- 主/从属操作：中断和等待时序由 WTIM0 位决定。

(3) 数据发送期间

- 主/从属操作：中断和等待时序由 WTIM0 位决定。

(4) 等待取消方法

四种等待取消方法如下所示。

- 将数据写入 IICA 移位寄存器 0 (IICA0)
- 设置 IICA 控制寄存器 00 (IICCTL00)的位 5(WRELO) (取消等待)
- 设置 IICCTL00 寄存器的位 1(STT0) (产生开始条件)^注
- 设置 IICCTL00 寄存器的位 0(SPT0) (产生停止条件)^注

注 仅限主。

当已经选择 8 时钟等待时 (WTIM0 = 0)，在取消等待之前必须确定是否产生 $\overline{ACK}$ 。

(5) 停止条件检测

当检测到停止条件时，会产生 INTIICA0(仅限 SPIE0 = 1 时)。

18.5.9 地址匹配检测方法

在 I²C 总线模式下，通过发送从属的地址，主可以选择特定的从属。

地址匹配可以由硬件自动检测。当设置至从属地址寄存器 0 (SVA0)的地址值与主发送的从属地址相匹配时，或者当接收到扩展代码时，将产生一个中断请求 (INTIICA0)。

18.5.10 检测错误

在 I²C 总线模式下，串行数据总线 (SDAA0) 在数据发送期间的状态被发送器件的 IICA 移位寄存器 0 (IICA0)捕捉，于是，可以将发送之前的 IICA 数据与已发送的 IICA 数据进行比较，从而能够检测发送错误。当比较值不匹配时，判断为发生发送错误。

18.5.11 扩展代码

(1) 当接收地址的高 4 位是“0000”或“1111”时接收扩展代码，将扩展代码接收标志 (EXC0)设置为 1，且在第 8 个时钟的下降沿处产生一个中断请求 (INTIICA0)。存储在从属地址寄存器 0 (SVA0)中的本地地址不受影响。

(2) 在 SVA0 寄存器被设置为 11110xx0 时，如果通过 10 位地址传送从主发送 11110xx0，则以下设置被指定。注意，INTIICA0 发生于第 8 个时钟的下降沿。

- 数据匹配的高 4 位： EXC0 = 1
- 数据匹配的 7 位： COI0 = 1

备注 EXC0: IICA 状态寄存器 0 (IICS0)的位 5
COI0: IICA 状态寄存器 0 (IICS0)的位 4

(3) 根据扩展代码之后的数据，中断请求发生后的处理也各不相同，这些处理由软件执行。

如果在从属工作期间收到扩展代码，即使地址不匹配，从属也在参与通信。

例如，在接收到扩展代码之后，如果不希望将目标器件用作从属，则可将 IICA 控制寄存器 00 (IICCTL00)的位 6 (LREL0) 设置为 1，从而为下一个通信操作设置待机模式。

表 18-3. 主要扩展码的位定义

从属地址	R/W 位	描述
0 0 0 0 0 0 0	0	通用呼叫地址
1 1 1 1 0 x x	0	10 位从属地址规范 (地址认证期间)
1 1 1 1 0 x x	1	10 位从属地址规范 (地址匹配后，发出读取命令时)

备注 有关上述以外扩展代码的详细信息，请参阅恩智浦半导体发布的 I²C 总线规格。

18.5.12 仲裁

当多个主同时产生开始条件时（在 STD0 位被设置为 1 之前，STT0 位已设置为 1），调整时钟数目，直到数据不同，多个主之间的通信才能执行。这种操作被称为仲裁。

当一个主在仲裁中失败时，通过仲裁失败发生时序将 IICA 状态寄存器 0 (IICS0)中的仲裁失败标志 (ALD0) 设置为(1)，且 SCLA0 和 SDAA0 线路都被设置为高阻抗，从而释放总线。

仲裁失败的检测基于下次中断请求的时序（例如，在第 8 或第 9 个时钟，当检测到停止条件时）和通过软件设置的 ALD0 = 1。

关于中断请求时序的详情，请参阅 18.5.8 控制中断请求(INTIICA0)的产生时序和等待。

备注 STD0: IICA 状态寄存器 0 (IICS0)的位 1
STT0: IICA 控制寄存器 00 (IICCTL00)的位 1

图 18-21. 仲裁时序示例

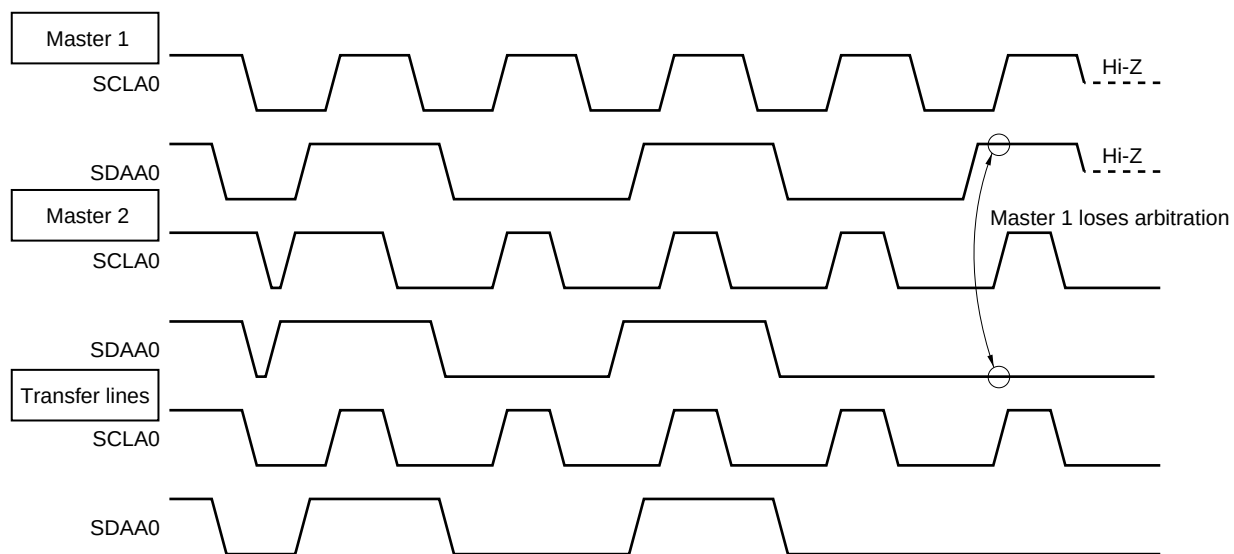


表 18-4. 产生仲裁时的状态和产生中断请求的时序

产生仲裁时的状态	产生中断请求的时序
地址发送期间	字节传输之后的第 8 个或第 9 个时钟的下降沿 ^{注1}
发送地址后读出/写入数据	
扩展码发送期间	
发送扩展码后读出/写入数据	
数据发送期间	
数据发送后的 ACK 传送期间	
在数据传输期间检测到重新开始条件	
在数据传输期间检测到停止条件	当产生停止条件 (当SPIE0 = 1) ^{注2}
尝试产生复位条件的同时数据处于低电平时	字节传输之后的第 8 个或第 9 个时钟的下降沿 ^{注1}
尝试产生复位条件的同时检测到停止条件时	当产生停止条件 (当SPIE0 = 1) ^{注2}
尝试产生停止条件的同时数据处于低电平时	字节传输之后的第 8 个或第 9 个时钟的下降沿 ^{注1}
尝试产生复位条件的同时 SCLA0 处于低电平时	

- 注 1. 当 WTIM0 位 (IICA 控制寄存器 00 (IICCTL00) 的位 3) = 1 时, 将在第 9 个时钟的下降沿发生一个中断请求。
当 WTIM0 = 0 并收到扩展代码的从属地址时, 则会在第 8 个时钟的下降沿发生一个中断请求。
2. 当有可能发生仲裁时, 对于主操作, 则须设置 SPIE0 = 1。

备注 SPIE0: IICA 控制寄存器 00 (IICCTL00) 的位 4

18.5.13 唤醒功能

I²C 总线从属功能用于在收到本地地址和扩展代码时产生一个中断请求信号(INTIICA0)。

当地址数据不匹配时，该功能就会阻止产生不必要的 INTIICA0 信号，从而使处理更有效率。

当检测到开始条件时，设置唤醒待机模式。仲裁失败可能将主（已经产生开始条件）变为从属，在这种情况下发送地址时，唤醒待机模式有效。

但是，当检测到停止条件后，不论唤醒功能如何，IICA 控制寄存器 00 (IICCTL00)的位 4 (SPIE0)总被设置，这可以决定允许或禁止中断请求。

要在 STOP 模式下使用唤醒功能，则须将 WUP0 位设置为 1。无论操作时钟为何，均可接收到地址。在收到本地地址和扩展代码时，还会产生一个中断请求信号(INTIICA0)。在产生该中断之后，通过一条指令将 WUP0 位清除为(0)，可以返回正常操作。

图 18-22 所示为设置 WUP0 = 1 的流程，图 18-23 则为在地址匹配时设置 WUP0 = 0 的流程。

图 18-22. 设置 WUP0 = 1 的流程

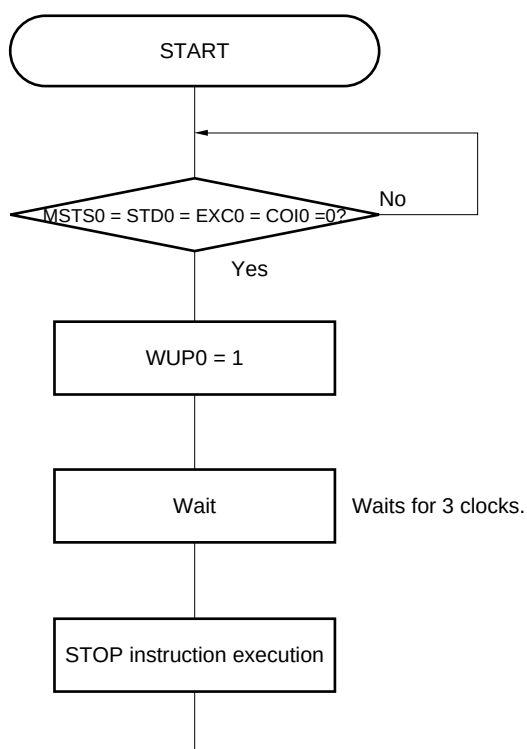
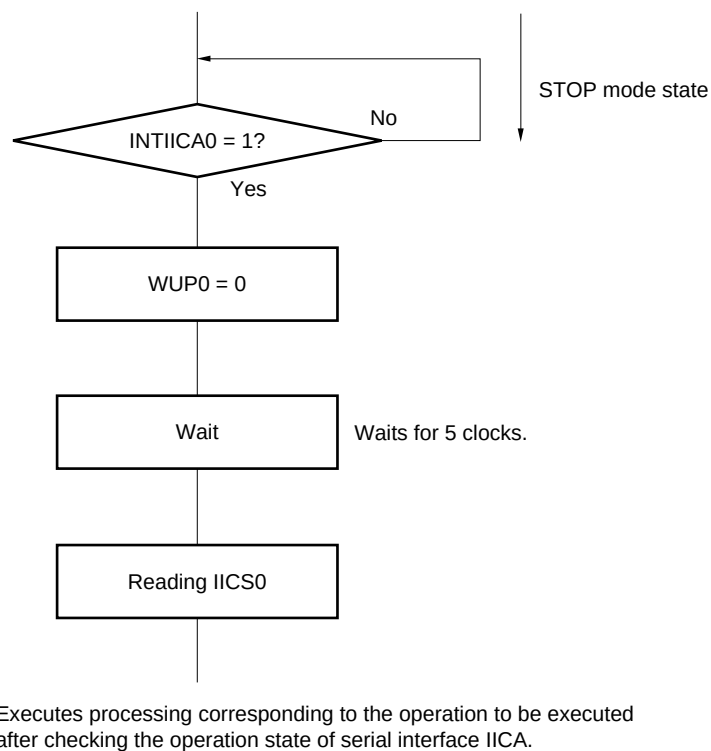


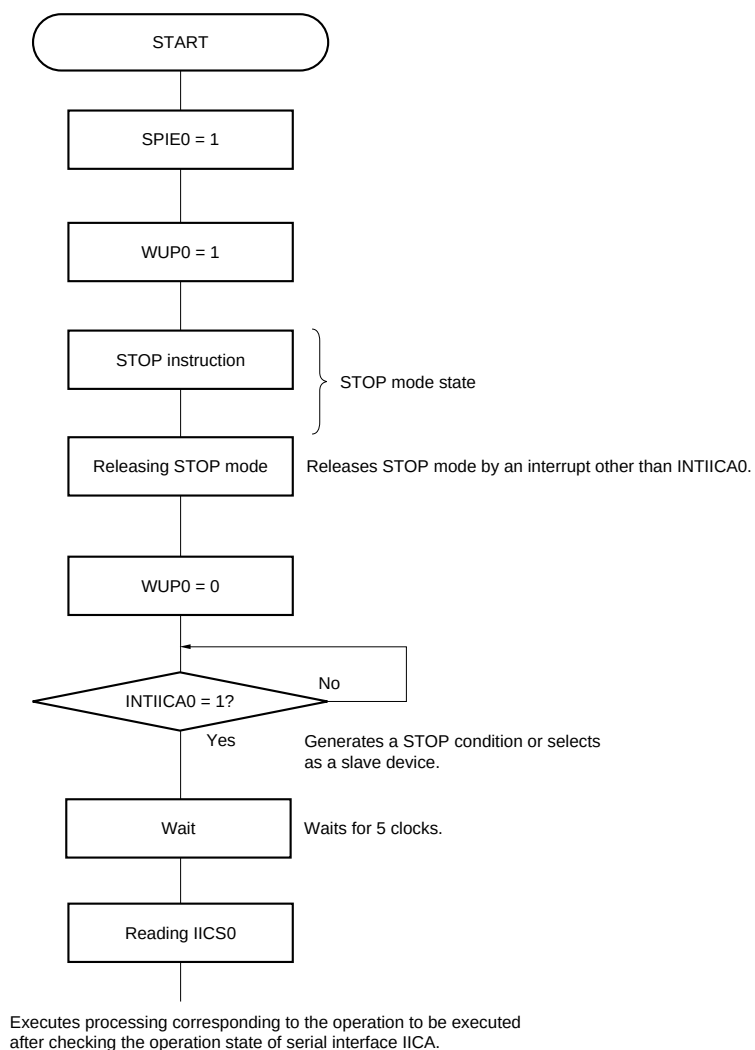
图 18-23. 地址匹配时设置 WUP0 = 0 的流程 (包括扩展码接收)



用以下流程进行处理以解除 STOP 模式，而不是利用串行接口 IICA 产生的中断请求 (INTIICA0)。

- 主操作时：流程如图 18-24 所示
- 从属操作时：与图 18-23 所示流程相同

图 18-24. 在通过 INTIICA0 之外的方式解除 STOP 模式后工作于主模式



18.5.14 通信预约

(1) 当允许通信预约功能 (IICA 标志寄存器 0 (IICF0) 的位 0 (IICRSV) = 0)

如果当前未使用总线但希望开始主通信，则可使用通信预约功能，这样就可以在释放总线后允许发送开始条件。这里的未使用总线包括以下两种模式。

- 当仲裁结果既不是主操作，也不是从属操作
- 当接收到扩展代码且禁止从属操作时（不返回 $\overline{\text{ACK}}$ 信号，且通过将 IICA 控制寄存器 00 (IICCTL00) 的位 6 (LREL0) 设置为 1 来保留通信并释放总线）。

如果在未使用总线时将 IICCTL00 寄存器的位 1 (STT0) 设置为 1，总线被释放后（在检测到停止条件），会自动产生开始条件并设置为等待状态。

如果在 IICCTL00 寄存器的位 4 (SPIE0) 设置为 1，并且通过产生一个中断请求信号 (INTIICA0) 而检测到总线已被释放（检测到停止条件）后，向 IICA 移位寄存器 0 (IICA0) 写入地址，则器件自动作为主开始通信。直到检测到停止条件为止，写入 IICA0 寄存器的数据无效。

当 STT0 位被设置为 1 后，根据总线状态决定工作模式（开始条件或通信预约）。

- 当总线被释放..... 产生一个开始条件
- 当总线未被释放（待机模式）..... 通信预约

将 STT0 位设置为 1 且经过等待时间后，利用 MSTS0 位 (IICA 状态寄存器 0 (IICS0) 的位 7) 确认是否工作于通信预约模式。

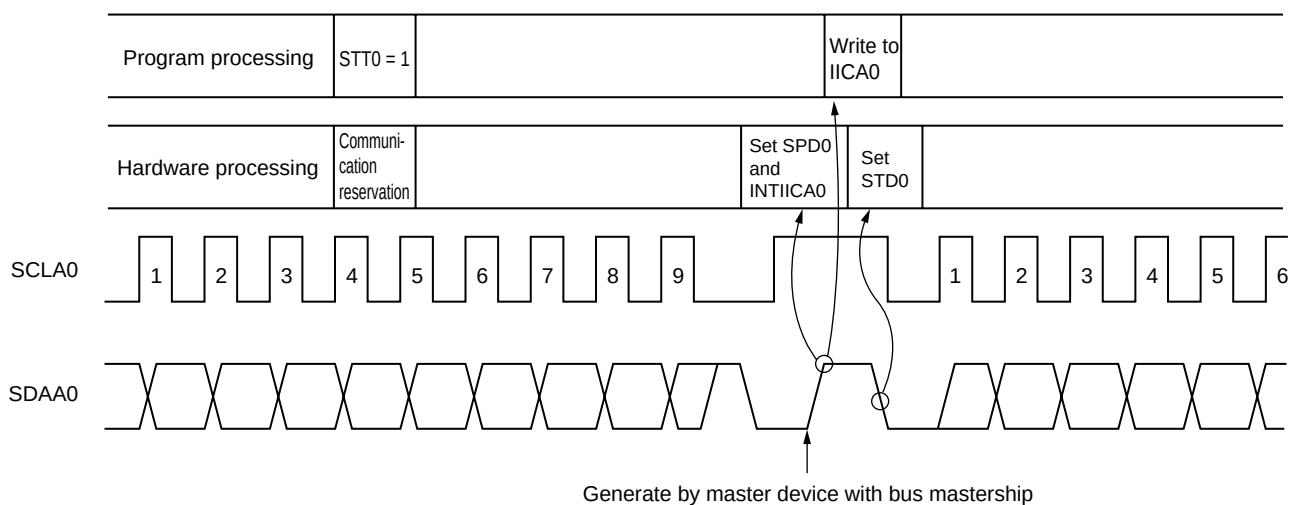
用软件确保通过以下公式计算的等待时间。

从设置 STT0 = 1 到确认 MSTS0 标志的等待时间：
 $(\text{IICWL0 设定值} + \text{IICWH0 设定值} + 4) + t_F \times 2 \times f_{\text{CLK}}$ [时钟]

备注 IICWL0: IICA 低电平宽度设置寄存器 0
 IICWH0: IICA 高电平宽度设置寄存器 0
 t_F : SDAA0 和 SCLA0 信号的下降时间
 f_{CLK} : CPU/外围硬件时钟频率

通信预约时序如图 18-25 所示。

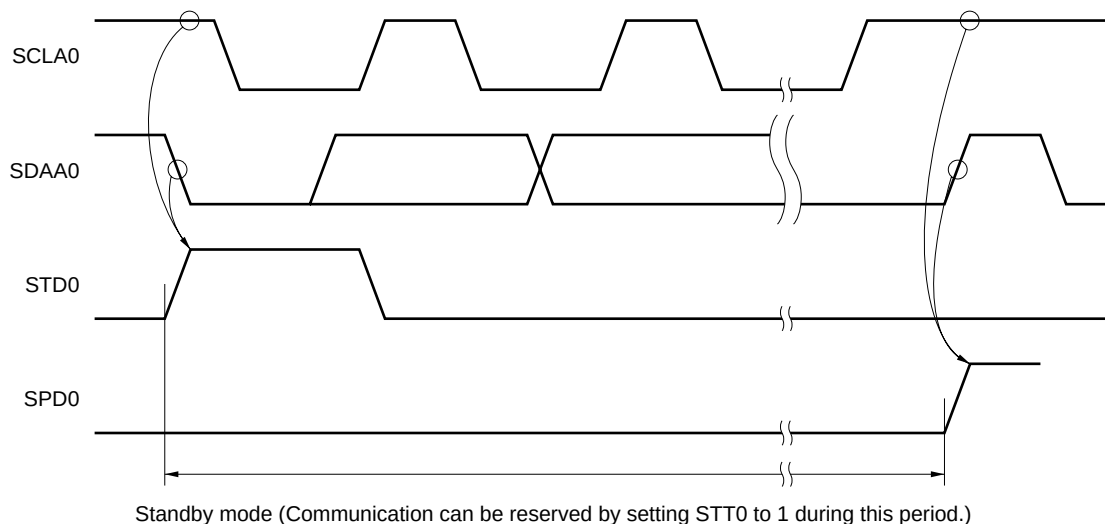
图 18-25. 通信预约时序



备注 IICA0: IICA 移位寄存器 0
 STT0: IICA 控制寄存器 00 (IICCTL00) 的位 1
 STD0: IICA 状态寄存器 0 (IICS0) 的位 1
 SPD0: IICA 状态寄存器 0 (IICS0) 的位 0

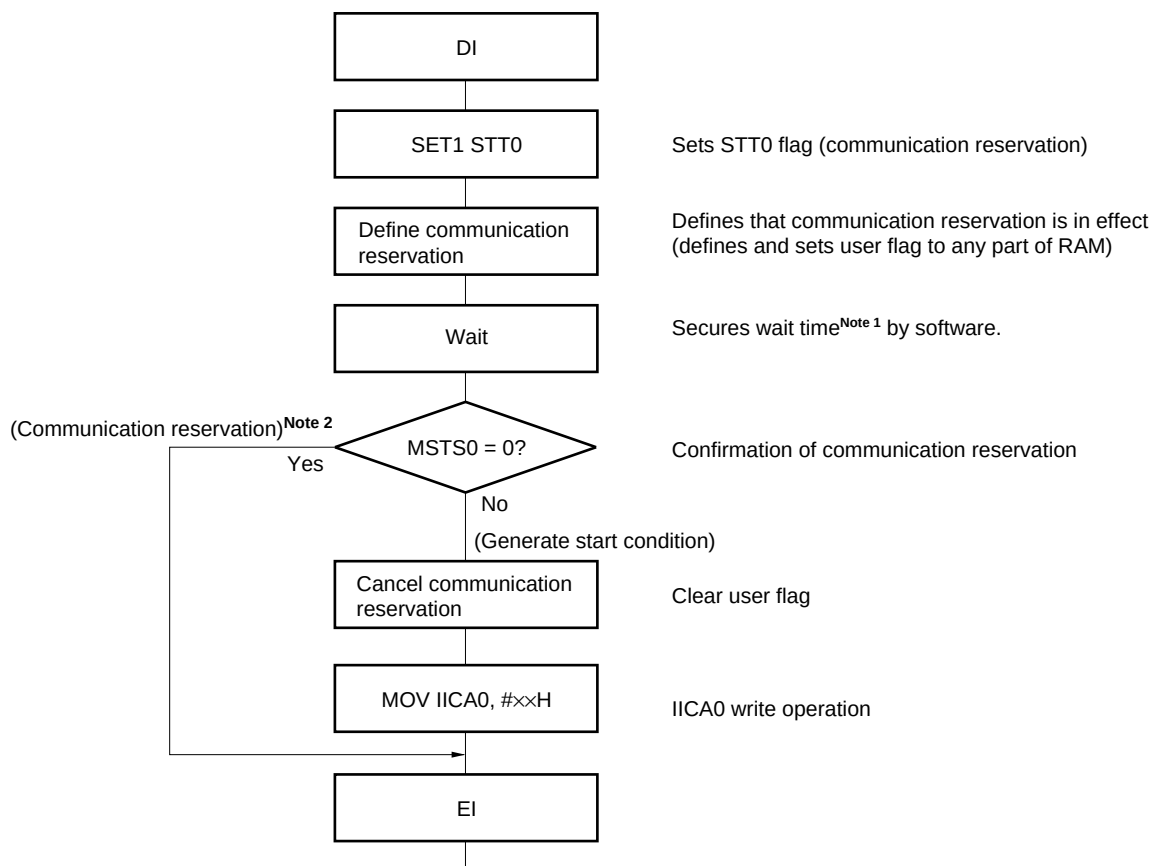
通过如图 18-26 所示的时序受理通信预约。在将 IICA 状态寄存器 0 (IICS0) 的位 1 (STD0) 设置为 1 之后，可以在检测到停止条件之前将 IICA 控制寄存器 00 (IICCTL00) 的位 1 (STT0) 设置为 1 来预约通信。

图 18-26. 受理通信预约的时序



通信预约协议如图 18-27 所示。

图 18-27. 通信预约协议



注 1. 等待时间的计算方法如下所示。

$(IICWLO \text{ 设定值} + IICWH0 \text{ 设定值} + 4) + t_F \times 2 \times f_{CLK}$ [时钟]

2. 通信预约操作期间如发生停止条件中断请求，则写入 IICA 移位寄存器 0 (IICA0)。

备注 STT0: IICA 控制寄存器 00 (IICCTL00) 的位 1

MSTS0: IICA 状态寄存器 0 (IICS0) 的位 7

IICA0: IICA 移位寄存器 0

IICWLO: IICA 低电平宽度设置寄存器 0

IICWH0: IICA 高电平宽度设置寄存器 0

t_F : SDAA0 和 SCLA0 信号的下降时间

f_{CLK} : CPU/外围硬件时钟频率

(2) 当禁止通信预约功能 (IICA 标志寄存器 0 (IICF0)的位 0 (IICRSV) = 1)

如果在总线通信期间未使用总线进行通信时将 IICA 控制寄存器 00 (IICCTL00)的位 1 (STT0) 设置为 1, 则该请求将被拒绝且不会产生开始条件。这里的未使用总线包括以下两种状态:

- 当仲裁结果既不是主操作, 又不是从属操作
- 当接收扩展代码并且禁止从属操作时 (不返回 $\overline{ACK}$, 且通过将 IICCTL00 寄存器的位 6 (LREL0) 设置为 1 来保留通信并释放总线)。

可以通过 STCF (IICF0 寄存器的位 7)来确认是产生了开始条件还是请求被拒绝。设置为 STT0 = 1 后, 一直到 STCF 设置为 1 为止, 需要 5 个时钟。须通过软件来确保这段时间。

18.5.15 注意事项

(1) 当 STCEN = 0 时

刚允许操作 I²C 操作 (IICE0 = 1)后, 不管总线的实际状态如何, 认为处于总线通信状态 (IICBSY = 1)。在没有检测到停止条件的状态下希望执行主通信时, 要先产生一个停止条件以释放总线, 然后执行主通信。

使用多个主时, 总线未被释放 (未检测到停止信号时) 的状态下不能执行主通信。

通过以下步骤来产生停止条件。

<1> 设置 IICA 控制寄存器 01 (IICCTL01)。

<2> 将 IICA 控制寄存器 00 (IICCTL00)的位 7 设置为 1。

<3> 将 IICCTL00 寄存器的位 0 (SPT0)设置为 1。

(2) 当 STCEN = 1 时

刚允许操作 I²C 操作 (IICE0 = 1)后, 不管总线的实际状态如何, 认为处于总线释放状态 (IICBSY = 0)。若要产生第一个开始条件 (STT0 = 1), 为了不破坏其他的通信, 必需确认总线已经被释放。

(3) 如果正在和其它方进行 I²C 通信时

如果在 SDAA0 引脚为低电平、SCLA0 引脚为高电平时允许操作 I²C 并且从途中参与正在执行的通信, 则 I²C 宏将认为 SDAA0 引脚从高电平改变为低电平 (检测到一个开始条件)。如果此时总线上的值可以识别为扩展代码, 则会返回 $\overline{\text{ACK}}$, 将干扰其它 I²C 通信。为了避免这种情况, 须按以下顺序启动 I²C。

<1> 将 IICCTL00 寄存器的位 4 (SPIE0)清除为 0, 并禁止检测到停止条件时产生中断请求信号 (INTIICA0)。

<2> 将 IICCTL00 寄存器的位 7 (IICE0)设置为 1 以允许 I²C 操作。

<3> 等待开始条件的检测。

<4> 返回 $\overline{\text{ACK}}$ (将 IICE0 位设置为 1 之后经过了 4 至 80 个时钟周期) 之前, 将 IICCTL00 寄存器的位 6 (LRELO) 设置为 1, 强制性地禁止检测。

(4) 设置 STT0 和 SPT0 位 (IICCTL00 寄存器的位 1 和位 0) 之后、被清除为 0 之前, 禁止对其再次进行设置。

(5) 进行通信预约时, 将 SPIE0 位 (IICCTL0 寄存器的位 4) 设置为 1, 以在检测到停止条件时产生中断请求。当产生中断请求之后将通信数据写入 IICA 移位寄存器 0 (IICA0)时, 开始传送。除非在检测到停止条件时产生中断, 否则, 器件将停止于等待状态, 因为开始通信时不产生中断请求。然而, 当通过软件检测到 MST0 位 (IICA 状态寄存器 0 (IICS0)的位 7) 时, 不必将 SPIE0 位设置为 1。

18.5.16 通信操作

下面通过流程图展示三种操作过程。

(1) 单主(线)系统下的主操作

在单主系统中将 RL78/G14 用作主的流程图如下所示。

操作流程大体可以分为初始设置和通信处理两部分。在启动时执行初始设置。如果需要和从属进行通信，进行通信准备后，执行通信处理。

(2) 多主(线)系统下的主操作

在 I²C 总线多主系统中，参与通信之后，仅根据 I²C 总线规格不能判断总线是被释放还是正在使用。此时，当数据和时钟在一定时期内（1 帧）都处于高电平时，认为处于总线被释放的状态，RL78/G14 参与主线通信。

操作流程可以大体分为初始设置、通信等待和通信处理。RL78/G14 在仲裁失败并被指定为从属的处理过程这里予以省略，仅显示其用作主的处理操作过程。启动时执行初始设置以便参与总线。然后，作为主等待通信请求或作为从属等待指定。在通信处理部分实际上执行通信，且支持与从属的数据发送/接收操作以及与其他主的仲裁。

(3) 从属操作

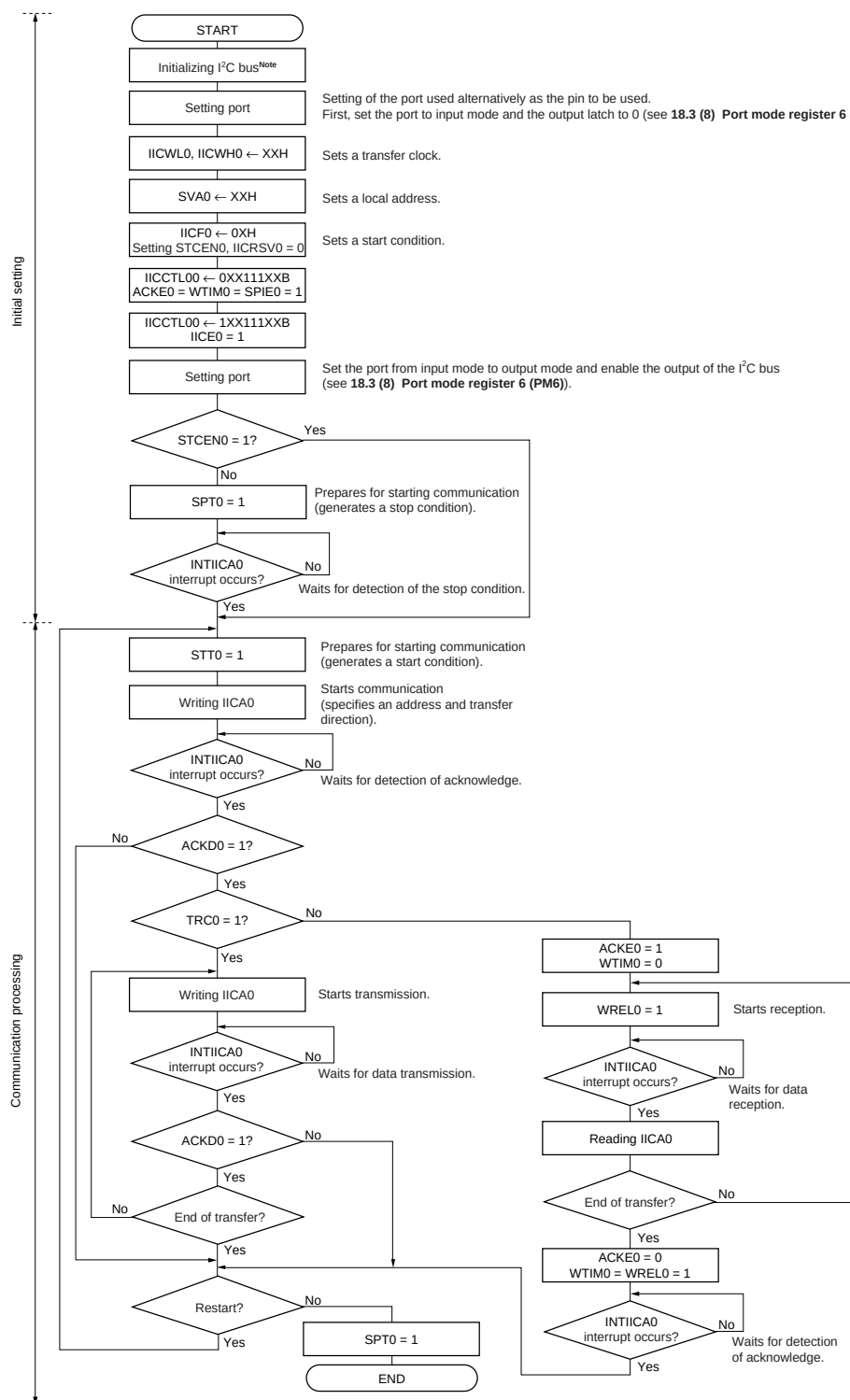
将 RL78/G14 用作 I²C 总线从属的示例如下所示。

当用作从属时，由一个中断启动操作。在启动时执行初始设置，然后，等待 INTIICA0 中断信号的发生（通信等待）。当产生 INTIICA0 中断时，判断通信状态，并将判断结果作为一个标志传送给主处理程序。

通过检查该标志，来执行必要的通信处理。

(1) 单主(线)系统下的主操作

图 18-28. 单主(线)系统下的主操作

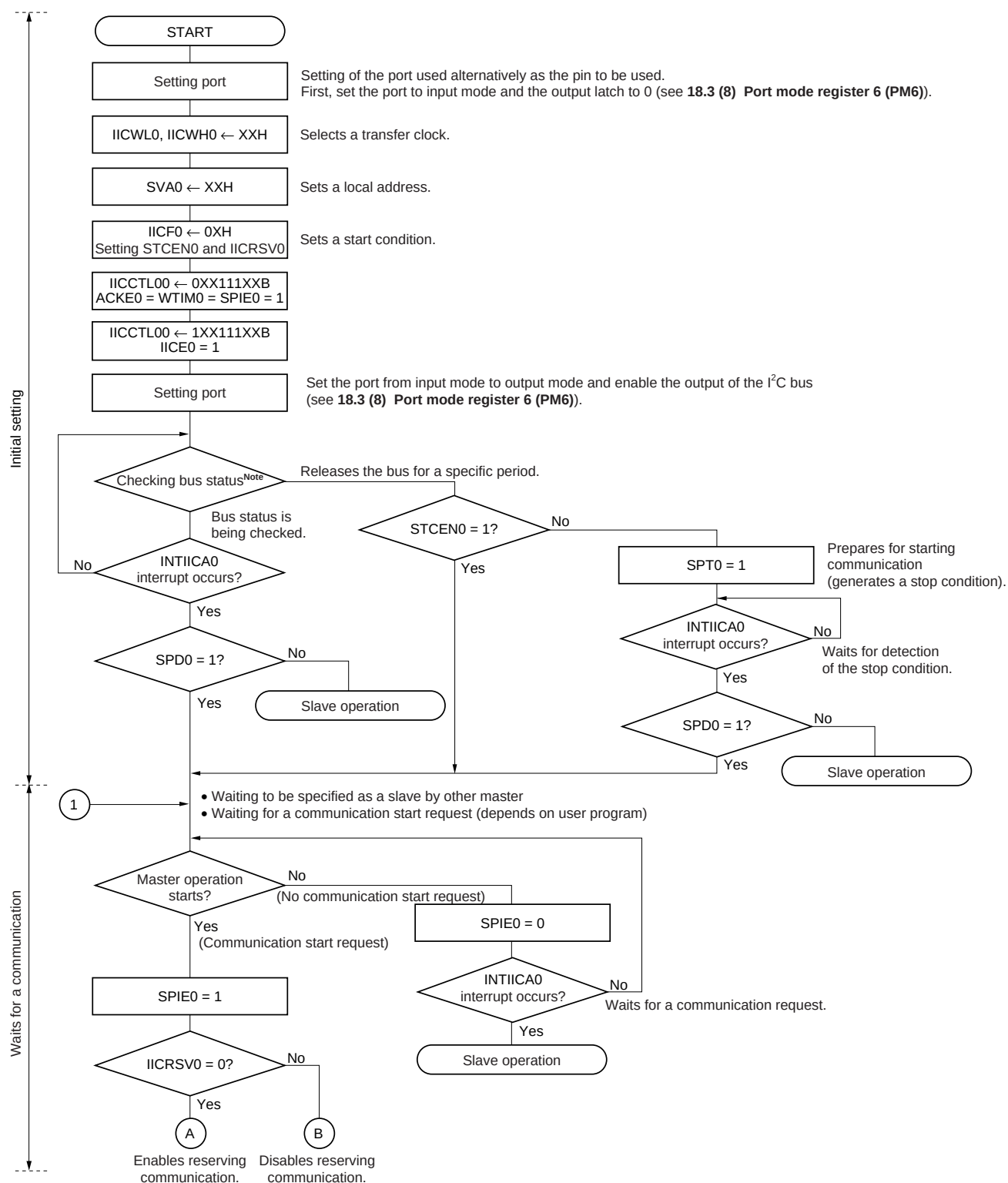


注 根据通信中产品的相关规格释放 I²C 总线 (SCLA0 和 SDAA0 引脚 = 高电平)。例如, 当 EEPROM 向 SDAA0 引脚输出一个低电平时, 将 SCLA0 引脚设置为输出端口模式, 并从该输出端口输出时钟脉冲, 直至 SDAA0 引脚为稳定的高电平为止。

备注 须遵循通信中产品规格的发送和接收格式要求。

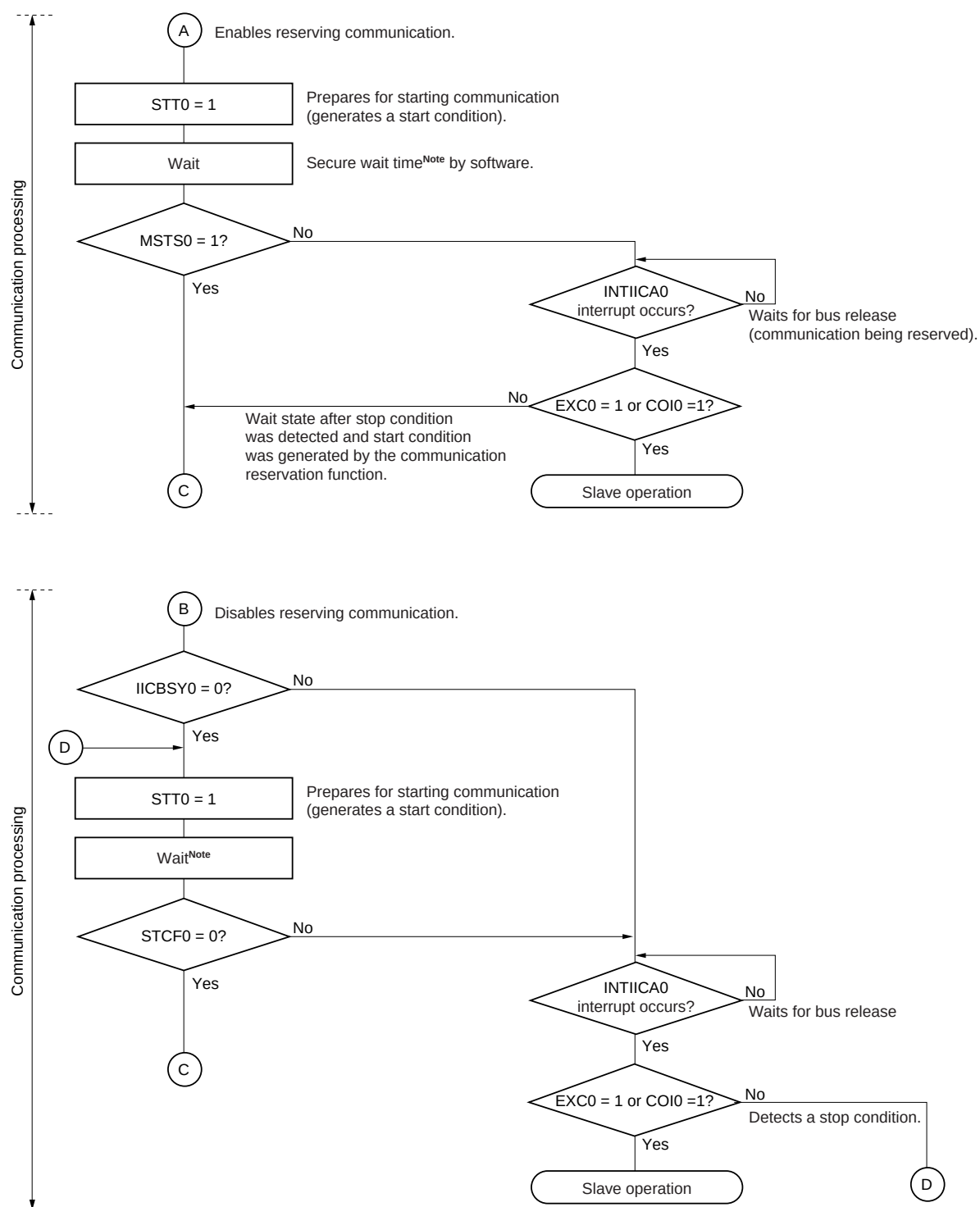
(2) 多主(线)系统下的主操作

图 18-29. 多主(线)系统下的主操作(1/3)



注 确认在一定时间内（例如，一帧）处于总线被释放的状态（CLD0 位 = 1, DAD0 位 = 1）。如果 SDAA0 引脚稳定处于低电平，则根据通信中产品的相关规格，决定是否释放 I²C 总线（SCLA0 和 SDAA0 引脚 = 高电平）。

图 18-29. 多主(线)系统下的主操作(2/3)

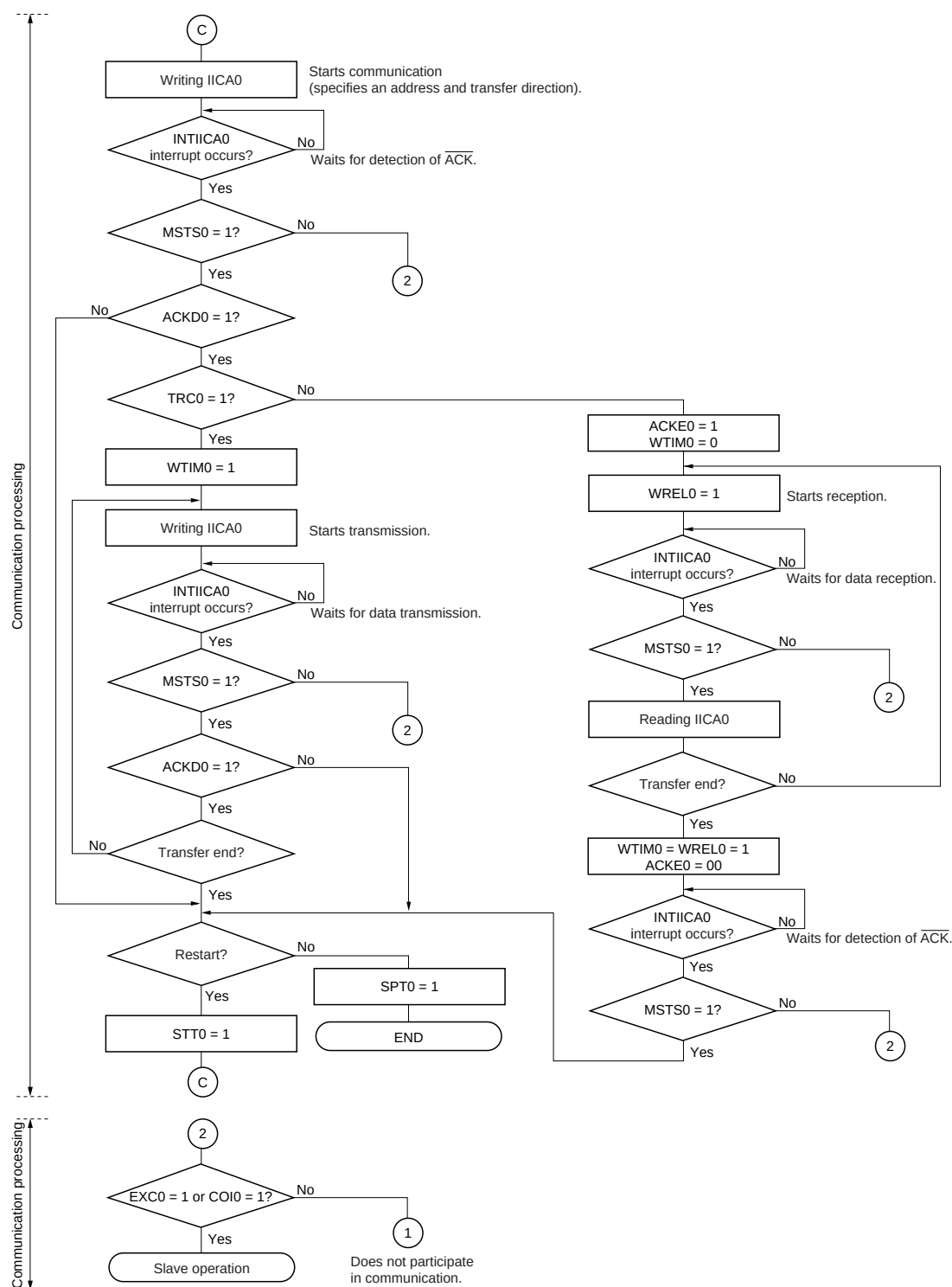


注 等待时间的计算方法如下所示。

$$(\text{IICWL0 设定值} + \text{IICWH0 设定值} + 4) \times f_{\text{CLK}} + t_{\text{F}} \times 2 \text{ [时钟]}$$

备注 IICWL0: IICA 低电平宽度设置寄存器 0
 IICWH0: IICA 高电平宽度设置寄存器 0
 t_{F} : SDA0 和 SCLA0 信号的下降时间
 f_{CLK} : CPU/外围硬件时钟频率

图 18-29. 多主(线)系统下的主操作(3/3)



备注 1. 须遵循通信中产品规格的发送和接收格式要求。

2. 在多主系统中将器件用作主的情况下，每当发生中断 INTIICA0 时均需读取 MSTS0 位以检查仲裁结果。

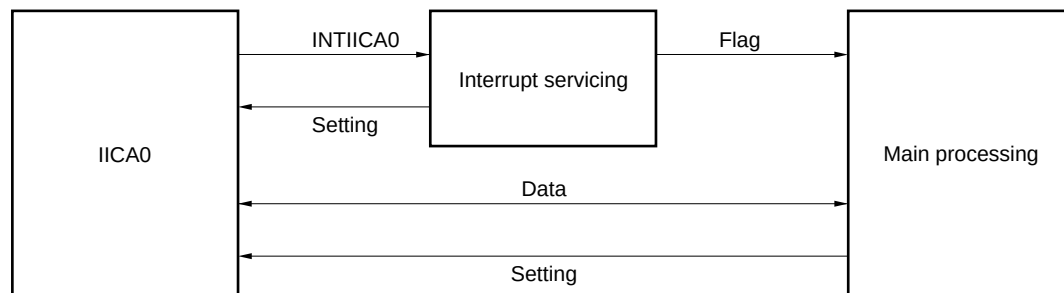
3. 在多主系统中将器件用作从属的情况下，每当发生 INTIICA0 中断时均需利用 IICA 状态寄存器 0 (IICS0) 和 IICA 标志寄存器 0 (IICF0) 来检查状态，并确认接下来将执行的处理。

(3) 从属操作

从属操作的处理步骤如下所示。

基本而言，从属操作都是由事件驱动的。所以，必需通过 INTIICA0 中断进行处理（使操作状态发生重大改变的处理，比如，通信过程中检测到停止条件）。

以下说明假定数据通信不支持扩展代码。还假定 INTIICA0 中断处理只执行状态改变处理，并且实际的数据通信由主处理程序执行。



因此，数据通信处理的执行需要准备以下三个标志来代替 INTIICA0，并将其传送至主处理程序。

<1> 通信模式标志

该标志表示以下两种通信状态。

- 清除模式：不执行数据通信的状态
- 通信模式：执行数据通信的状态 (从有效地址检测到停止条件检测，不检测来自主的 $\overline{ACK}$ 和地址不匹配)

<2> 就绪标志

该标志表示允许数据通信。对于正常的数据通信，其功能与 INTIICA0 中断相同。该标志由中断处理设置，并由主处理程序清除。在开始通信时先以中断处理清除该标志。然而，在发送第一个数据时，不通过中断处理设置就绪标志。因此，在该标志不被清除的情况下发送第一个数据 (地址匹配被理解为对下一个数据的请求)。

<3> 通信方向标志

该标志表示通信方向。它具有与 TRC0 位相同的值。

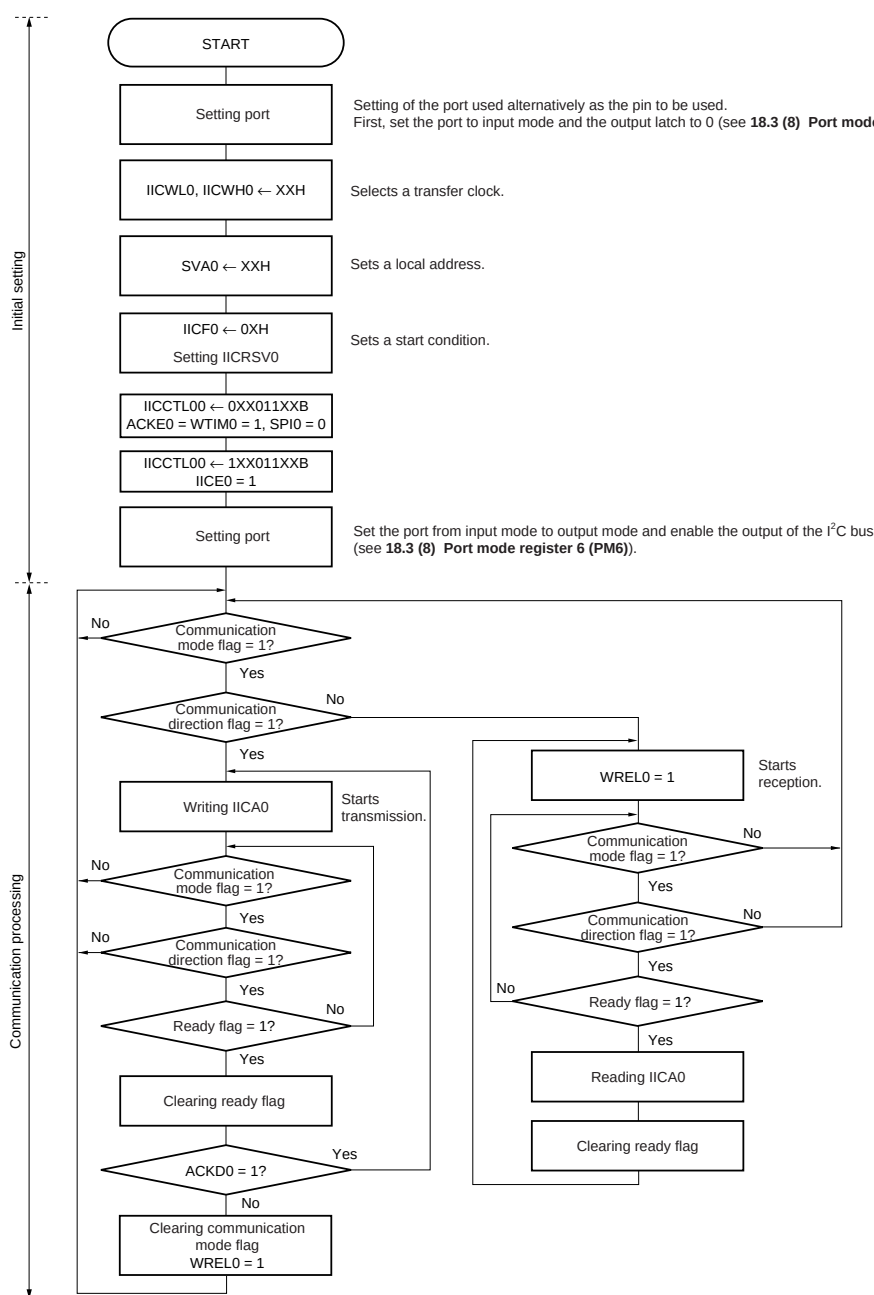
接下来说明从属操作时主处理程序的操作。

启动串行接口 IICA 并等到允许通信的状态。进入允许通信状态后，使用通信模式标志和就绪标志执行通信（停止条件和开始条件处理由中断执行。在这里只用标志来检查状态）。

重复发送操作，直到主停止返回 $\overline{\text{ACK}}$ 信号。如果主不返回 $\overline{\text{ACK}}$ ，则完成通信。

对于接收，收到必要数量的数据。当通信完成后，在下一个数据不返回 $\overline{\text{ACK}}$ 。此后，主产生一个停止条件或重启条件。至此，退出通信状态。

图 18-30. 从属操作流程图 (1)



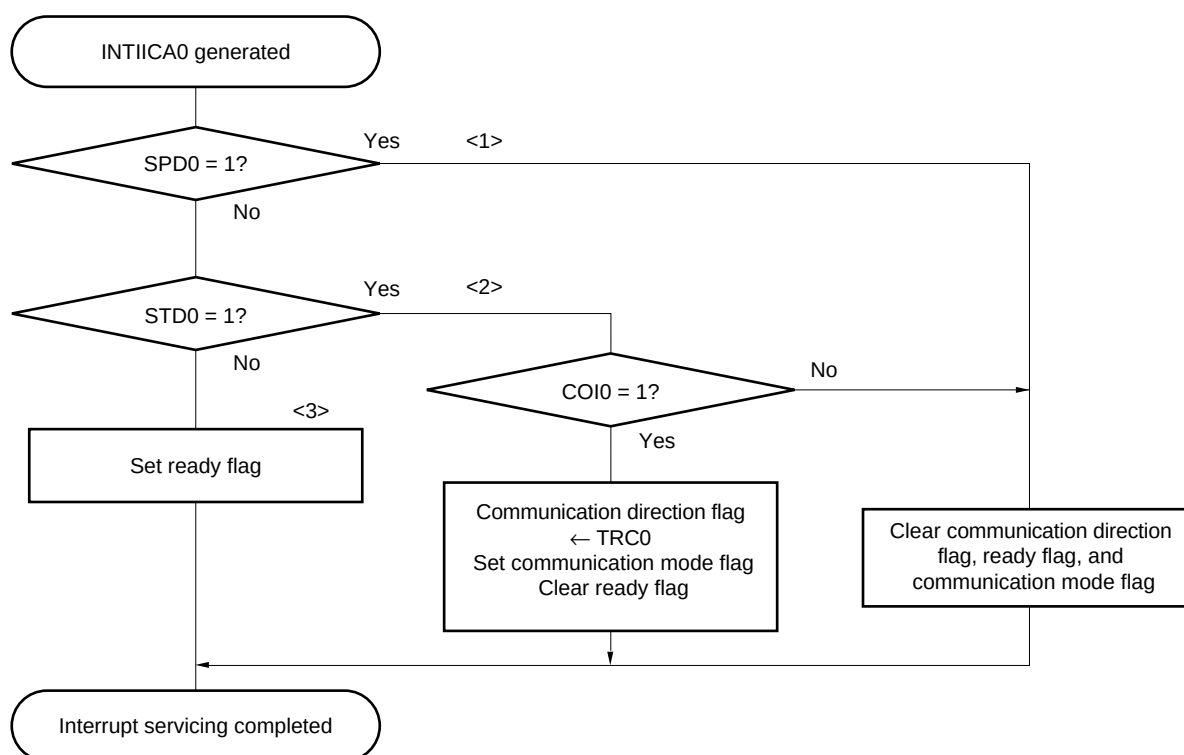
备注 须遵循通信中产品规格的发送和接收格式要求。

下面举例说明从属利用 INTIICA0 中断进行处理的步骤（假定处理中未使用扩展代码）。通过 INTIICA0 中断来检查状态，并执行以下操作。

- <1> 如果产生停止条件，则结束通信。
- <2> 如果产生开始条件，则确认地址，如果地址不匹配，则结束通信。如果地址匹配，则设置为通信模式，解除等待，并从中断返回处理（就绪标志被清除）。
- <3> 对于发送/接收数据时，仅设置就绪标志。I²C 总线保持等待状态，从中断返回处理操作。

备注 上述<1>至<3>对应于图 18-31 从属操作流程图 (2)中的<1>至<3>。

图 18-31. 从属操作流程图 (2)



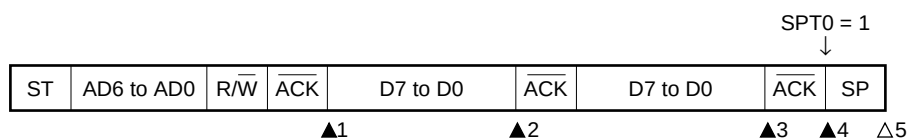
18.5.17 I²C 中断请求(INTIICA0)的发生时序

发送或接收数据的时序、产生中断请求信号 INTIICA0 的时序以及产生 INTIICA0 信号时 IICA 状态寄存器 0 (IICS0)的值如下所示。

备注	ST:	开始条件
	AD6 至 AD0:	地址
	R/W:	传送方向指示
	ACK:	应答
	D7 至 D0:	数据
	SP:	停止条件

(1) 主操作

(a) 开始 ~ 地址 ~ 数据 ~ 数据 ~ 停止 (发送/接收)

(i) 当 $WTIM0 = 0$ 时

▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000×000B

▲3: IICS0 = 1000×000B (将WTIM0 位设置为 1)[※]▲4: IICS0 = 1000××00B (将SPT0 位设置为 1)[※]

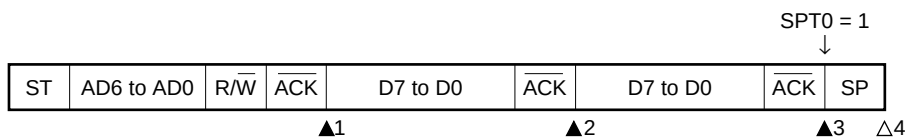
Δ5: IICS0 = 00000001B

注 若要产生停止条件，须将 $WTIM0$ 位设置为 1，并更改产生 $INTIICA0$ 中断请求信号的时序。

备注 ▲: 总是产生

Δ: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(ii) 当 $WTIM0 = 1$ 时

▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000×100B

▲3: IICS0 = 1000××00B (将 SPT0 位设置为 1)

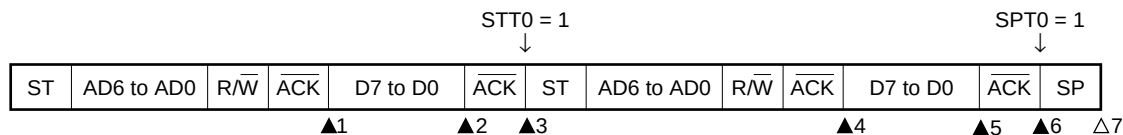
Δ4: IICS0 = 00000001B

备注 ▲: 总是产生

Δ: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(b) 开始 ~ 地址 ~ 数据 ~ 开始 ~ 地址 ~ 数据 ~ 停止 (重启)

(i) 当 $WTIM0 = 0$ 时

▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000×000B (将 $WTIM0$ 位设置为 1)^{注1}▲3: IICS0 = 1000××00B (将 $WTIM0$ 位清除为 0^{注2}, 将 $STT0$ 位设置为 1)

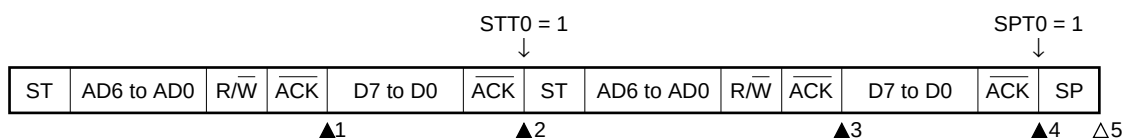
▲4: IICS0 = 1000×110B

▲5: IICS0 = 1000×000B (将 $WTIM0$ 位设置为 1)^{注3}▲6: IICS0 = 1000××00B (将 $SPT0$ 位设置为 1)

Δ7: IICS0 = 00000001B

注1. 若要产生开始条件, 须将 $WTIM0$ 位设置为 1, 并更改产生 $INTIICA0$ 中断请求信号的时序。**2.** 将 $WTIM0$ 位清除为 0, 恢复原始设置。**3.** 若要产生停止条件, 须将 $WTIM0$ 位设置为 1, 并更改产生 $INTIICA0$ 中断请求信号的时序。**备注** ▲: 总是产生Δ: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(ii) 当 $WTIM0 = 1$ 时

▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000××00B (将 $STT0$ 位设置为 1)

▲3: IICS0 = 1000×110B

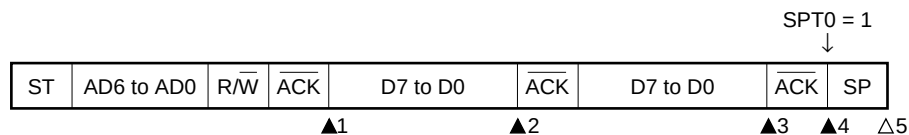
▲4: IICS0 = 1000××00B (将 $SPT0$ 位设置为 1)

Δ5: IICS0 = 00000001B

备注 ▲: 总是产生Δ: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(c) 开始 ~ 代码 ~ 数据 ~ 数据 ~ 停止 (扩展代码发送)

(i) 当 $WTIM0 = 0$ 时

▲1: IICS0 = 1010×110B

▲2: IICS0 = 1010×000B

▲3: IICS0 = 1010×000B (将 $WTIM0$ 位设置为 1)[※]▲4: IICS0 = 1010××00B (将 $SPT0$ 位设置为 1)

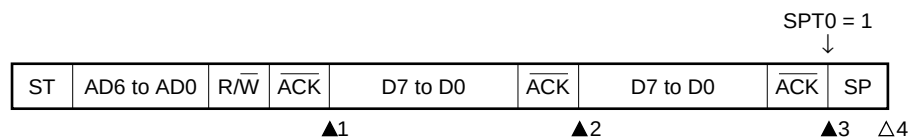
△5: IICS0 = 00000001B

注 若要产生停止条件，须将 $WTIM0$ 位设置为 1，并更改产生 $INTIICA0$ 中断请求信号的时序。

备注 ▲：总是产生

△：仅当 $SPIE0 = 1$ 时产生

×：忽略

(ii) 当 $WTIM0 = 1$ 时

▲1: IICS0 = 1010×110B

▲2: IICS0 = 1010×100B

▲3: IICS0 = 1010××00B (将 $SPT0$ 位设置为 1)

△4: IICS0 = 00001001B

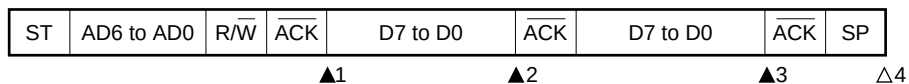
备注 ▲：总是产生

△：仅当 $SPIE0 = 1$ 时产生

×：忽略

(2) 从属操作 (从属地址数据接收)

开始 ~ 地址 ~ 数据 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ 时

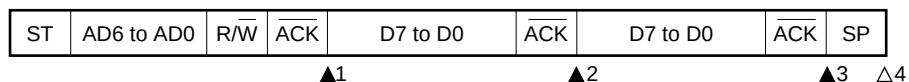
▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001×000B

▲3: IICS0 = 0001×000B

△4: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(ii) 当 $WTIM0 = 1$ 时

▲1: IICS0 = 0001×110B

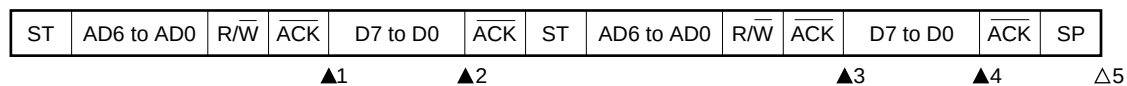
▲2: IICS0 = 0001×100B

▲3: IICS0 = 0001××00B

△4: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(b) 开始 ~ 地址 ~ 数据 ~ 开始 ~ 地址 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ 时 (重启后, 与 $SVA0$ 匹配)

▲1: IICS0 = 0001×110B

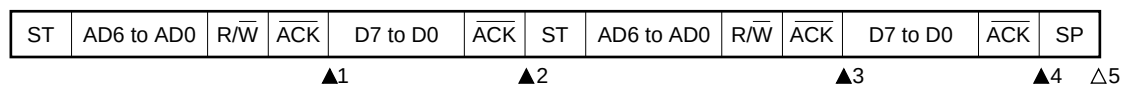
▲2: IICS0 = 0001×000B

▲3: IICS0 = 0001×110B

▲4: IICS0 = 0001×000B

△5: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(ii) 当 $WTIM0 = 1$ 时 (重启后, 与 $SVA0$ 匹配)

▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001××00B

▲3: IICS0 = 0001×110B

▲4: IICS0 = 0001××00B

△5: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(c) 开始 ~ 地址 ~ 数据 ~ 开始 ~ 代码 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ 时 (重启后, 地址不匹配 (扩展代码))

▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001×000B

▲3: IICS0 = 0010×010B

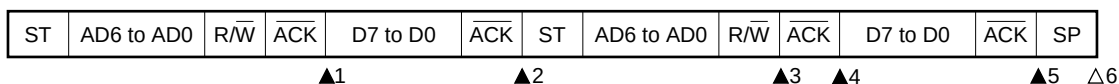
▲4: IICS0 = 0010×000B

△5: IICS0 = 00000001B

备注 ▲: 总是产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(ii) 当 $WTIM0 = 1$ 时 (重启后, 地址不匹配 (扩展代码))

▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001××00B

▲3: IICS0 = 0010×010B

▲4: IICS0 = 0010×110B

▲5: IICS0 = 0010××00B

△6: IICS0 = 00000001B

备注 ▲: 总是产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(d) 开始 ~ 地址 ~ 数据 ~ 开始 ~ 地址 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ 时 (重启后, 地址不匹配 (扩展代码以外))



▲1: IICS0 = 0001×110B

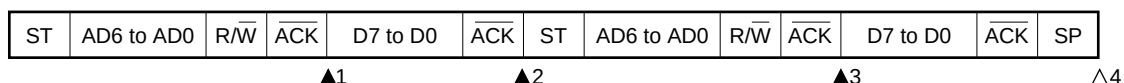
▲2: IICS0 = 0001×000B

▲3: IICS0 = 00000110B

△4: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(ii) 当 $WTIM0 = 1$ 时 (重启后, 地址不匹配 (扩展代码以外))



▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001××00B

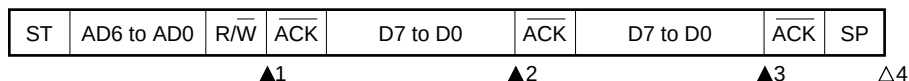
▲3: IICS0 = 00000110B

△4: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(3) 从属操作 (扩展代码接收时)

接收到扩展代码时，器件始终参与通信。

(a) 开始 ~ 代码 ~ 数据 ~ 数据 ~ 停止**(i) 当 $WTIM0 = 0$ 时**

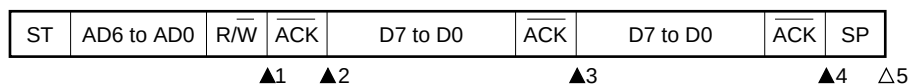
▲1: IICS0 = 0010×010B

▲2: IICS0 = 0010×000B

▲3: IICS0 = 0010×000B

△4: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 SPIE0 = 1 时产生
 ×: 忽略

(ii) 当 $WTIM0 = 1$ 时

▲1: IICS0 = 0010×010B

▲2: IICS0 = 0010×110B

▲3: IICS0 = 0010×100B

▲4: IICS0 = 0010××00B

△5: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 SPIE0 = 1 时产生
 ×: 忽略

(b) 开始 ~ 代码 ~ 数据 ~ 开始 ~ 地址 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ 时 (重启后, 与 $SVA0$ 匹配)

▲1: IICS0 = 0010×010B

▲2: IICS0 = 0010×000B

▲3: IICS0 = 0001×110B

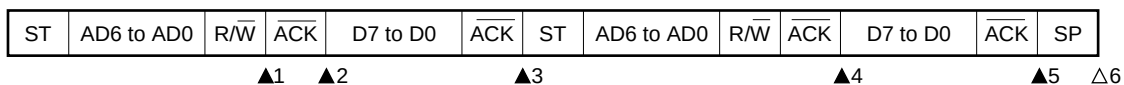
▲4: IICS0 = 0001×000B

△5: IICS0 = 00000001B

备注 ▲: 总是产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(ii) 当 $WTIM0 = 1$ 时 (重启后, 与 $SVA0$ 匹配)

▲1: IICS0 = 0010×010B

▲2: IICS0 = 0010×110B

▲3: IICS0 = 0010××00B

▲4: IICS0 = 0001×110B

▲5: IICS0 = 0001××00B

△6: IICS0 = 00000001B

备注 ▲: 总是产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(c) 开始 ~ 代码 ~ 数据 ~ 开始 ~ 代码 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ 时 (重启后, 扩展代码接收)

▲1: IICS0 = 0010×010B

▲2: IICS0 = 0010×000B

▲3: IICS0 = 0010×010B

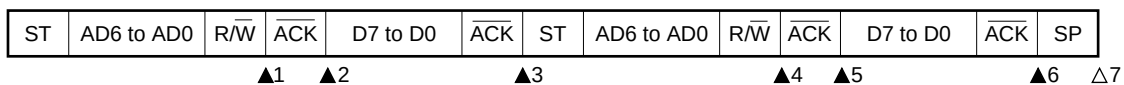
▲4: IICS0 = 0010×000B

△5: IICS0 = 00000001B

备注 ▲: 总是产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(ii) 当 $WTIM0 = 1$ 时 (重启后, 扩展代码接收)

▲1: IICS0 = 0010×010B

▲2: IICS0 = 0010×110B

▲3: IICS0 = 0010××00B

▲4: IICS0 = 0010×010B

▲5: IICS0 = 0010×110B

▲6: IICS0 = 0010××00B

△7: IICS0 = 00000001B

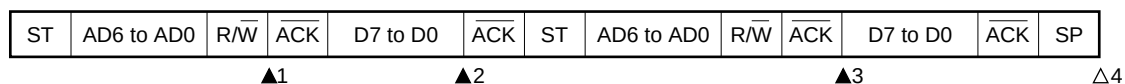
备注 ▲: 总是产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(d) 开始 ~ 代码 ~ 数据 ~ 开始 ~ 地址 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ 时 (重启后, 地址不匹配 (扩展代码以外))



▲1: IICS0 = 00100010B

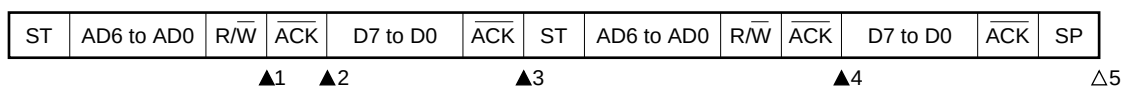
▲2: IICS0 = 00100000B

▲3: IICS0 = 00000110B

△4: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(ii) 当 $WTIM0 = 1$ 时 (重启后, 地址不匹配 (扩展代码以外))



▲1: IICS0 = 00100010B

▲2: IICS0 = 00100110B

▲3: IICS0 = 00100×00B

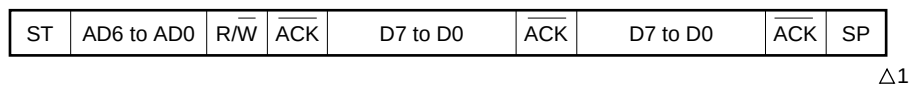
▲4: IICS0 = 00000110B

△5: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(4) 不参与通信时的操作

(a) 开始 ~ 代码 ~ 数据 ~ 数据 ~ 停止



△1: IICS0 = 00000001B

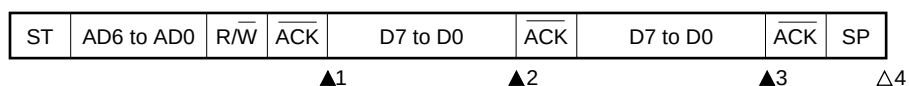
备注 △: 仅当 SPIE0 = 1 时产生

(5) 仲裁失败的操作 (仲裁失败后作为从属操作)

当在多主系统中将器件用作主时，每当发生中断请求信号 INTIICA0 时均需读取 MSTSO 位以检查仲裁结果。

(a) 当从属地址数据的发送期间发生仲裁失败时

(i) 当 WTIM0 = 0 时



▲1: IICS0 = 0101×110B

▲2: IICS0 = 0001×000B

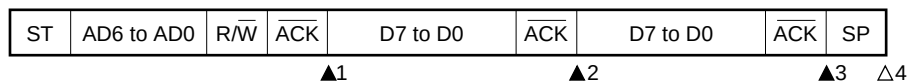
▲3: IICS0 = 0001×000B

△4: IICS0 = 00000001B

备注 ▲: 总是产生

△: 仅当 SPIE0 = 1 时产生

×: 忽略

(ii) 当 $WTIM0 = 1$ 时

▲1: IICS0 = 0101×110B

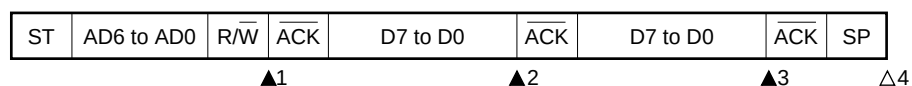
▲2: IICS0 = 0001×100B

▲3: IICS0 = 0001××00B

△4: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(b) 当扩展代码的发送期间发生仲裁失败时

(i) 当 $WTIM0 = 0$ 时

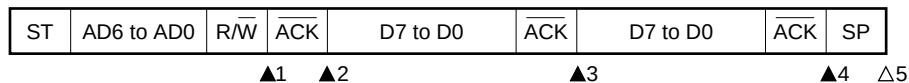
▲1: IICS0 = 0110×010B

▲2: IICS0 = 0010×000B

▲3: IICS0 = 0010×000B

△4: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(ii) 当 $WTIM0 = 1$ 时

▲1: IICS0 = 0110×010B

▲2: IICS0 = 0010×110B

▲3: IICS0 = 0010×100B

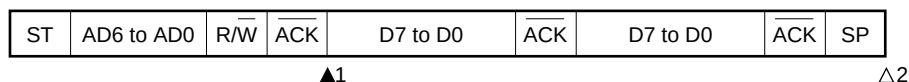
▲4: IICS0 = 0010××00B

△5: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 忽略

(6) 发生仲裁失败时的操作 (仲裁失败后不参与通信)

当在多主系统中将器件用作主时，每当发生中断请求信号 $INTIICA0$ 时均需读取 $MSTS0$ 位以检查仲裁结果。

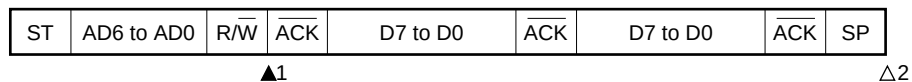
(a) 当从属地址数据的发送期间发生仲裁失败时 (当 $WTIM0 = 1$ 时)

▲1: IICS0 = 01000110B

△2: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 $SPIE0 = 1$ 时产生

(b) 当扩展代码的发送期间发生仲裁失败时



▲1: IICS0 = 0110×010B

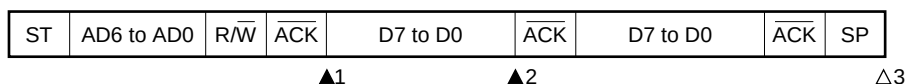
利用软件设置为 LREL0 = 1

△2: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 SPIE0 = 1 时产生
 ×: 忽略

(c) 当数据发送期间发生仲裁失败时

(i) 当 WTIM0 = 0 时

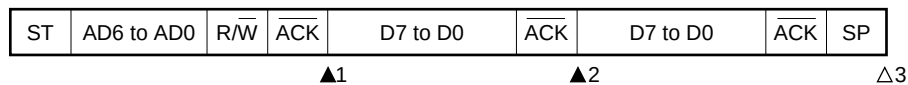


▲1: IICS0 = 10001110B

▲2: IICS0 = 01000000B

△3: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 SPIE0 = 1 时产生

(ii) 当 $WTIM0 = 1$ 时

▲1: IICS0 = 10001110B

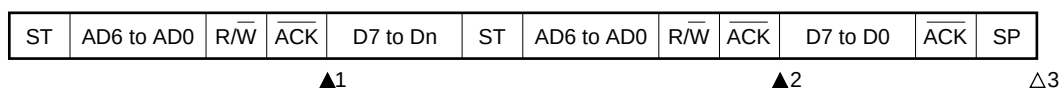
▲2: IICS0 = 01000100B

△3: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 SPIE0 = 1 时产生

(d) 数据传输期间由于重启条件而发生失败时

(i) 扩展代码以外 (示例: 与 SVA0 不匹配)



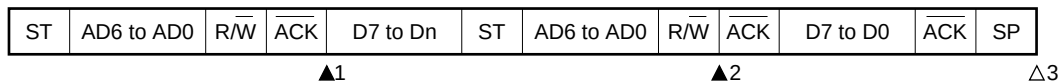
▲1: IICS0 = 1000×110B

▲2: IICS0 = 01000110B

△3: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 SPIE0 = 1 时产生
 ×: 忽略
 n = 6 至 0

(ii) 扩展代码



▲1: IICS0 = 1000×110B

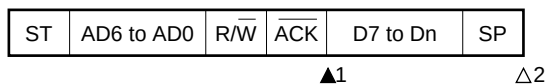
▲2: IICS0 = 01100010B

利用软件设置为 LREL0 = 1

△3: IICS0 = 00000001B

备注 ▲: 总是产生
 △: 仅当 SPIE0 = 1 时产生
 ×: 忽略
 n = 6 至 0

(e) 数据传输期间由于停止条件而发生失败时



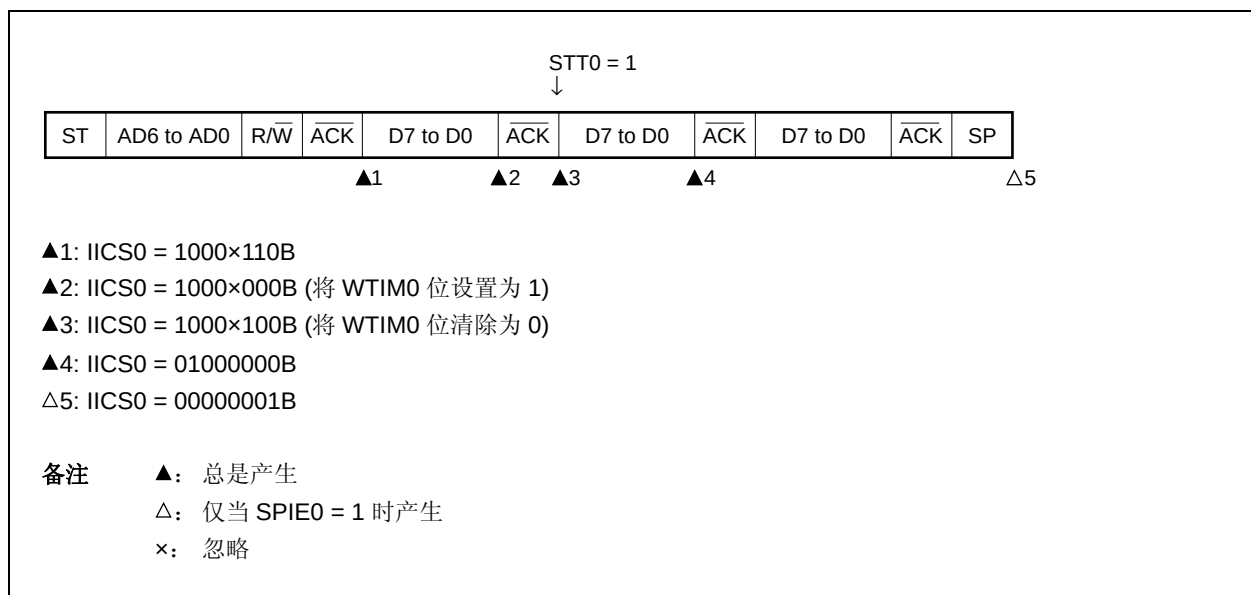
▲1: IICS0 = 10000110B

△2: IICS0 = 01000001B

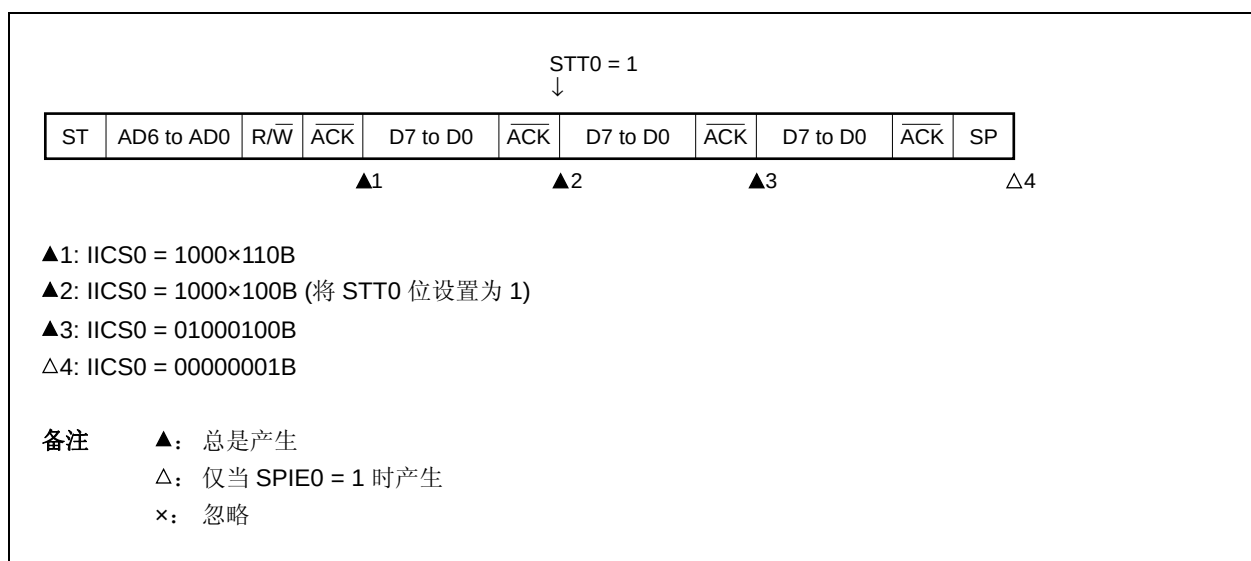
备注 ▲: 总是产生
 △: 仅当 SPIE0 = 1 时产生
 ×: 忽略
 n = 6 至 0

(f) 当试图产生重启条件时, 由于低电平数据发生仲裁失败

(i) 当 $WTIM0 = 0$ 时

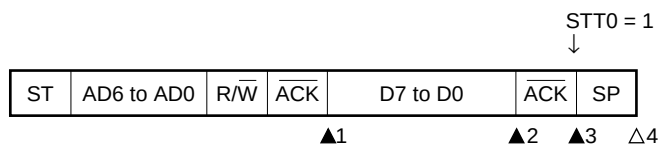


(ii) 当 $WTIM0 = 1$ 时



(g) 当试图产生重启条件时，由于停止条件而发生仲裁失败

(i) 当 $WTIM0 = 0$ 时



▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000×000B (将 $WTIM0$ 位设置为 1)

▲3: IICS0 = 1000××00B (将 $STT0$ 位设置为 1)

Δ4: IICS0 = 01000001B

备注

▲: 总是产生

Δ: 仅当 $SPIE0 = 1$ 时产生

×: 忽略

(ii) 当 $WTIM0 = 1$ 时



▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000××00B (将 $STT0$ 位设置为 1)

Δ3: IICS0 = 01000001B

备注

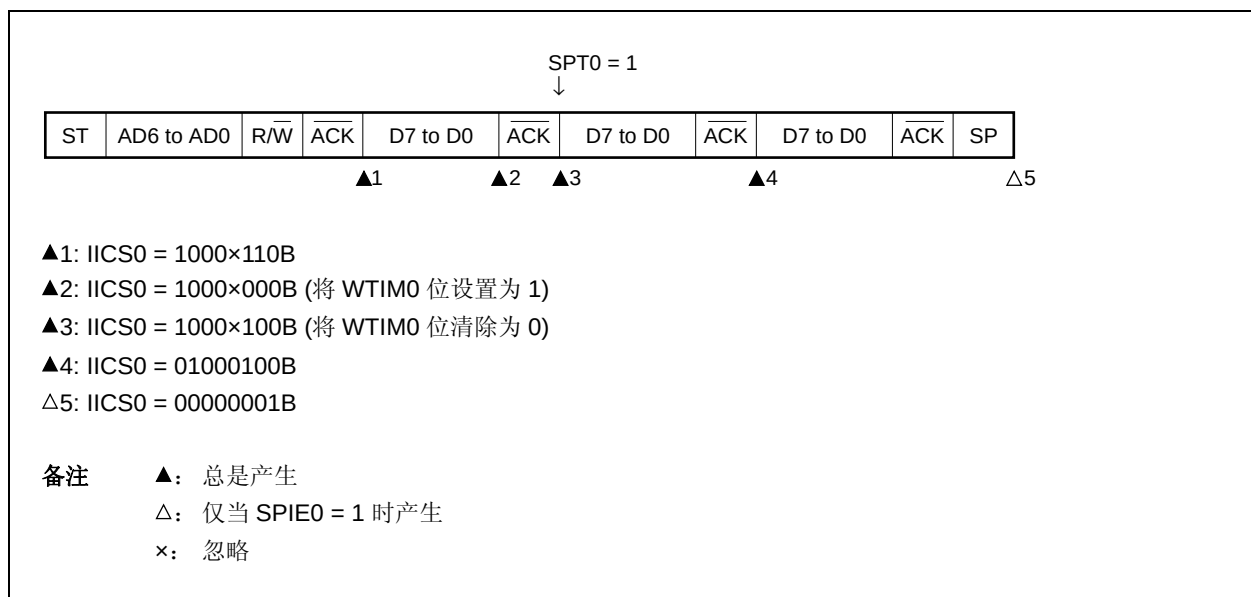
▲: 总是产生

Δ: 仅当 $SPIE0 = 1$ 时产生

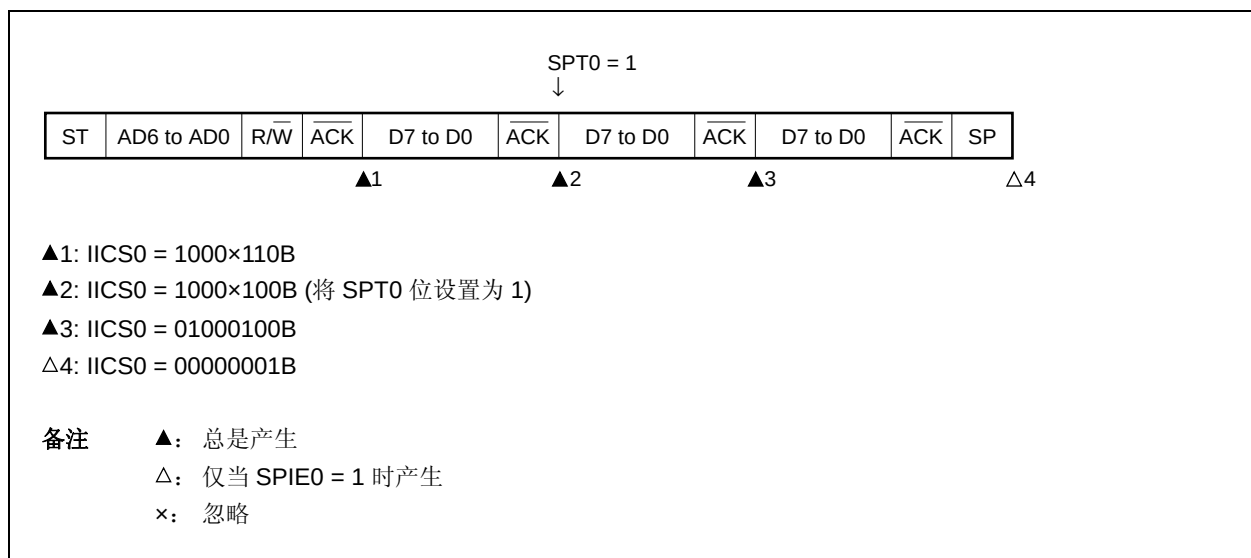
×: 忽略

(h) 当试图产生停止条件时，由于低电平数据发生仲裁失败

(i) 当 $WTIM0 = 0$ 时



(ii) 当 $WTIM0 = 1$ 时



18.6 时序图

当使用 I²C 总线模式时，主通过串行总线输出一个地址，在多个从属中选择其中一个作为自己的通信伙伴。

输出从属地址以后，主发送 TRC0 位(IICA 状态寄存器 0 (IICS0)的位 3)指定数据传输方向，然后，开始与从属进行串行通信。

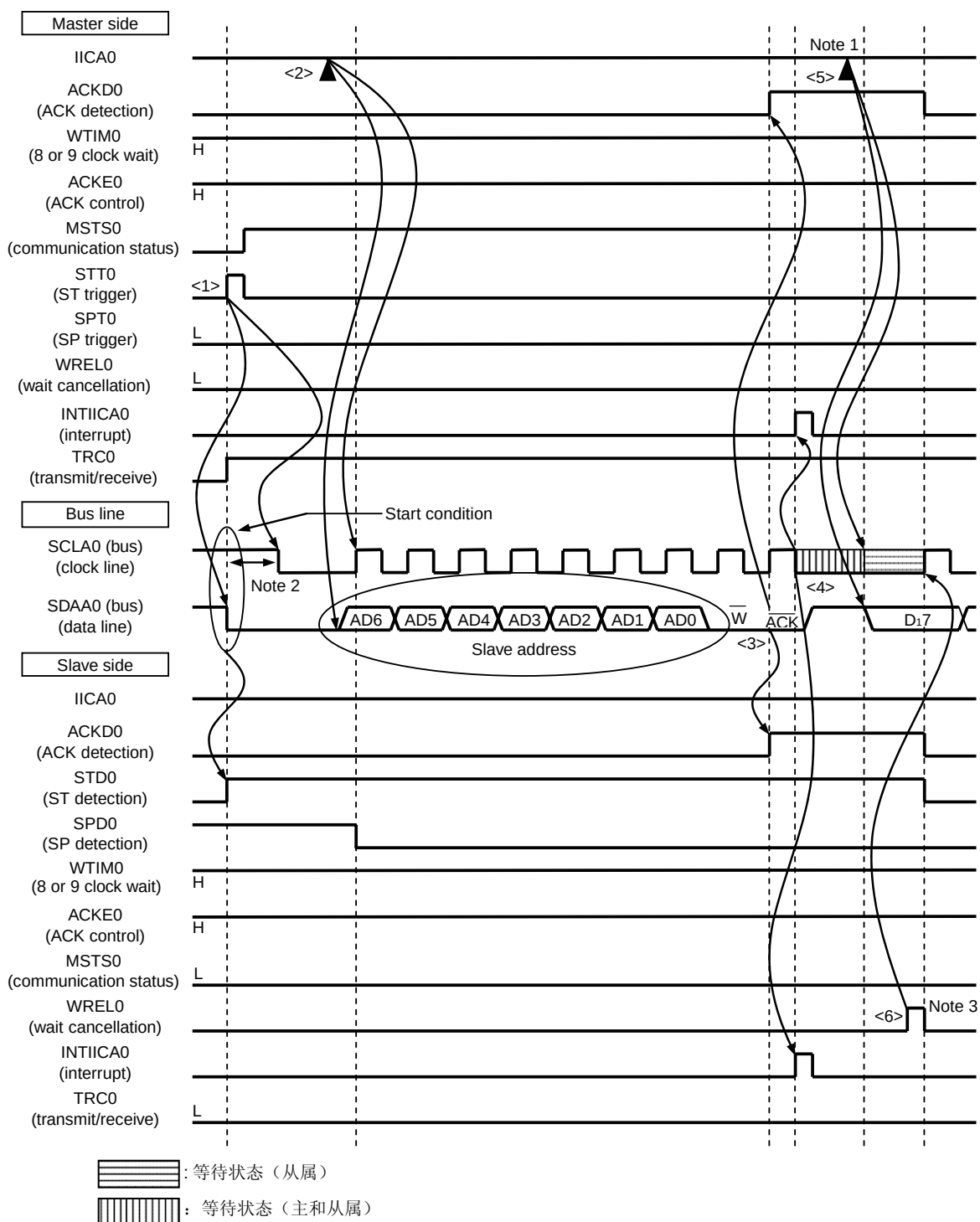
数据通信时序图如图 18-32 和 18-33 所示。

IICA 移位寄存器 0(IICA0)的移位操作和串行时钟 (SCLA0) 的下降沿同步。发送数据被传送到 SO 锁存器并经由 SDAA0 引脚输出 (MSB 先行)。

由 SDAA0 引脚输入的数据在 SCLA0 的上升沿被捕捉至 IICA0。

图 18-32. 主→从通信示例
(主：选择 9 时钟等待，从属：选择 9 时钟等待) (1/4)

(1) 开始条件 ~ 地址 ~ 数据



- 注 1. 将数据写入 IICA0，不设置 WREL0 位，以在主发送期间取消等待状态。
2. 确保从 SDAA0 引脚信号下降到 SCLA0 引脚信号下降的时间在指定标准模式时至少为 4.0 s，在指定快速模式时至少为 0.6 s。
3. 要在从属接收期间解除等待状态，须将“FFH”写入 IICA0，或者设置 WREL0 位。

图 18-32 中，(1) 开始条件~地址~数据中的 <1> 至 <6> 的意义解释如下。

- <1> 开始条件触发由主设置 (STT0 = 1)，当总线数据线变成低电平 (SDAA0) 时将产生一个开始条件 (即 SCLA0 = 1 使 SDAA0 从 1 变为 0)。当接下来检测到开始条件时，主将进入主通信状态 (MSTS0 = 1)。在经过保持时间之后，一旦总线时钟线变成低电平 (SCLA0 = 0)，主即可进行通信。
- <2> 主将地址 + W (发送) 写入 IICA 移位寄存器 0 (IICA0)，并发送从属地址。
- <3> 在从属中，如果收到的地址与从属的地址 (SVA0 值) 相匹配^注，则从属将通过硬件向主发送一个 ACK。主在第 9 个时钟的上升沿检测 ACK (ACKD0 = 1)。
- <4> 主在第 9 个时钟的下降沿产生一个中断 (INTIICA0: 地址发送结束)。地址与发送的从属地址相匹配的从属将设置等待状态 (SCLA0 = 0)，并产生一个中断 (INTIICA0: 地址匹配)^注。
- <5> 主将待发送的数据写入 IICA0 寄存器，并解除由主设置的等待状态。
- <6> 如果从属解除等待状态 (WREL0 = 1)，则主将开始向从属传输数据。

注 如果发送的地址和从属的地址不匹配，则从属不会向主返回 ACK (NACK: SDAA0 = 1)。从属也不会产生 INTIICA0 中断 (地址匹配)，不会设置等待状态。但是，主将产生 INTIICA0 中断 (地址发送结束)，无论是收到 ACK 还是 NACK。

备注 图 18-32 中，<1>至<15>代表利用 I²C 总线进行数据通信的整个步骤。
图 18-32 (1)开始条件~ 地址~ 数据表示从 <1> 到 <6> 的处理步骤，图 18-32 (2)地址 ~ 数据 ~ 数据表示从 <3>到<10>的处理步骤，图 18-32 (3) 数据 ~ 数据 ~ 停止条件则表示从<7>到<15>的处理步骤。

图 18-32. 主→从属通信示例
(主：选择 9 时钟等待， 从属：选择 9 时钟等待) (2/4)

(2) 地址 ~ 数据 ~ 数据

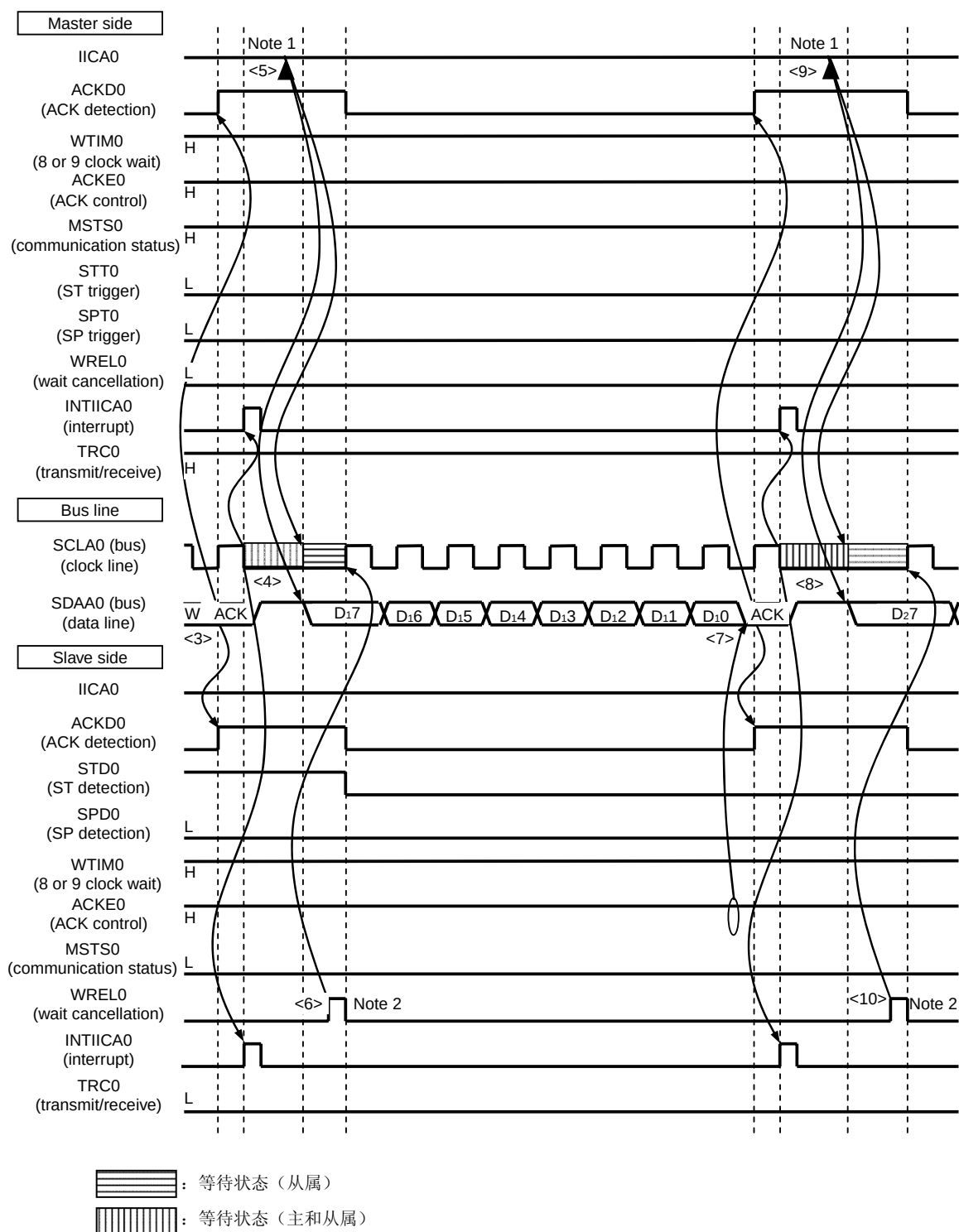


图 18-32 中，(2) 地址~数据~数据中的 <3> 至 <10> 的意义解释如下。

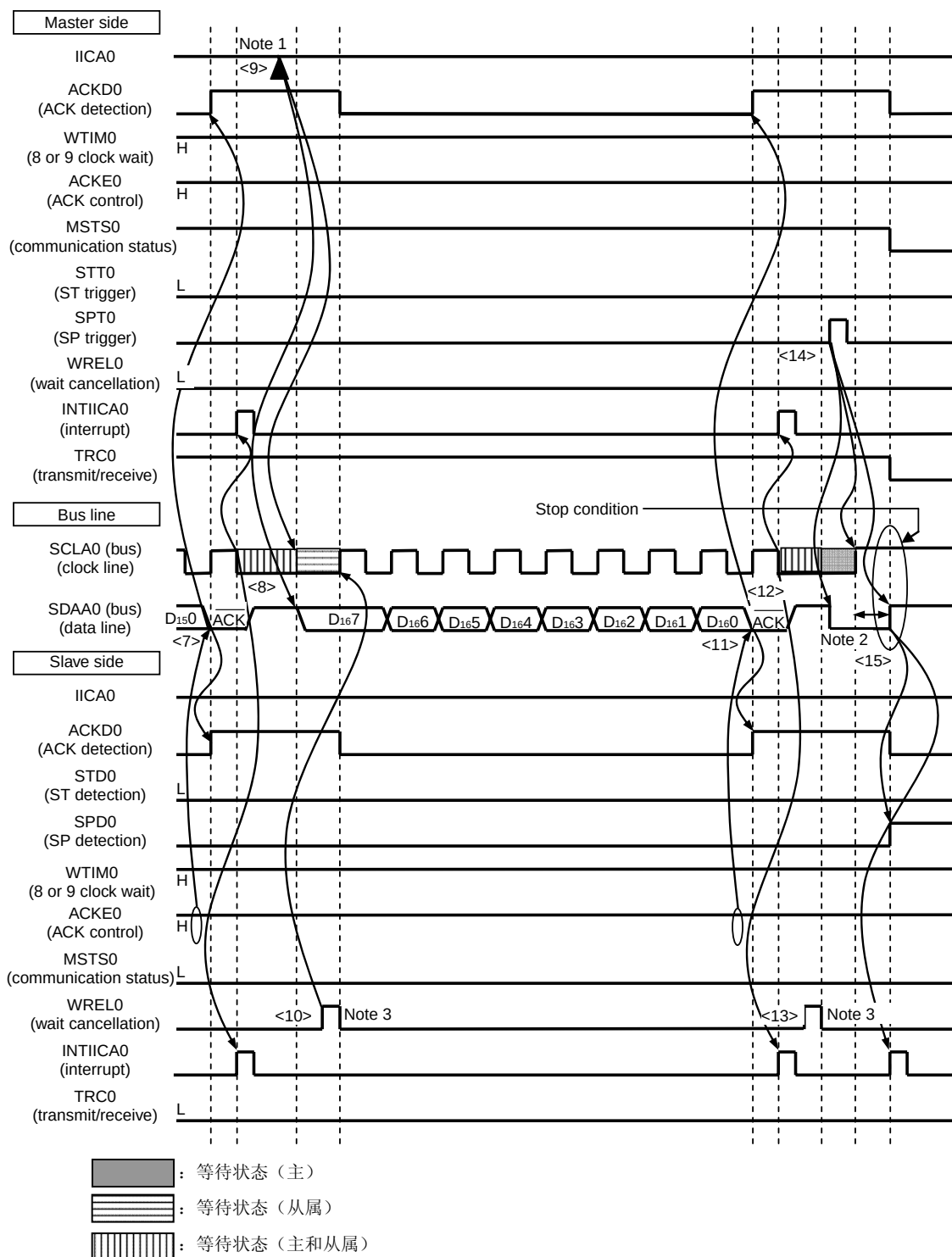
- <3> 在从属中，如果收到的地址与从属的地址（SVA0 值）相匹配[※]，则从属将通过硬件向主发送一个ACK。主在第 9 个时钟的上升沿检测ACK (ACKD0 = 1)。
- <4> 主在第 9 个时钟的下降沿产生一个中断 (INTIICA0：地址发送结束)。地址与发送的从属地址相匹配的从属将设置等待状态(SCLA0 = 0)，并产生一个中断(INTIICA0：地址匹配)[※]。
- <5> 主将待发送的数据写入 IICA 移位寄存器 0 (IICA0)，并解除由主设置的等待状态。
- <6> 如果从属解除等待状态(WREL0 = 1)，则主将开始向从属传输数据。
- <7> 数据传送完成后，由于 ACKE0 = 1，从属将通过硬件向主发送一个 ACK 信号。主在第 9 个时钟的上升沿检测 ACK (ACKD0 = 1)。
- <8> 主和从属在第 9 个时钟的下降沿设置等待状态 (SCLA0 = 0)，而且主和从属都将产生一个中断(INTIICA0：传送结束)。
- <9> 主将待发送的数据写入 IICA0 寄存器，并解除由主设置的等待状态。
- <10> 从属读取接收到的数据，并解除等待状态(WREL0 = 1)。然后，主开始向从属传送数据。

注 如果发送的地址和从属的地址不匹配，则从属不会向主返回 ACK(NACK:SDAA0 = 1)。从属也不会产生 INTIICA0 中断（地址匹配），不会设置等待状态。但是，主将产生 INTIICA0 中断（地址发送结束），无论是收到 ACK 还是 NACK。

备注 图 18-32 中，<1>至<15>代表利用 I²C 总线进行数据通信的整个步骤。
图 18-32 (1)开始条件~ 地址~ 数据表示从 <1> 到 <6> 的处理步骤，图 18-32 (2)地址 ~ 数据 ~ 数据表示从 <3>到<10>的处理步骤，图 18-32 (3) 数据 ~ 数据 ~ 停止条件则表示从<7>到<15>的处理步骤。

图 18-32. 主→从通信示例
(主：选择 9 时钟等待，从属：选择 9 时钟等待) (3/4)

(3) 数据 ~ 数据 ~ 停止条件



- 注 1. 将数据写入 IICA0，不设置 WRELO 位，以在主发送期间取消等待状态。
2. 确保在产生停止条件之后，从 SCLA0 引脚信号上升到产生停止条件的时间在指定标准模式时至少为 4.0 s，在指定快速模式时至少为 0.6 s。
3. 要在从属接收期间解除等待状态，须将“FFH”写入 IICA0，或者设置 WRELO 位。

图 18-32 中，(3) 数据~数据~停止条件中的 <7> 至 <15> 的意义解释如下。

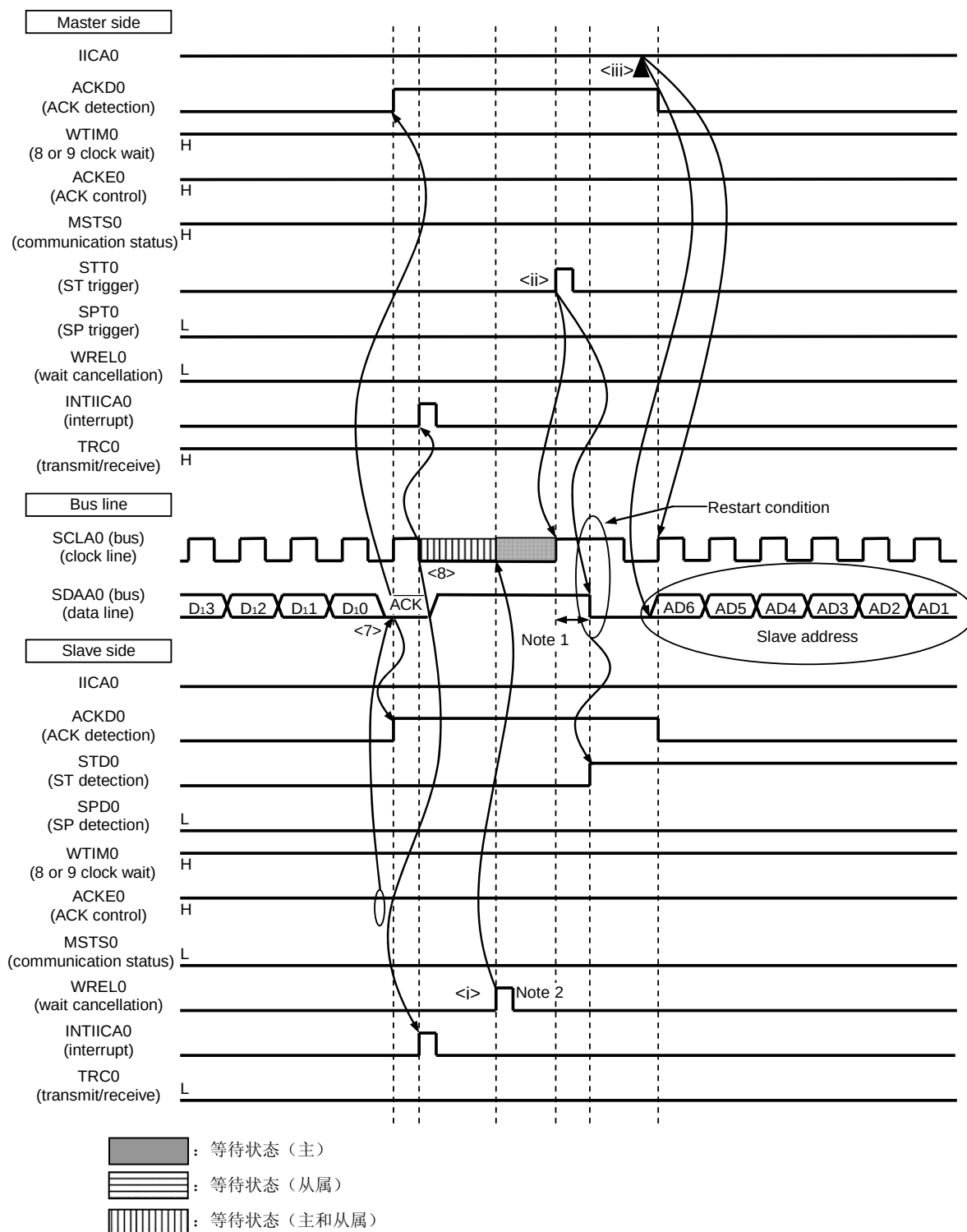
- <7> 数据传送完成后，由于 $ACKEO = 1$ ，从属将通过硬件向主发送一个 ACK 信号。主在第 9 个时钟的上升沿检测 ACK ($ACKD0 = 1$)。
- <8> 主和从属在第 9 个时钟的下降沿设置等待状态 ($SCLA0 = 0$)，而且主和从属都将产生一个中断($INTIICA0$ ：传送结束)。
- <9> 主将待发送的数据写入 IICA 移位寄存器 0 ($IICA0$)，并解除由主设置的等待状态。
- <10> 从属读取接收到的数据，并解除等待状态($WREL0 = 1$)。然后，主开始向从属传送数据。
- <11> 数据传输完成时，从属($ACKEO = 1$)将通过硬件向主发送 ACK。主在第 9 个时钟的上升沿检测 ACK ($ACKD0 = 1$)。
- <12> 主和从属在第 9 个时钟的下降沿设置等待状态 ($SCLA0 = 0$)，而且主和从属都将产生一个中断($INTIICA0$ ：传送结束)。
- <13> 从属读取接收到的数据，并解除等待状态($WREL0 = 1$)。
- <14> 通过主设置一个停止条件触发($SPT0 = 1$)，则总线数据线被清零($SDAA0 = 0$)，并设置总线时钟线 ($SCLA0 = 1$)。在经过停止条件设置时间之后，通过设置总线数据线($SDAA0 = 1$)，将产生停止条件（即 $SCLA0 = 1$ 使 $SDAA0$ 从 0 变成 1）。
- <15> 在产生停止条件时，从属将检测停止条件并产生一个中断($INTIICA0$ ：停止条件)。

备注 图 18-32 中，<1>至<15>代表利用 I²C 总线进行数据通信的整个步骤。

图 18-32 (1)开始条件~ 地址~ 数据表示从 <1> 到 <6> 的处理步骤，图 18-32 (2)地址 ~ 数据 ~ 数据表示从 <3>到<10>的处理步骤，图 18-32 (3) 数据 ~ 数据 ~ 停止条件则表示从<7>到<15>的处理步骤。

图 18-32. 主→从属通信示例
(主：选择 9 时钟等待，从属：选择 9 时钟等待) (4/4)

(4) 数据 ~ 重启条件 ~ 地址



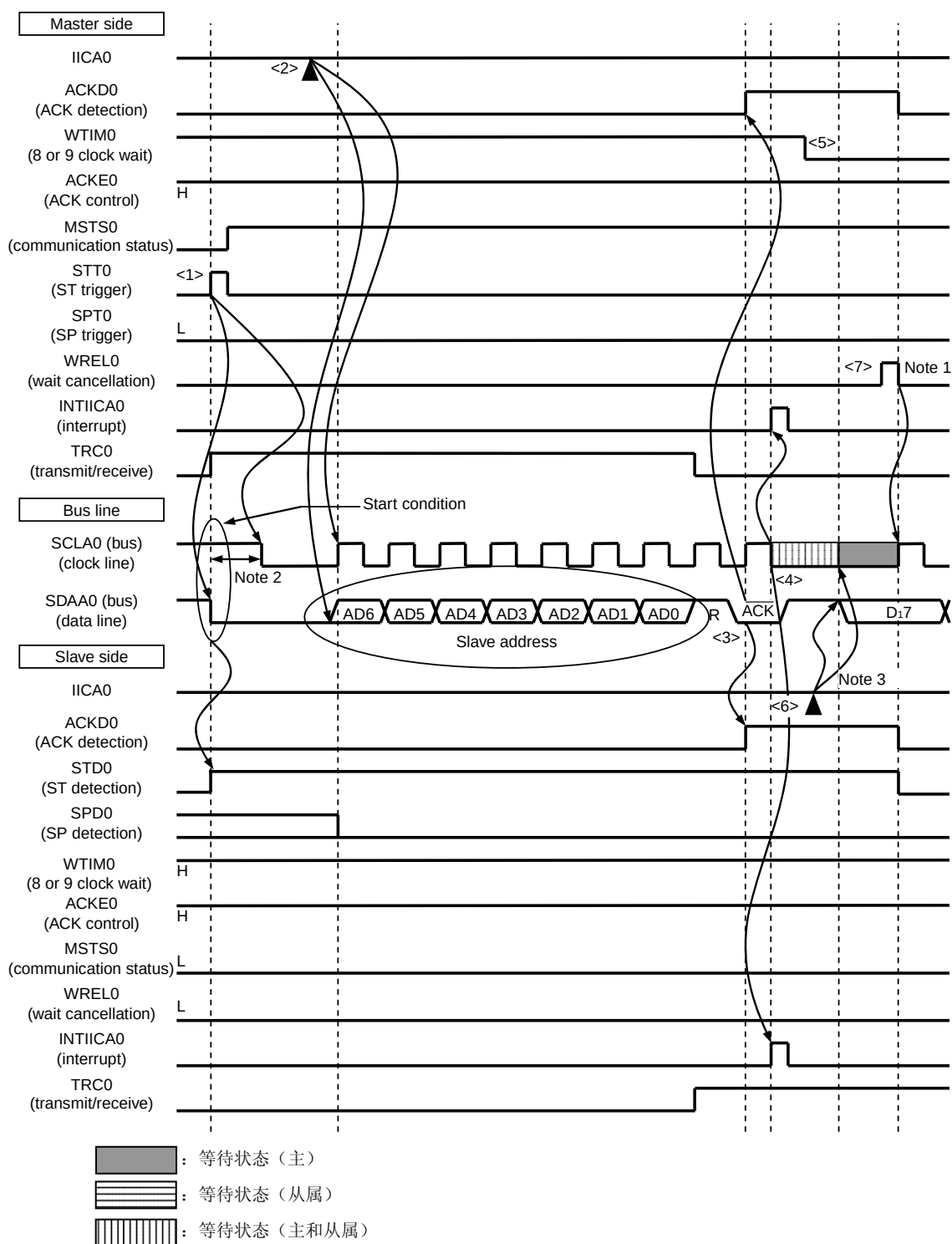
- 注 1. 确保在产生重启条件之后，从 SCLA0 引脚信号上升到产生开始条件的时间在指定标准模式时至少为 4.7 s，在指定快速模式时至少为 0.6 s。
2. 要在从属接收期间解除等待状态，须将“FFH”写入 IICA0，或者设置 WRELO 位。

以下说明图 18-32 中(4) 数据 ~ 重启条件 ~ 地址的操作。在执行第 <7> 和第 <8> 步中的操作之后，将执行第<i>至第<iii>步中的操作。这些步骤使处理返回第<iii>步，即数据发送步骤。

- <7> 数据传送完成后，由于 $ACKEO = 1$ ，从属将通过硬件向主发送一个 ACK 信号。主在第 9 个时钟的上升沿检测 ACK ($ACKD0 = 1$)。
- <8> 主和从属在第 9 个时钟的下降沿设置等待状态 ($SCLA0 = 0$)，而且主和从属都将产生一个中断($INTIICA0$ ：传送结束)。
- <i> 从属读取接收到的数据，并解除等待状态($WREL0 = 1$)。
- <ii> 开始条件触发再次由主设置 ($STT0 = 1$)，在经过重启条件设置时间之后，当总线时钟线变成高电平 ($SCLA0 = 1$) 且总线数据线变成低电平 ($SDAA0 = 0$) 时，将产生一个开始条件（即 $SCLA0 = 1$ 使 $SDAA0$ 从 1 变为 0）。当接下来检测到开始条件时，在经过保持时间之后，一旦总线时钟线变成低电平 ($SCLA0 = 0$)，主即可通信。
- <iii> 主将地址 + R/W（发送）写入 IICA 移位寄存器($IICA0$)，以发送从属地址。

图 18-33. 从属→主通信示例
(主：选择 8 时钟等待，从属：选择 9 时钟等待) (1/3)

(1) 开始条件 ~ 地址 ~ 数据



- 注 1. 要在主接收期间解除等待状态，须将“FFH”写入 IICA0，或者设置 WREL0 位。
2. 确保从 SDAA0 引脚信号下降到 SCLA0 引脚信号下降的时间在指定标准模式时至少为 4.0 s，在指定快速模式时至少为 0.6 s。
3. 将数据写入 IICA0，不设置 WREL0 位，以在从属发送期间取消等待状态。

图 18-33 中，(1) 开始条件~地址~数据中的 <1> 至 <7> 的意义解释如下。

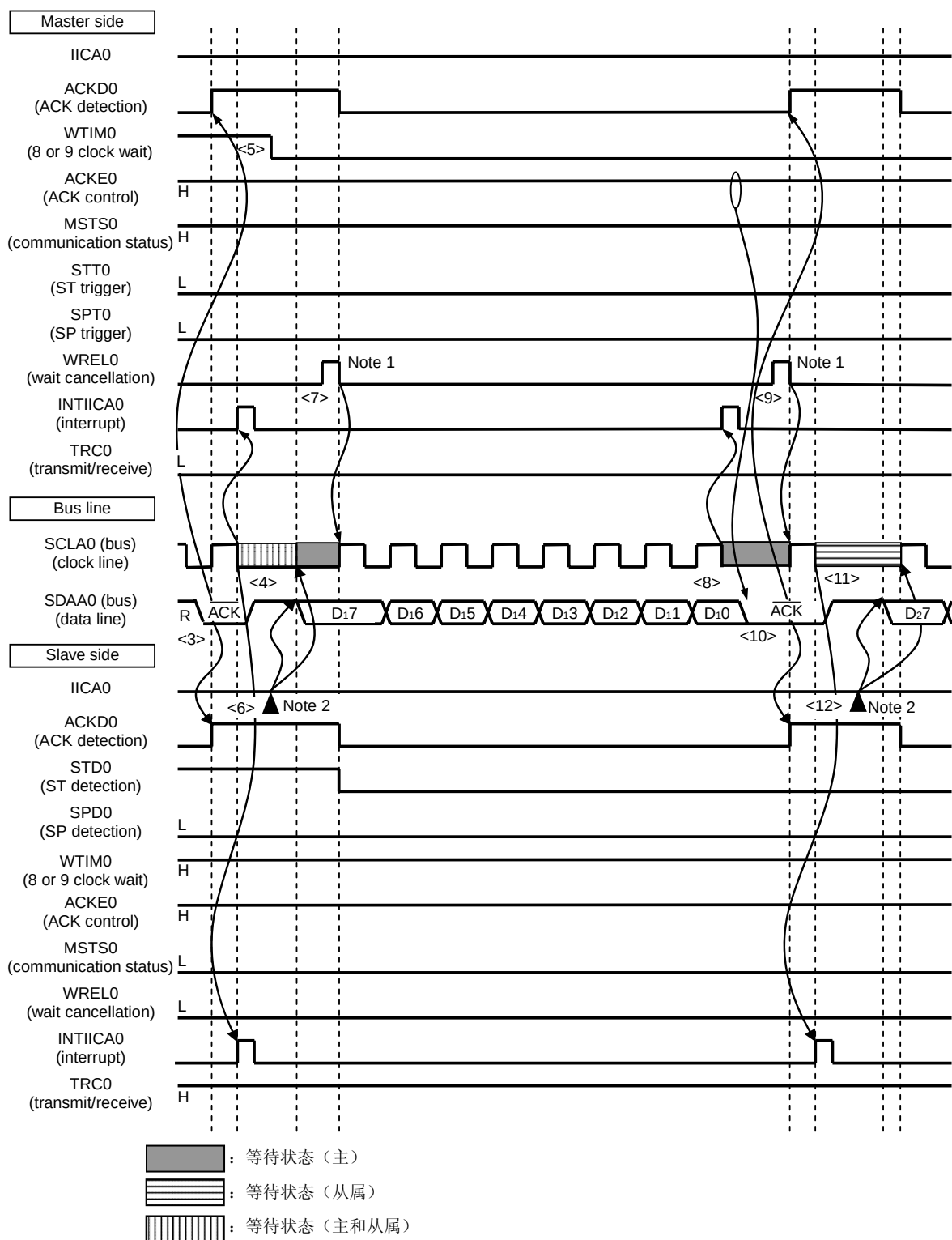
- <1> 开始条件触发由主设置 (STT0 = 1)，当总线数据线变成低电平 (SDAA0) 时将产生一个开始条件 (即 SCLA0 = 1 使 SDAA0 从 1 变为 0)。当接下来检测到开始条件时，主将进入主通信状态 (MSTS0 = 1)。在经过保持时间之后，一旦总线时钟线变成低电平 (SCLA0 = 0)，主即可进行通信。
- <2> 主将地址 + R (接收) 写入 IICA 移位寄存器 0 (IICA0)，并发送从属地址。
- <3> 在从属中，如果收到的地址与从属的地址 (SVA0 值) 相匹配^注，则从属将通过硬件向主发送一个ACK。主在第 9 个时钟的上升沿检测ACK (ACKD0 = 1)。
- <4> 主在第 9 个时钟的下降沿产生一个中断 (INTIICA0: 地址发送结束)。地址与发送的从属地址相匹配的从属将设置等待状态(SCLA0 = 0)，并产生一个中断(INTIICA0: 地址匹配)^注。
- <5> 主设置等待状态的时序变成第 8 个时钟 (WTIM0 = 0)。
- <6> 从属将待发送的数据写入 IICA0 寄存器，并解除由从属设置的等待状态。
- <7> 主解除等待状态(WREL0 = 1)，并开始将数据由从属传送到主。

注 如果发送的地址和从属的地址不匹配，则从属不会向主返回 ACK(NACK:SDAA0 = 1)。从属也不会产生 INTIICA0 中断 (地址匹配)，不会设置等待状态。但是，主将产生 INTIICA0 中断 (地址发送结束)，无论是收到 ACK 还是 NACK。

备注 图 18-33 中，<1>至<19>代表利用 I²C 总线进行数据通信的整个步骤。
图 18-33 (1)开始条件~ 地址~ 数据表示从 <1> 到 <7> 的处理步骤，图 18-33 (2)地址 ~ 数据 ~ 数据表示从 <3>到<12>的处理步骤，图 18-33 (3) 数据 ~ 数据 ~ 停止条件则表示从<8>到<19>的处理步骤。

图 18-33. 从属→主通信示例
(主：选择 8 时钟等待，从属：选择 9 时钟等待) (2/3)

(2) 地址 ~ 数据 ~ 数据



注 1. 要在主接收期间解除等待状态，须将“FFH”写入 IICA0，或者设置 WRELO 位。

2. 将数据写入 IICA0，不设置 WRELO 位，以在从属发送期间取消等待状态。

图 18-33 中，(2) 地址~数据~数据中的 <3> 至 <12> 的意义解释如下。

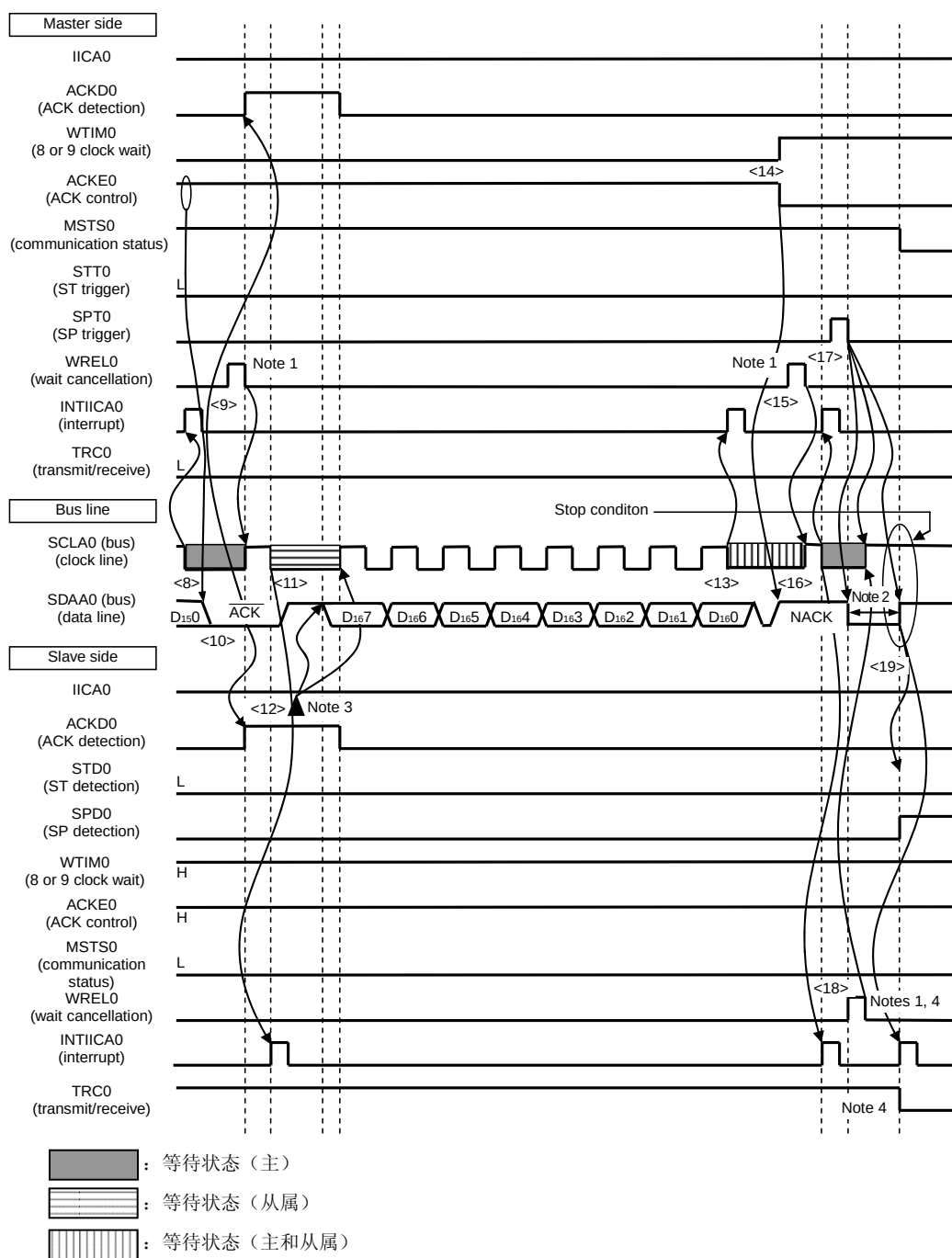
- <3> 在从属中，如果收到的地址与从属的地址（SVA0 值）相匹配[※]，则从属将通过硬件向主发送一个ACK。主在第 9 个时钟的上升沿检测ACK (ACKD0 = 1)。
- <4> 主在第 9 个时钟的下降沿产生一个中断 (INTIICA0：地址发送结束)。地址与发送的从属地址相匹配的从属将设置等待状态(SCLA0 = 0)，并产生一个中断(INTIICA0：地址匹配)[※]。
- <5> 主将等待状态的时序改变成第 8 个时钟 (WTIM0 = 0)。
- <6> 从属将待发送的数据写入 IICA 移位寄存器 0 (IICA0)，并解除由从属设置的等待状态。
- <7> 主解除等待状态(WREL0 = 1)，并开始将数据由从属传送到主。
- <8> 主在第 8 个时钟下降沿设置一个等待状态 (SCLA0 = 0)，并产生一个中断 (INTIICA0：传送结束)。在主中，由于 ACKE0 = 1，主将通过硬件向从属发送一个 ACK。
- <9> 主读取接收到的数据，并解除等待状态(WREL0 = 1)。
- <10> 从属在第 9 个时钟的上升沿检测 ACK (ACKD0 = 1)。
- <11> 从属在第 9 个时钟的下降沿设置等待状态 (SCLA0 = 0)，而且从属产生一个中断(INTIICA0：传送结束)。
- <12> 从属将待发送的数据写入 IICA0 寄存器，并解除由从属设置的等待状态。然后，从属开始向主传送数据。

注 如果发送的地址和从属的地址不匹配，则从属不会向主返回 ACK(NACK:SDAA0 = 1)。从属也不会产生 INTIICA0 中断（地址匹配），不会设置等待状态。但是，主将产生 INTIICA0 中断（地址发送结束），无论是收到 ACK 还是 NACK。

备注 图 18-33 中，<1>至<19>代表利用 I²C 总线进行数据通信的整个步骤。
图 18-33 (1)开始条件~ 地址~ 数据表示从 <1> 到 <7> 的处理步骤，图 18-33 (2)地址 ~ 数据 ~ 数据表示从 <3>到<12>的处理步骤，图 18-33 (3) 数据 ~ 数据 ~ 停止条件则表示从<8>到<19>的处理步骤。

图 18-33. 从属→主通信示例
(主：选择 8 时钟和 9 时钟等待， 从属：选择 9 时钟等待) (3/3)

(3) 数据 ~ 数据 ~ 停止条件



- 注 1. 要取消等待状态，须将“FFH”写入 IICA0，或者设置 WREL0 位。
2. 确保在产生停止条件之后，从 SCLA0 引脚信号上升到产生停止条件的时间在指定标准模式时至少为 4.0 s，在指定快速模式时至少为 0.6 s。
3. 将数据写入 IICA0，不设置 WREL0 位，以在从属发送期间取消等待状态。
4. 如果在发送期间通过设置 WREL0 位取消从属等待状态，则 TRC0 位将被清除。

图 18-33 中，(3) 数据~数据~停止条件中的 <8> 至 <19> 的意义解释如下。

- <8> 主在第 8 个时钟下降沿设置一个等待状态 ($SCLA0 = 0$)，并产生一个中断 (INTIICA0: 传送结束)。在主中，由于 $ACKE0 = 0$ ，主将通过硬件向从属发送一个 ACK。
- <9> 主读取接收到的数据，并解除等待状态 ($WRELO = 1$)。
- <10> 从属在第 9 个时钟的上升沿检测 ACK ($ACKD0 = 1$)。
- <11> 从属在第 9 个时钟的下降沿设置等待状态 ($SCLA0 = 0$)，而且从属产生一个中断 (INTIICA0: 传送结束)。
- <12> 从属将待发送的数据写入 IICA 寄存器，并解除由从属设置的等待状态。然后，从属开始向主传送数据。
- <13> 主在第 8 个时钟下降沿产生一个中断 (INTIICA0: 传送结束)，并设置一个等待状态 ($SCLA0 = 0$)。由于执行 ACK 控制 ($ACKE0 = 1$)，所以，总线数据线在此阶段处于低电平 ($SDAA0 = 0$)。
- <14> 作为响应，主设置 NACK ($ACKE0 = 0$)，并将其设置等待状态的时序更改为第 9 个时钟 ($WTIM0 = 1$)。
- <15> 如果主解除等待状态 ($WRELO = 1$)，从属将在第 9 个时钟的上升沿检测 NACK ($ACK = 0$)。
- <16> 主和从属在第 9 个时钟的下降沿设置等待状态 ($SCLA0 = 0$)，而且主和从属都将产生一个中断 (INTIICA0: 传送结束)。
- <17> 当主产生一个停止条件 ($SPT0 = 1$) 时，总线数据线被清零 ($SDAA0 = 0$)，主解除等待状态。然后，主处于等待状态，直到总线时钟线被设置为止 ($SCLA0 = 1$)。
- <18> 从属确认 NACK，中止发送，并解除等待状态 ($WRELO = 1$)，以结束通信。主一旦解除等待状态，总线时钟线将被设置 ($SCLA0 = 1$)。
- <19> 当主认识到总线时钟线被设置 ($SCLA0 = 1$)，并在经过停止条件设置时间之后，主设置总线数据线 ($SDAA0 = 1$)，并产生一个停止条件 (即 $SCLA0 = 1$ 使 $SDAA0$ 从 0 变成 1)。从属检测产生的停止条件，并产生一个中断 (INTIICA0: 停止条件)。

备注 图 18-33 中，<1>至<19>代表利用 I²C 总线进行数据通信的整个步骤。

图 18-33 (1)开始条件~ 地址~ 数据表示从 <1> 到 <7> 的处理步骤，图 18-33 (2)地址 ~ 数据 ~ 数据表示从 <3>到<12>的处理步骤，图 18-33 (3) 数据 ~ 数据 ~ 停止条件则表示从<8>到<19>的处理步骤。

第十九章 DTC

DTC（数据传送控制器）是在存储器之间传送数据而无需使用 CPU 的功能。DTC 由外围功能中断启动，以执行数据传送操作。DTC 和 CPU 使用相同的总线，在使用总线时，DTC 优先于 CPU。

为了控制 DTC 数据传送，由传送源地址、传送目标地地址和操作模式构成的控制数据被分配在 DTC 控制数据区。每当 DTC 被启动，DTC 都会读取控制数据以执行数据传送操作。DTC 控制数据区分配于 DTCBAR 寄存器设置的 RAM 空间中。

19.1 概要

DTC 的规格如表 19-1 所示。

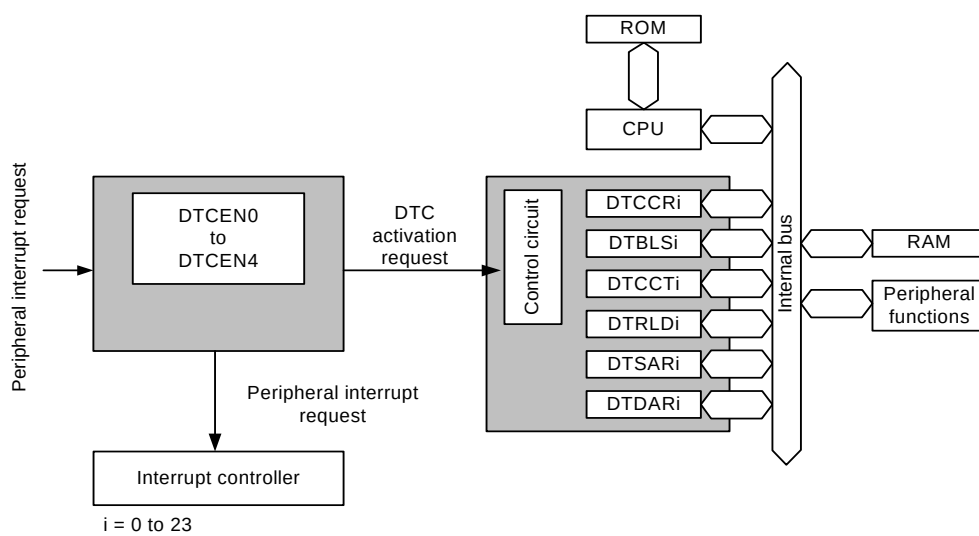
表 19-1. DTC 的规格

项目		规格
启动源		31 个源 (30, 32, 36, 40, 44, 48, 52 和 64 针产品)/39 个源 (80 和 100 针产品)
可配置的控制数据		24 组
可传送的地址空间	地址空间	64 Kb (F0000H 至 FFFFFH)，不包括通用寄存器
	源	第 1 SFR 区、RAM 区（不包括通用寄存器）、镜像区 ^註 、数据闪存区 ^註 、第 2 SFR 区
	目标	第 1 SFR 区、RAM 区（不包括通用寄存器）、第 2 SFR 区
最大传送次数	普通模式	256 次
	重复模式	255 次
最大传送块大小	普通模式 (8 位传送)	256 字节
	普通模式 (16 位传送)	512 字节
	重复模式	255 字节
传送单位		8 位/16 位
传送模式	普通模式	使 DTCCTj 寄存器值从 1 变成 0 的传送完成时，结束传送。
	重复模式	使 DTCCTj 寄存器的值从 1 变成 0 时，初始化重复区地址，并将 DTRLDj 寄存器值重新载入 DTCCTj 寄存器以继续传送。
地址控制	普通模式	固定或递增
	重复模式	未选为重复区的区域的地址是固定的或递增的。
启动源的优先度		参阅表 19-5. DTC 启动源和 DTC 向量地址。
中断请求	普通模式	当执行使 DTCCTj 寄存器值从 1 变为 0 的传送时，将为 CPU 产生启动源中断请求，并在完成数据传送时执行中断处理。
	重复模式	在 DTCCRj 寄存器中的 RPTINT 位为 1（允许产生中断）的情况下，当执行使 DTCCTj 寄存器值从 1 变为 0 的传送时，将为 CPU 产生启动源中断请求，并在完成数据传送时执行中断处理。
开始传送		当 DTCENi 寄存器中的 DTCENi0 至 DTCENi7 位为 1 时（允许启动），每当产生对应的 DTC 启动源时，都开始数据传送。
停止传送	普通模式	·当 DTCENi0 至 DTCENi7 位被设为 0 时（禁止启动）。 ·当完成使 DTCCTj 寄存器值从 1 变成 0 的数据传送时。
	重复模式	·当 DTCENi0 至 DTCENi7 位被设为 0 时（禁止启动）。 ·在 RPTINT 位为 1（允许产生中断）的情况下，当完成使 DTCCTj 寄存器值从 1 变成 0 的数据传送时。
备用模式时的操作	HALT 状态	DTC 操作
	SNOOZE 状态	DTC 操作
	STOP 状态	DTC 停止

注 在 SNOOZE 模式下，因为闪存停止工作，所以不能将这些区域设为 DTC 传送源。

备注 i = 0 至 4, j = 0 至 23

图 19-1. DTC 的框图



DTCCRi: DTC control register

DTBLSi: DTC block size register

DTCCTi: DTC transfer count register

DTRLDi: DTC transfer count reload register

DTSARi: DTC source address register

DTDARi: DTC destination address register

DTCEN0 to DTCEN4: DTC activation enable register 0 to DTC activation enable register 4

19.2 寄存器

DTC 的寄存器配置如表 19-2 所示。

表 19-2. DTC 的寄存器配置

寄存器名称	符号	复位后	地址	存取大小
外围允许寄存器 1	PER1	00H	F007AH	8
DTC 启动允许寄存器 0	DTCEN0	00H	F02E8H	8
DTC 启动允许寄存器 1	DTCEN1	00H	F02E9H	8
DTC 启动允许寄存器 2	DTCEN2	00H	F02EAH	8
DTC 启动允许寄存器 3	DTCEN3	00H	F02EBH	8
DTC 启动允许寄存器 4	DTCEN4	00H	F02ECH	8
DTC 基址寄存器	DTCBAR	FDH	F02E0H	8

DTC 的控制数据如表 19-3 所示。

DTC 控制数据被分配于 RAM 中的 DTC 控制数据区。

DTCBAR 寄存器用于设置 256 字节区，包括 DTC 控制数据区以及存储着控制数据起始地址的 DTC 向量表区。

表 19-3. DTC 的控制数据

寄存器名称	符号
DTC 控制寄存器 j	DTCCRj
DTC 块大小寄存器 j	DTBLSj
DTC 传输计数寄存器 j	DTCCTj
DTC 传输计数重载寄存器 j	DTRLDj
DTC 源地址寄存器 j	DTSARj
DTC 目标地址寄存器 j	DTDARj

备注 j = 0 至 23

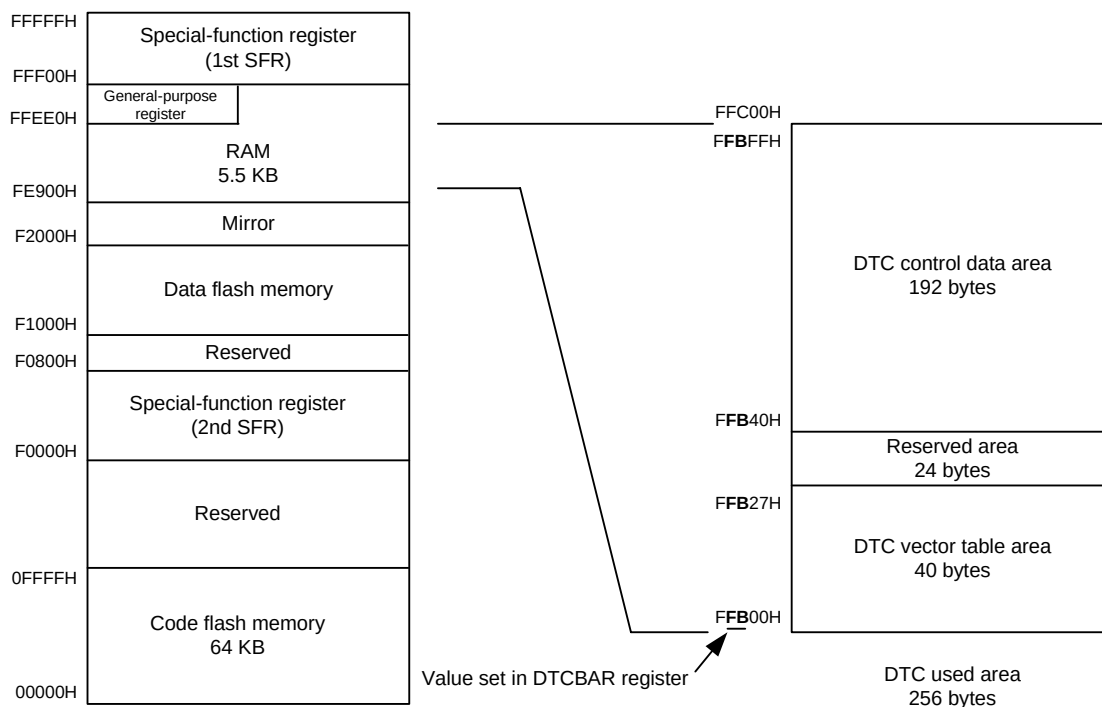
19.2.1 DTC 控制数据区和 DTC 向量表区的分配

DTCBAR 寄存器用于设置 256 字节区，其中，DTC 控制数据区以及向量表在 RAM 区。

图 19-2 显示存储器映射示例，其中 DTCBAR 寄存器被设置为 FBH。

在 192 字节 DTC 控制数据区，未用于 DTC 的空间可以用作 RAM。

图 19-2. 当 DTCBAR 寄存器被设置为 FBH 时的存储器映射示例



可以分配 DTC 控制数据和向量表的区域因使用条件而异。

- 注意事项**
1. 禁止将通用寄存器（FFEE0H 至 FFEFFH）空间用作 DTC 控制数据区或 DTC 向量表区。
 2. 确保堆栈区、DTC 控制数据区和 DTC 向量表区不重叠。
 3. 在使用自编程功能和数据闪存功能时，以下产品中的内部 RAM 区不能用作 DTC 控制数据区或 DTC 向量表区。

R5F104xD (x = A 至 C, E 至 G, J, L) : FE900H 至 FED09H

R5F104xE (x = A 至 C, E 至 G, J, L) : FE900H 至 FED09H

R5F104xJ (x = A 至 C, E 至 G, J, L) : F9F00H 至 FA309H

4. 在使用片上调试跟踪功能时，以下产品中的内部 RAM 区不能用作 DTC 控制数据区或 DTC 向量表区。

R5F104xJ (x = A 至 C, E 至 G, J, L) : FA300H 至 FA6FFH

19.2.2 DTC 控制数据的配置

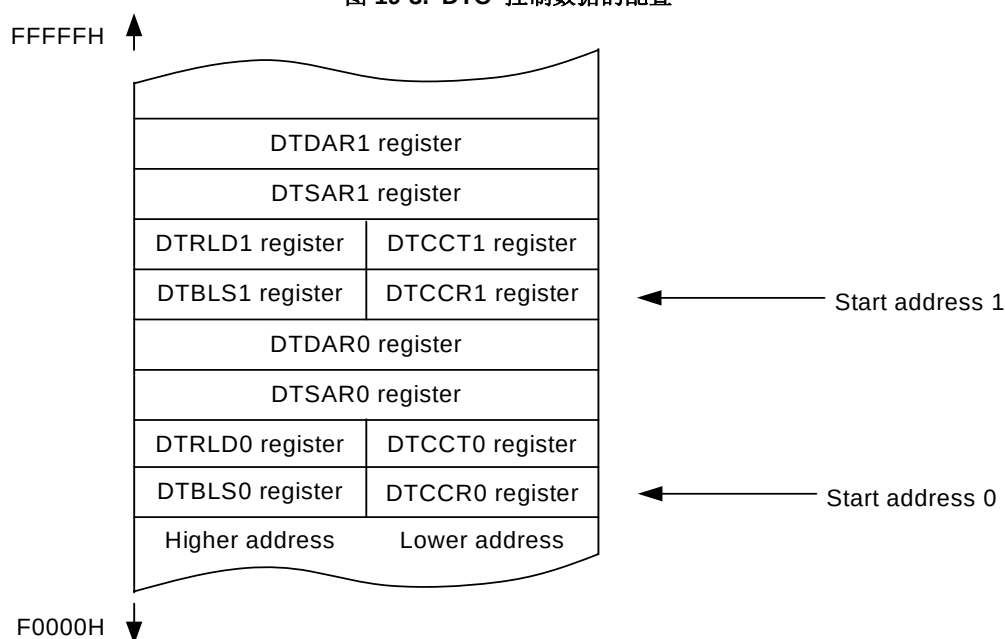
按照以下顺序从各起始地址开始分配控制数据：寄存器 DTCCRj、DTBLSj、DTCCTj、DTRLdj、DTSARj 和 DTDARj (j = 0 至 23)。

起始地址 0 至 23 的高 8 位由 DTCBAR 寄存器设置，低 8 位则根据分配给各启动源的向量表来分别设置。

DTC 控制数据的配置如表 19-3 所示。

- 注 1. 当 DTCENi 寄存器中的 DTCENi0 至 DTCENi7 位 (i = 0 至 4) 中的对应位被设为 0 (禁止 DTC 启动) 时，更改寄存器 DTCCRj、DTBLSj、DTCCTj、DTRLdj、DTSARj 和 DTDARj 中的数据。
2. 不要用 DTC 传送来存取 DTCCRj、DTBLSj、DTCCTj、DTRLdj、DTSARj 或 DTDARj。

图 19-3. DTC 控制数据的配置



19.2.3 DTC 向量表

当 DTC 被启动时，将根据从分配给各启动源的向量表中读取的数据来选择一个控制数据，并从 DTC 控制数据区读取所选的控制数据。

表 19-5 显示 DTC 启动源和 DTC 向量地址。DTC 向量表的一个字节被分配给各启动源，并将来自 40H 至 F8H 的数据存储于各个区中，以从 24 个控制数据集中选择一个。DTC 向量地址的高 8 位由 DTCBAR 寄存器设置，00H 至 27H 分配给与 DTC 启动源对应的低 8 位。

注 当 DTCENi 寄存器中的 DTCENi0 至 DTCENi7 位 ($i = 0$ 至 4) 中的对应位被设为 0 (禁止 DTC 启动) 时，更改将在向量表中设置的 DTC 控制数据区的起始地址。

表 19-5. DTC 启动源和 DTC 向量地址(1/2)

中断请求源	源编号	DTC 向量地址	优先度
保留	0	设置在 DTCBAR 寄存器的地址 +00H	最高 ↑
INTP0	1	设置在 DTCBAR 寄存器的地址 +01H	
INTP1	2	设置在 DTCBAR 寄存器的地址 +02H	
INTP2	3	设置在 DTCBAR 寄存器的地址 +03H	
INTP3	4	设置在 DTCBAR 寄存器的地址 +04H	
INTP4	5	设置在 DTCBAR 寄存器的地址 +05H	
INTP5	6	设置在 DTCBAR 寄存器的地址 +06H	
INTP6	7	设置在 DTCBAR 寄存器的地址 +07H	
INTP7	8	设置在 DTCBAR 寄存器的地址 +08H	
按钮输入	9	设置在 DTCBAR 寄存器的地址 +09H	
A/D 转换结束	10	设置在 DTCBAR 寄存器的地址 +0AH	
UART0 接收的传送结束/CSI01 的传送结束或缓冲器空/IIC01 的传送结束	11	设置在 DTCBAR 寄存器的地址 +0BH	
UART0 发送的传送结束/CSI00 的传送结束或缓冲器空/IIC00 的传送结束	12	设置在 DTCBAR 寄存器的地址 +0CH	
UART1 接收的传送结束/CSI11 的传送结束或缓冲器空/IIC11 的传送结束	13	设置在 DTCBAR 寄存器的地址 +0DH	
UART1 发送的传送结束/CSI10 的传送结束或缓冲器空/IIC10 的传送结束	14	设置在 DTCBAR 寄存器的地址 +0EH	
UART2 接收的传送结束/CSI21 的传送结束或缓冲器空/IIC21 的传送结束	15	设置在 DTCBAR 寄存器的地址 +0FH	
UART2 发送的传送结束/CSI20 的传送结束或缓冲器空/IIC20 的传送结束	16	设置在 DTCBAR 寄存器的地址 +10H	
UART3 接收的传送结束/CSI31 的传送结束或缓冲器空/IIC31 的传送结束 [※]	17	设置在 DTCBAR 寄存器的地址 +11H	
UART3 接收的传送结束/CSI30 的传送结束或缓冲器空/IIC30 的传送结束 [※]	18	设置在 DTCBAR 寄存器的地址 +12H	
定时器阵列单元 0 的通道 0 的计数或捕捉结束	19	设置在 DTCBAR 寄存器的地址 +13H	
定时器阵列单元 0 的通道 1 的计数或捕捉结束	20	设置在 DTCBAR 寄存器的地址 +14H	
定时器阵列单元 0 的通道 2 的计数或捕捉结束	21	设置在 DTCBAR 寄存器的地址 +15H	
定时器阵列单元 0 的通道 3 的计数或捕捉结束	22	设置在 DTCBAR 寄存器的地址 +16H	
定时器阵列单元 1 的通道 0 的计数或捕捉结束 [※]	23	设置在 DTCBAR 寄存器的地址 r +17H	
定时器阵列单元 1 的通道 1 的计数或捕捉结束 [※]	24	设置在 DTCBAR 寄存器的地址 r +18H	
定时器阵列单元 1 的通道 2 的计数或捕捉结束 [※]	25	设置在 DTCBAR 寄存器的地址 +19H	
定时器阵列单元 1 的通道 3 的计数或捕捉结束 [※]	26	设置在 DTCBAR 寄存器的地址 +1AH	

注 仅限 80 和 100 针产品。

表 19-5. DTC 启动源和 DTC 向量地址(2/2)

中断请求源	源编号	DTC 向量地址	优先度
定时器 RD 比较匹配 A0	27	设置在 DTCBAR 寄存器的地址 +1BH	
定时器 RD 比较匹配 B0	28	设置在 DTCBAR 寄存器的地址 +1CH	
定时器 RD 比较匹配 C0	29	设置在 DTCBAR 寄存器的地址 +1DH	
定时器 RD 比较匹配 D0	30	设置在 DTCBAR 寄存器的地址 +1EH	
定时器 RD 比较匹配 A1	31	设置在 DTCBAR 寄存器的地址 +1FH	
定时器 RD 比较匹配 B1	32	设置在 DTCBAR 寄存器的地址 +20H	
定时器 RD 比较匹配 C1	33	设置在 DTCBAR 寄存器的地址 +21H	
定时器 RD 比较匹配 D1	34	设置在 DTCBAR 寄存器的地址 +22H	
定时器 RD 比较匹配 A	35	设置在 DTCBAR 寄存器的地址 +23H	
定时器 RD 比较匹配 B	36	设置在 DTCBAR 寄存器的地址 +24H	
定时器 RJ0 下溢	37	设置在 DTCBAR 寄存器的地址 +25H	
比较器检测 0 [※]	38	设置在 DTCBAR 寄存器的地址 +26H	
比较器检测 1 [※]	39	设置在 DTCBAR 寄存器的地址 +27H	
			最低

注 仅限代码闪存为 96 KB 或更大的产品。

19.2.4 外围允许寄存器 1 (PER1)

PER1 寄存器用于允许或禁止向外围硬件供应时钟。同时停止向未使用的硬件供应时钟，以减少功耗和噪声。
要使用 DTC，务必首先将位 3(DTCEN)置“1”。

PER1 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。
通过产生复位信号，将本寄存器清除为 00H。

图 19-4. 外围允许寄存器 1 (PER1)的格式

地址: F007AH 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	2	1	<0>
PER1	DACEN [※]	TRGEN	COMPEN [※]	TRD0EN	DTCEN	0	0	TRJ0EN

DTCEN	控制 DTC 的输入时钟供应
0	停止输入时钟供应。 • DTC 不能运行。
1	允许输入时钟供应。 • DTC 能运行。

注 仅限代码闪存为 96 KB 或更大的产品。

注意事项 务必将下述的位设置为 0。

代码闪存为 64 KB 或更小的产品: 位 1、2、5 和 7

代码闪存为 96 KB 或更大的产品: 位 1 和 2

19.2.5 DTC 控制寄存器 j (DTCCRj) (j = 0 至 23)

DTCCR 寄存器用于控制 DTC 的操作模式。

图 19-5. DTC 控制寄存器 j (DTCCRj) 的格式

地址：参阅 19.2.2 DTC 控制数据的配置。 复位后：不确定

符号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE

位 7	保留	R/W
0	设置为 0。	R/W

SZ	数据大小选择	R/W
0	8 位	R/W
1	16 位	

RPTINT	允许/禁止重复模式中断	R/W
0	禁止中断产生	R/W
1	允许中断产生	
当 MODE 位为 0（正常模式）时，RPTINT 位的设置无效。		

CHNE	允许/禁止链传送	R/W
0	禁止链传送	R/W
1	允许链传送	
将 DTCCR23 寄存器中的 CHNE 位设置为 0（禁止链传送）。		

DAMOD	控制传送目标地址	R/W
0	固定	R/W
1	递增	
当 MODE 位为 1（重复模式）且 RPTSEL 位为 0（传送目标地址为重复区）时，DAMOD 位的设置无效。		

SAMOD	控制传送源地址	R/W
0	固定	R/W
1	递增	
当 MODE 位为 1（重复模式）且 RPTSEL 位为 1（传送源地址为重复区）时，SAMOD 位的设置无效。		

RPTSEL	选择重复区	R/W
0	传送目标为重复区	R/W
1	传送源地址为重复区	
当 MODE 位为 0（正常模式）时，RPTSEL 位的设置无效。		

MODE	传送模式选择	R/W
0	普通模式	R/W
1	重复模式	

注意事项 不要用 DTC 传送来存取 DTCCRj 寄存器。

19.2.6 DTC 块大小寄存器 j (DTBLSj) (j = 0 至 23)

本寄存器用于设置将由一次启动传送的数据的块大小。

图 19-6. DTC 块大小寄存器 j (DTBLSj) 的格式

地址：参阅 19.2.2 DTC 控制数据的配置。 复位后：不确定

符号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBL Sj	传送块大小		R/W
	8 位传送	16 位传送	
00H	256 字节	512 字节	R/W
01H	1 字节	2 字节	
02H	2 字节 s	4 字节	
03H	3 字节	6 字节	
⋮	⋮	⋮	
⋮	⋮	⋮	
⋮	⋮	⋮	
FDH	253 字节	506 字节	
FEH	254 字节	508 字节	
FFH	255 字节	510 字节	

注意事项 不要用 DTC 传送来存取 DTBLSj 寄存器。

19.2.7 DTC 传送次数寄存器 j (DTCCTj) (j = 0 至 23)

该寄存器用于设置 DTC 数据传送的次数。每启动 DTC 传送一次，该值将递减 1。

图 19-7. DTC 传输计数寄存器(DTCCTj)

地址：参阅 19.2.2 DTC 控制数据的配置。 复位后：不确定

符号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	传送次数		R/W
	8 位传送	16 位传送	
00H	256 次	512 次	R/W
01H	1 次	2 次	
02H	2 次	4 次	
03H	3 次	6 次	
⋮	⋮	⋮	
⋮	⋮	⋮	
⋮	⋮	⋮	
FDH	253 次	506 次	
FEH	254 次	508 次	
FFH	255 次	510 次	

注意事项 不要用 DTC 传送来存取 DTCCTj 寄存器。

19.2.8 DTC 传送次数重载寄存器 j (DTRLDj) (j = 0 至 23)

该寄存器用于在重复模式下设置传送次数寄存器的初始值。由于该寄存器的值以重复模式被重新载入 DTCCT 寄存器，因此，要设置为和 DTCCT 寄存器的初始值相同的值。

图 19-8. DTC 传送次数重载寄存器 j (DTRLDj) 的格式

地址：参阅 19.2.2 DTC 控制数据的配置。 复位后：不确定

符号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意事项 不要用 DTC 传送来存取 DTRLDj 寄存器。

19.2.9 DTC 源地址寄存器 j (DTSARj) (j = 0 至 23)

该寄存器用于指定数据传送的源地址。

当 DTCCRj 寄存器中的 SZ 位被设为 1（16 位传送）时，最低位将被忽略，该地址被处理为一个偶数地址。

图 19-9. DTC 源地址寄存器 j (DTSARj) 的格式

地址：参阅 19.2.2 DTC 控制数据的配置。 复位后：不确定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

注意事项 1. 禁止将通用寄存器（FFEE0H 至 FFEFFH）空间设置为传送源地址。
2. 不要用 DTC 传送来存取 DTSARj 寄存器。

19.2.10 DTC 目标地址寄存器 j (DTDARj) (j = 0 至 23)

该寄存器用于指定数据传送的目标地址。

当 DTCCRj 寄存器中的 SZ 位被设为 1（16 位传送）时，最低位将被忽略，该地址被处理为一个偶数地址。

图 19-10. DTC 目标地址寄存器 j (DTDARj) 的格式

地址：参阅 19.2.2 DTC 控制数据的配置。 复位后：不确定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

注意事项 1. 禁止将通用寄存器（FFEE0H 至 FFEFFH）空间设置为传送源地址。
2. 不要用 DTC 传送来存取 DTDARj 寄存器。

19.2.11 DTC 启动允许寄存器 i (DTCENi) (i = 0 至 4)

这是一个 8 位寄存器，通过中断源来允许或禁止 DTC 启动。表 19-6 列出了中断源与 DTCENi0 至 DTCENi7 位的对应关系。

DTCENi 寄存器可利用一条 8 位存储器操作指令和一条 1 位存储器操作指令进行设置。

- 注 1. 如果未产生与该位对应的启动源，则修改 DTCENi0 至 DTCENi7 位。
2. 不要用 DTC 传送来存取 DTCENi 寄存器。

图 19-11. DTC 启动允许寄存器 i (DTCENi) (i = 0 至 4)

地址: F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), 复位后: 00H

F02EBH (DTCEN3), F02ECH (DTCEN4)

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0

DTCENi	DTC 启动允许 i7	R/W
7		R/W
0	禁止启动	R/W
1	允许启动	
在满足产生传送结束中断的条件时，DTCENi7 位被设置为 0（禁止启动）。		

DTCENi6	DTC 启动允许 i6	R/W
		R/W
0	禁止启动	R/W
1	允许启动	
在满足产生传送结束中断的条件时，DTCENi6 位被设置为 0（禁止启动）。		

DTCENi5	DTC 启动允许 i5	R/W
		R/W
0	禁止启动	R/W
1	允许启动	
在满足产生传送结束中断的条件时，DTCENi5 位被设置为 0（禁止启动）。		

DTCENi4	DTC 启动允许 i4	R/W
		R/W
0	禁止启动	R/W
1	允许启动	
在满足产生传送结束中断的条件时，DTCENi4 位被设置为 0（禁止启动）。		

DTCENi3	DTC 启动允许 i3	R/W
		R/W
0	禁止启动	R/W
1	允许启动	
在满足产生传送结束中断的条件时，DTCENi3 位被设置为 0（禁止启动）。		

DTCENi2	DTC 启动允许 i2	R/W
0	禁止启动	R/W
1	允许启动	
在满足产生传送结束中断的条件时，DTCENi2 位被设置为 0（禁止启动）。		

DTCENi1	DTC 启动允许 i1	R/W
0	禁止启动	R/W
1	允许启动	
在满足产生传送结束中断的条件时，DTCENi1 位被设置为 0（禁止启动）。		

DTCENi0	DTC 启动允许 i0	R/W
0	禁止启动	R/W
1	允许启动	
在满足产生传送结束中断的条件时，DTCENi0 位被设置为 0（禁止启动）。		

表 19-6. 中断源和 DTCENi0 至 DTCENi7 位的对应关系

寄存器	DTCENi7 位	DTCENi6 位	DTCENi5 位	DTCENi4 位	DTCENi3 位	DTCENi2 位	DTCENi1 位	DTCENi0 位
DTCEN0	保留	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	INTP7	按键输入	A/D 转换结束	UART0 接收的传送结束 /CSI01 的传送结束或缓冲器空/IIC01 的传送结束	UART0 发送的传送结束 /CSI00 的传送结束或缓冲器空/IIC00 的传送结束	UART1 接收的传送结束 /CSI11 的传送结束或缓冲器空/IIC11 的传送结束	UART1 发送的传送结束 /CSI10 的传送结束或缓冲器空/IIC10 的传送结束	UART2 接收的传送结束 /CSI21 的传送结束或缓冲器空/IIC21 的传送结束
DTCEN2	UART2 发送的传送结束/CSI20 的传送结束或缓冲器空/IIC20 的传送结束	UART3 接收的传送结束/CSI31 的传送结束或缓冲器空/IIC31 的传送结束 ^{注 1}	UART3 发送的传送结束/CSI30 的传送结束或缓冲器空/IIC30 的传送结束 ^{注 1}	定时器阵列单元 0 的通道 0 的计数或捕捉结束	定时器阵列单元 0 的通道 1 的计数或捕捉结束	定时器阵列单元 0 的通道 2 的计数或捕捉结束	定时器阵列单元 0 的通道 3 的计数或捕捉结束	定时器阵列单元 1 的通道 0 的计数或捕捉结束 ^{注 1}
DTCEN3	定时器阵列单元 1 的通道 1 的计数或捕捉结束 ^{注 1}	定时器阵列单元 1 的通道 2 的计数或捕捉结束 ^{注 1}	定时器阵列单元 1 的通道 3 的计数或捕捉结束 ^{注 1}	定时器 RD 比较匹配 A0	定时器 RD 比较匹配 B0	定时器 RD 比较匹配 C0	定时器 RD 比较匹配 D0	定时器 RD 比较匹配 A1
DTCEN4	定时器 RD 比较匹配 B1	定时器 RD 比较匹配 C1	定时器 RD 比较匹配 D1	定时器 RG 比较匹配 A	定时器 RG 比较匹配 B	定时器 RJ0 下溢	比较器检测 0 ^{注 2}	比较器检测 1 ^{注 2}

备注 i = 0 至 4

- 注 1. 仅限 80 和 100 针产品。
 2. 仅限代码闪存为 96 KB 或更大的产品。

19.2.12 DTC 基址寄存器(DTCBAR)

该寄存器是用于设置以下地址的 8 位寄存器：其中存储着 DTC 控制数据区的起始地址的向量地址，以及 DTC 控制数据区的地址。将 DTCBAR 寄存器的值处理为高 8 位，以产生一个 16 位地址。

- 注意事项**
1. 并使在所有 DTC 启动源被设置为禁止启动的情况下，更改 DTCBAR 寄存器值。
 2. 重写 DTCBAR 寄存器的操作不得超过一次。
 3. 不要用 DTC 传送来存取 DTCBAR 寄存器。
 4. 对于 DTC 控制数据区和 DTC 向量表区的分配，请参阅 19.2.1 DTC 控制数据区和 DTC 向量表区的分配的注。

图 19-12. DTC 基址寄存器 (DTCBAR)的格式

地址：F02E0H 复位后：FDH

符号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

19.3 操作

当 DTC 被启动时，从 DTC 控制数据区中读取控制数据以执行数据传送操作，在传送数据后，将控制数据将写回 DTC 控制数据区。DTC 控制数据区中可以存储 24 组控制数据，因此可以执行 24 种数据传送。

有两种传送模式（正常模式和重复模式）和两种传送大小（8 位传送和 16 位传送）。当 DTCCRj (j = 0 至 23) 寄存器中的 CHNE 位被设为 1（允许链传送）时，读取多个控制数据，并由于一个启动源而连续执行数据传送（链传送）。

由 16 位寄存器 DTSARj 指定传送源地址，由 16 位寄存器 DTDARj 指定传送目标地址。

根据传送数据后的控制数据，寄存器 DTSARj 和 DTDARj 中的值将分别递增或保持不变。

19.3.1 启动源

DTC 由来自外围功能的中断信号启动。由 DTCENi (i = 0 至 4) 寄存器选择用于启动 DTC 的中断信号。

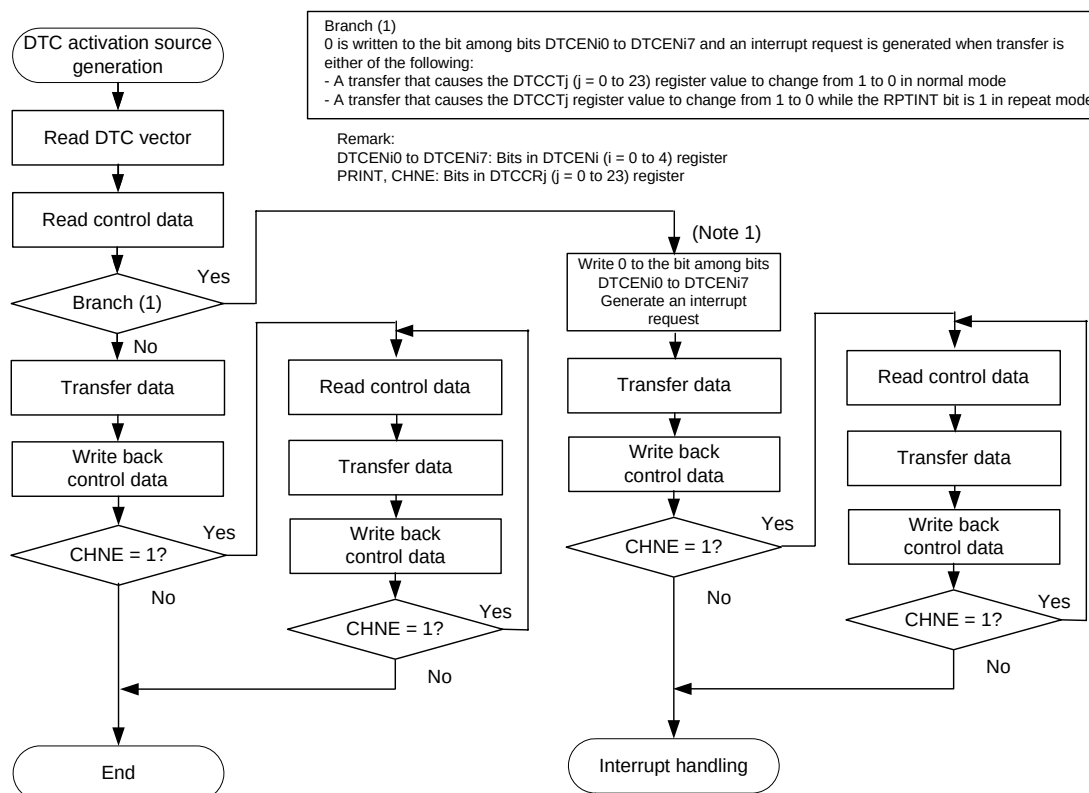
当数据传送（链传送中的第一个传送）的设置为下列两项之一时，在操作过程中 DTC 将 DTCENi 寄存器中 DTCENi0 至 DTCENi7 位中的对应位设置为 0（禁止启动）：

-在正常模式下使 DTCCTj (j = 0 至 23) 寄存器值变为 0 的传送

-在重复模式下，当 DTCCRj 寄存器中的 RPTINT 位为 1（允许产生中断）时，使 DTCCTj 寄存器值变为 0 的传送。

DTC 内部操作流程如图 19-13 所示。

图 19-13. DTC 内部操作流程图



Note:

1. 0 is not written to the bit among bits DTCENi0 to DTCENi7 for data transfers activated by the setting to enable chain transfers (the CHNE bit is 1). Also, no interrupt request is generated.

19.3.2 普通模式

在 8 位传送中，一次启动将传送 1 至 256 个字节的数据，在 16 位传送中，则会传送 2 至 512 个字节的数据。传送次数可以为 1 至 256 次。当执行使 DTCCTj (j = 0 至 23) 寄存器值变为 0 的数据传送时，在 DTC 操作过程中 DTC 将产生一个对应于启动源的中断请求到中断控制器中，并将 DTCENi 寄存器中 DTCENi0 至 DTCENi7 (i = 0 至 4) 位中的对应位设置为 0 (禁止启动)。

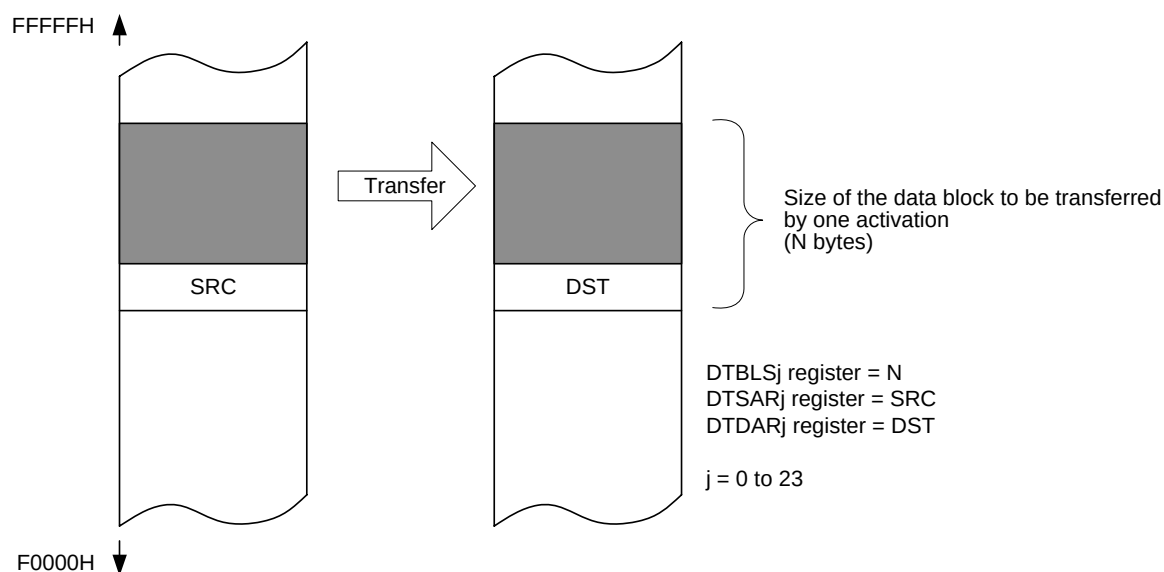
普通模式下的寄存器功能如表 19-7 所示。普通模式下的数据传送如图 19-14 所示。

表 19-7. 普通模式下的寄存器功能

寄存器名称	符号	功能
DTC 块大小寄存器 j	DTBLSj	一次启动时传送的数据块的大小
DTC 传送次数寄存器 j	DTCCTj	数据传送次数
DTC 传送次数重载寄存器 j	DTRLdj	不使用
DTC 源地址寄存器 j	DTSARj	数据传送源地址
DTC 目标地址寄存器 j	DTDARj	数据传送目标地址

备注 j = 0 至 23

图 19-14. 普通模式下的数据传送



DTCCR Register Setting				Source Address Control	Destination Address Control	Source Address after Transfer	Destination Address after Transfer
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	Fixed	Fixed	SRC	DST
0	1	X	0	Incremented	Fixed	SRC + N	DST
1	0	X	0	Fixed	Incremented	SRC	DST + N
1	1	X	0	Incremented	Incremented	SRC + N	DST + N

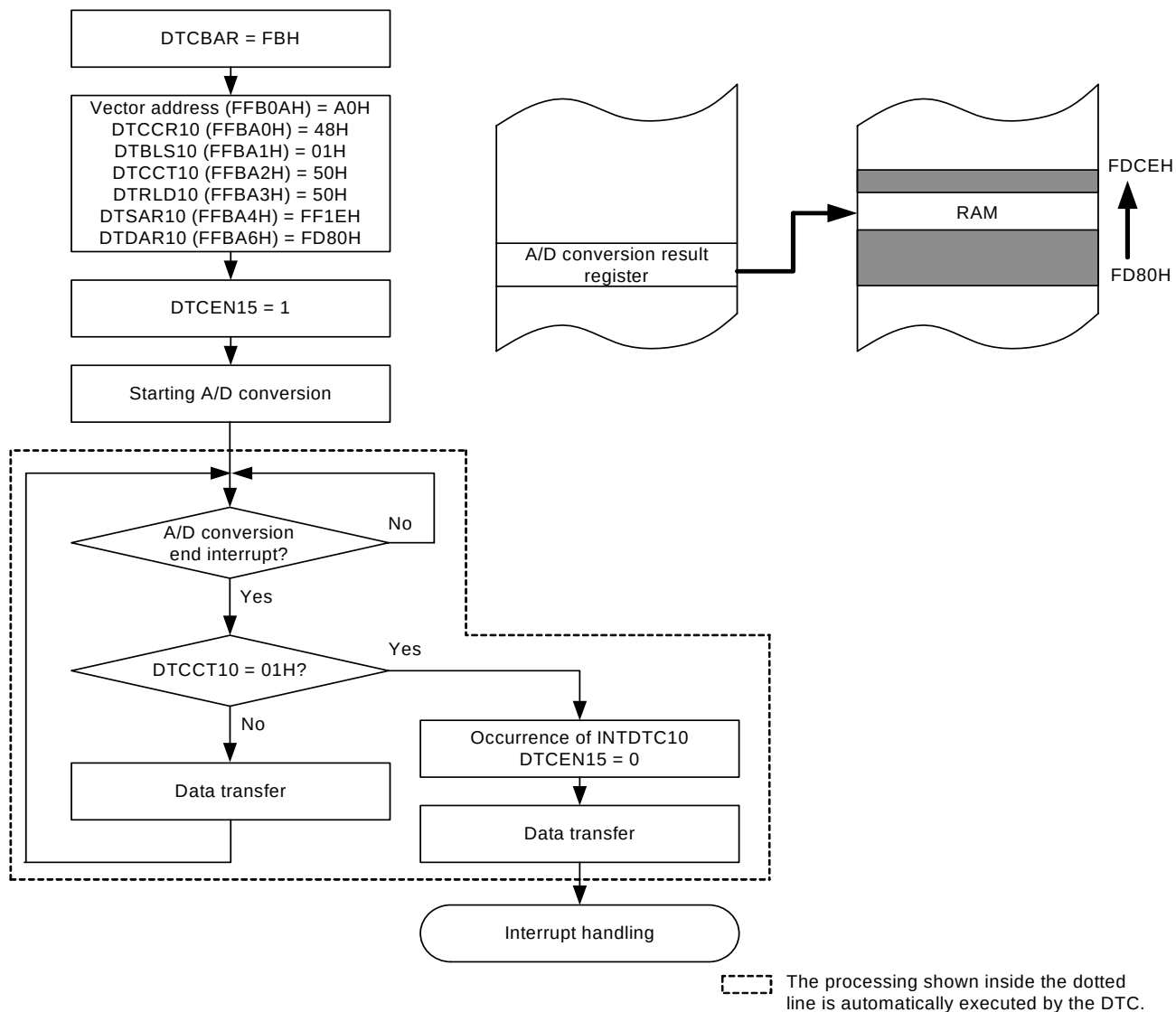
X: 0 or 1

(1) 普通模式的使用示例 1: 连续捕捉 A/D 转换结果

DTC 由 A/D 转换结束中断启动, A/D 转换结果寄存器的值被传送至 RAM。

- 向量地址为 FFB0AH, 控制数据被分配至 FFBA0H 至 FFBA7H
- 一个 A/D 中断被分配至 TRIGER10
- 将 A/D 转换结果寄存器(FFF1EH, FFF1FH)中 2 个字节的数据传送至 RAM 中的 80 个字节 (FFD80H 至 FFDCEH)

图 19-15. 普通模式的使用示例 1: 连续捕捉 A/D 转换结果



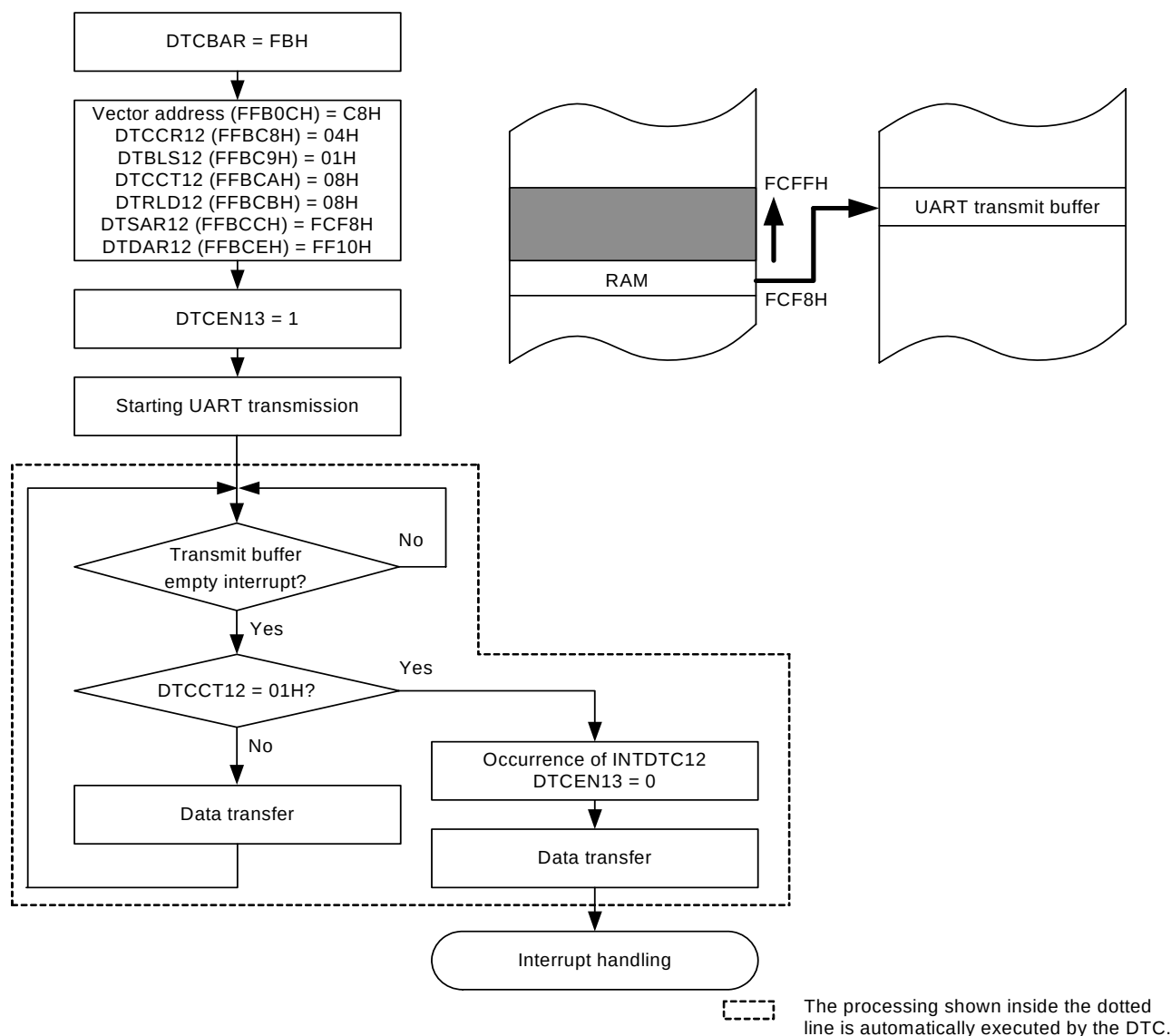
The data of DTRL10 does not affect DTC transfer operation because of normal mode.

(2) 普通模式的使用示例 2: UART 连续发送

DTC 由 UART 发送缓冲器空白中断启动, RAM 的值被传送至 UART 发送缓冲器。

- 向量地址为 FFB0CH, 控制数据被分配至 FFBC8H 至 FFBCFH
- 一个 UART 缓冲器空白中断被分配至 TRIGGER12
- 将 RAM 中 FFCF8H 至 FFCFFH 的 8 个字节传送至 UART 发送缓冲器(FFF10H)

图 19-16. 普通模式的使用示例 2: UART 连续发送



The data of DTRLD12 does not affect DTC transfer operation because of normal mode.

Start the first UART transmission by software. The second and subsequent transmissions are automatically sent when the DTC is activated by a transmit buffer empty interrupt.

19.3.3 重复模式

一次启动传送 1 至 255 个字节的数据。应将传送源或目标地址的二者之一指定为重复区。传送次数可以为 1 至 255 次。完成指定次数的传送时，DTCCTj (i = 0 至 23) 寄存器和为重复区指定的地址被初始化以继续传送。在 DTCCRj 寄存器中的 RPTINT 位为 1 (允许产生中断) 的情况下，当执行使 DTCCTj 寄存器值变为 0 的数据传送时，在 DTC 操作过程中 DTC 将产生一个对应于启动源的中断请求到中断控制器中，并将 DTCENi0 至 DTCENi7 位中的对应位设置为 0 (禁止启动)。当 DTCCRj 寄存器中的 RPTINT 位为 0 (禁止产生中断) 时，即使执行使 DTCCTj 寄存器值变为 0 的数据传送，也不产生中断请求。另外，DTCENi0 至 DTCENi7 位不会被设置为 0。

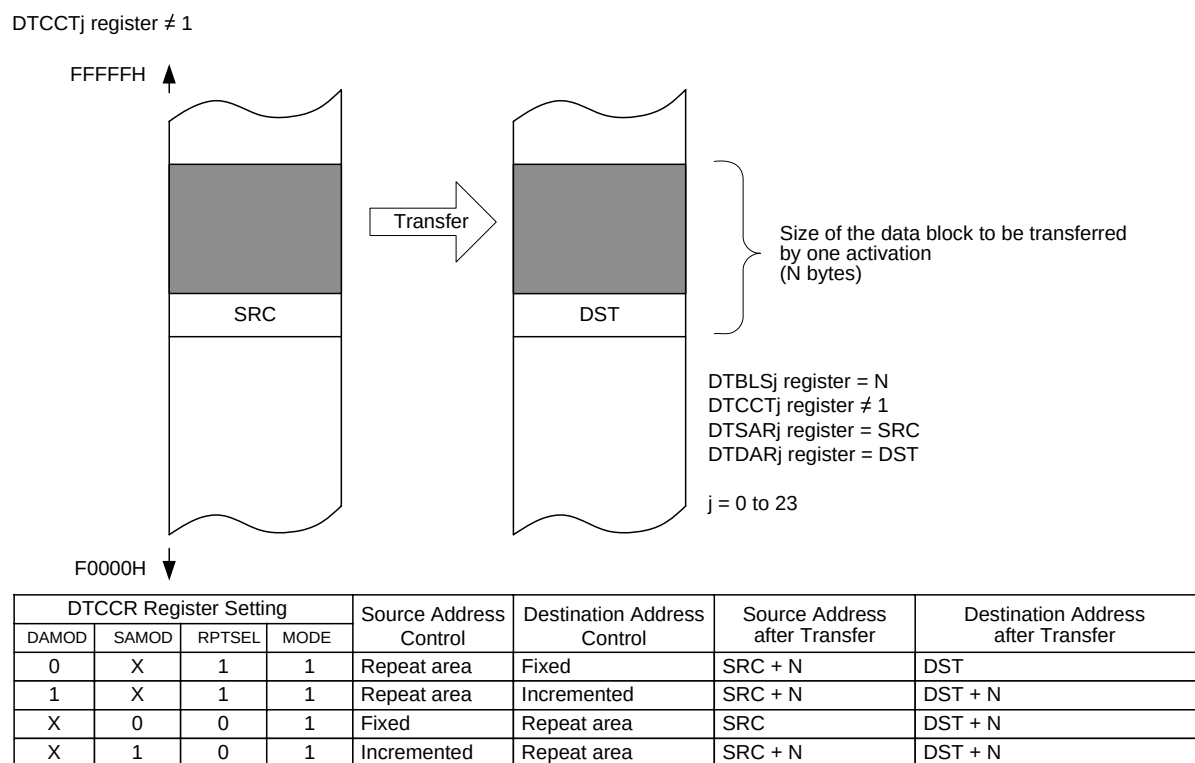
重复模式下的寄存器功能如表 19-8 所示。重复模式下的数据传送如图 19-15 所示。

表 19-8. 重复模式下的寄存器功能

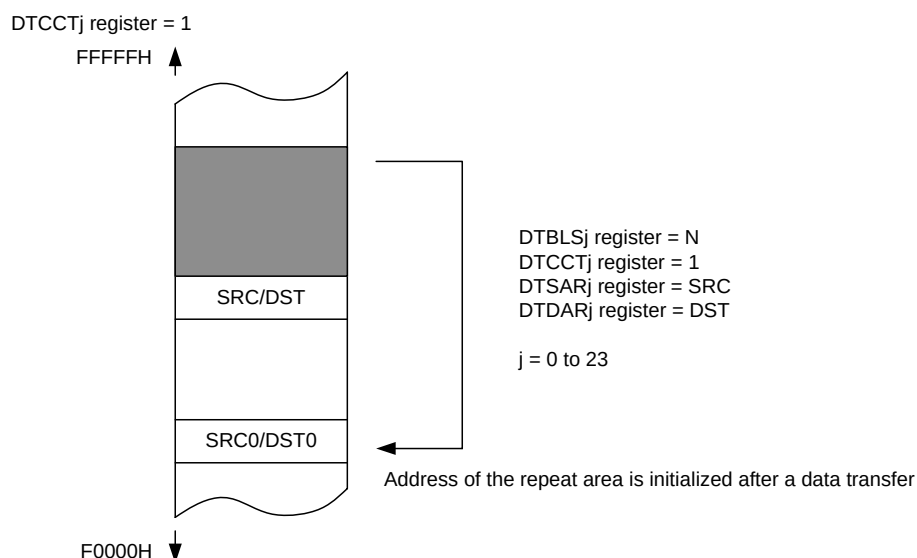
寄存器名称	符号	功能
DTC 块大小寄存器 j	DTBLSj	一次启动时传送的数据块的大小
DTC 传送次数寄存器 j	DTCCTj	数据传送次数
DTC 传送次数重载寄存器 j	DTRLdj	寄存器值被重新载入 DTCCT 寄存器 (传送次数被初始化)。
DTC 源地址寄存器 j	DTSARj	数据传送源地址
DTC 目标地址寄存器 j	DTDARj	数据传送目标地址

备注 j = 0 至 23

图 19-17. 重复模式下的数据传送



X: 0 or 1



SRC0: Initial source address value

DST0: Initial destination address value

X: 0 or 1

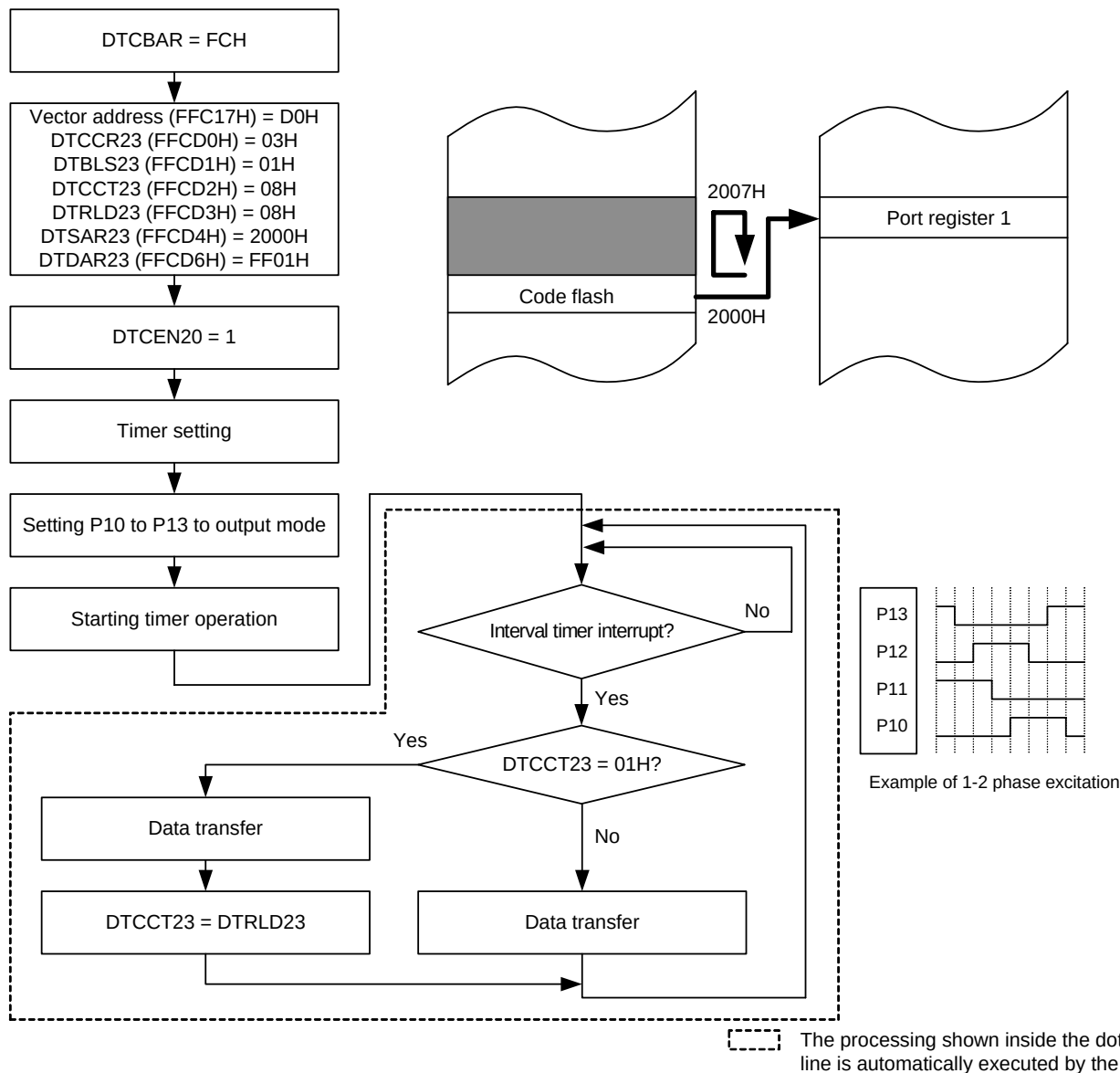
- 注意事项
1. 当使用重复模式时，重复区地址初始值的低 8 位必须是 00H。
 2. 当使用重复模式时，必须将重复区的数据大小设置为 255 字节以内。

(1) 重复模式的使用示例 1: 用端口输出一个步进电机控制脉冲

DTC 由一个间隔定时器中断启动，存储于代码闪存中的电机控制脉冲模式被传送至通用端口。

- 向量地址为 FFC0CH，控制数据被分配至 FFCD0H 至 FFCD7H
- 定时器中断被分配至 TRIGER23
- 将代码闪存中 02000H 至 02007H 的 8 字节数据从镜像空间（F2000H 至 F2007H）传送至端口寄存器 1 (FFF01H)
- 禁止重复模式中断

图 19-18. 重复模式的使用示例 1: 用端口输出一个步进电机控制脉冲



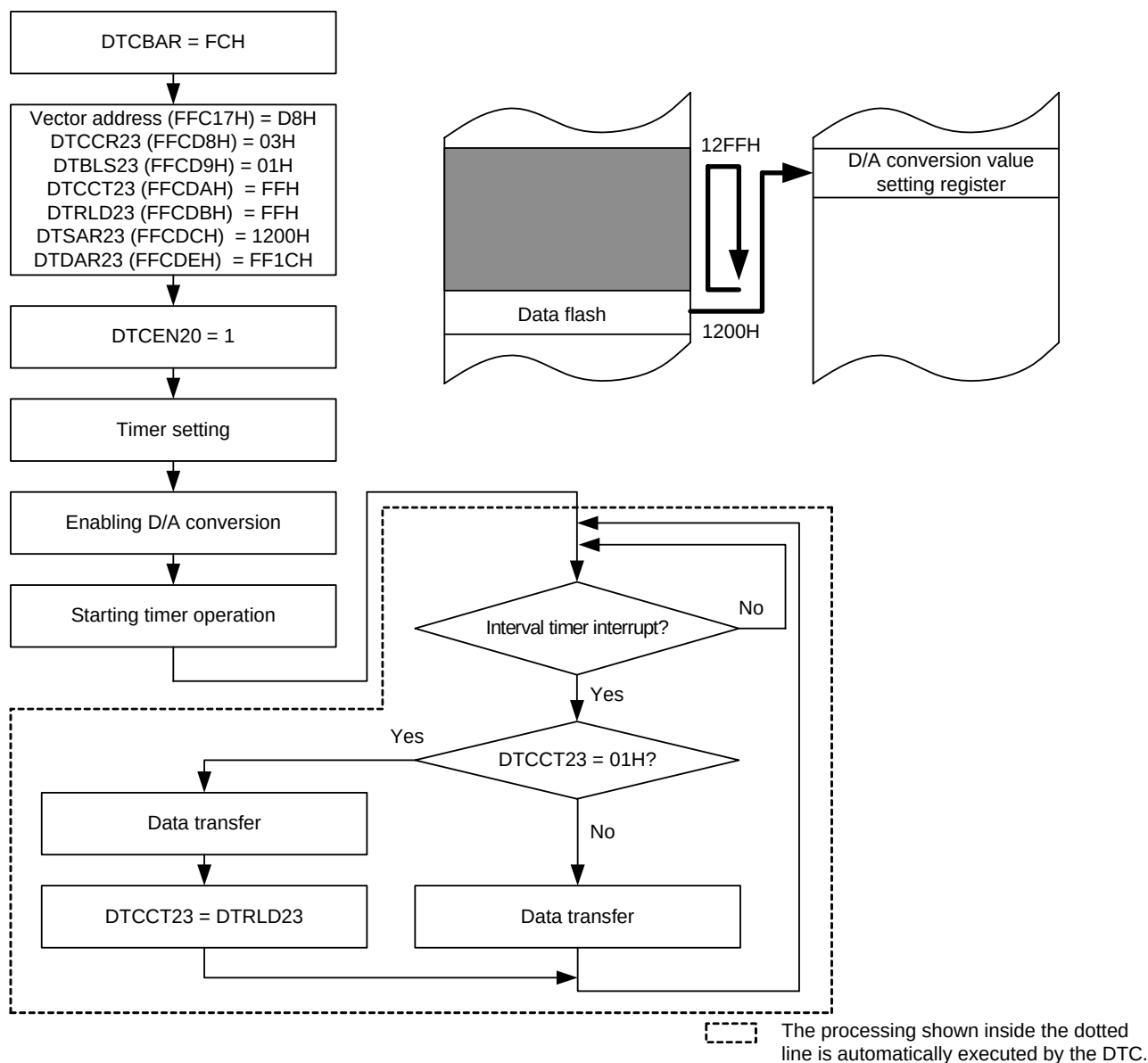
(2) 重复模式的使用示例 2: 用 8 位 D/A 转换器输出正弦波

DTC 由一个间隔定时器中断启动, 存储于数据闪存中的正弦波表被传送到 8 位 D/A 转换值设置寄存器。

定时器间隔时间被设置为 D/A 输出设置时间。

- 向量地址为 FFC0CH, 控制数据被分配至 FFCD8H 至 FFCD FH
- 定时器中断被分配至 TRIGGER23
- 将数据闪存中 F1200H 至 F12FEH 的 255 字节数据传送到 D/A 转换值设置寄存器(FFF1CH)
- 禁止重复模式中断

图 19-19. 重复模式的使用示例 2: 用 8 位 D/A 转换器输出正弦波



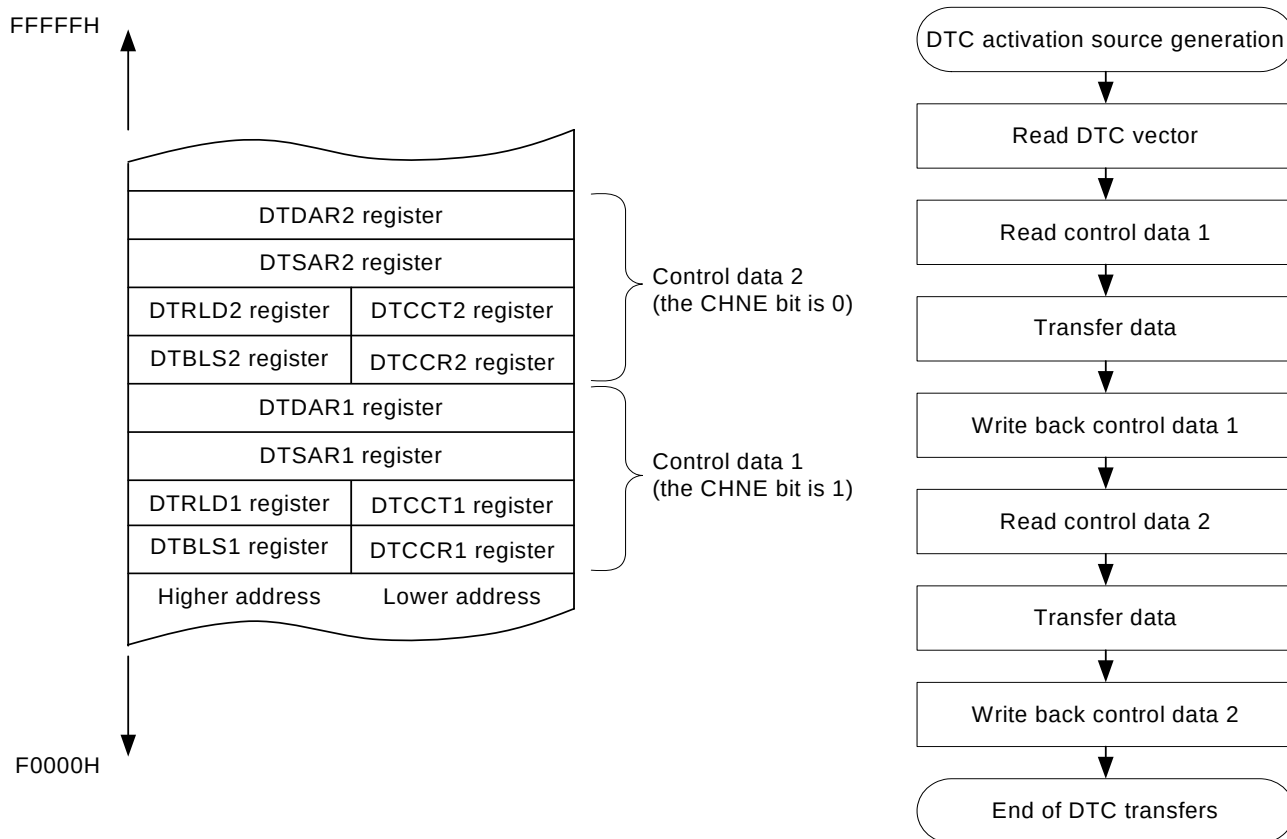
19.3.4 链传送

当 DTCCRj (j = 0 至 22) 寄存器中的 CHNE 位被设置为 1 (允许链传送) 时, 由于一个启动源可以连续执行多次数据传送。

当 DTC 被启动时, 将根据从对应于启动源的 DTC 向量地址读取的数据来选择一个控制数据, 并从 DTC 控制数据区读取所选的控制数据。当用于控制数据的 CHNE 位为 1 (允许链传送) 时, 读取紧接在当前控制数据之后的下一个控制数据, 并在完成当前传送之后将其传送。重复进行该操作, 直到完成数据 (CHNE 位为 0 (禁止链传送) 的控制数据) 传送为止。

链传送时的数据传送如图 19-16 所示。

图 19-20.链传送时的数据传送



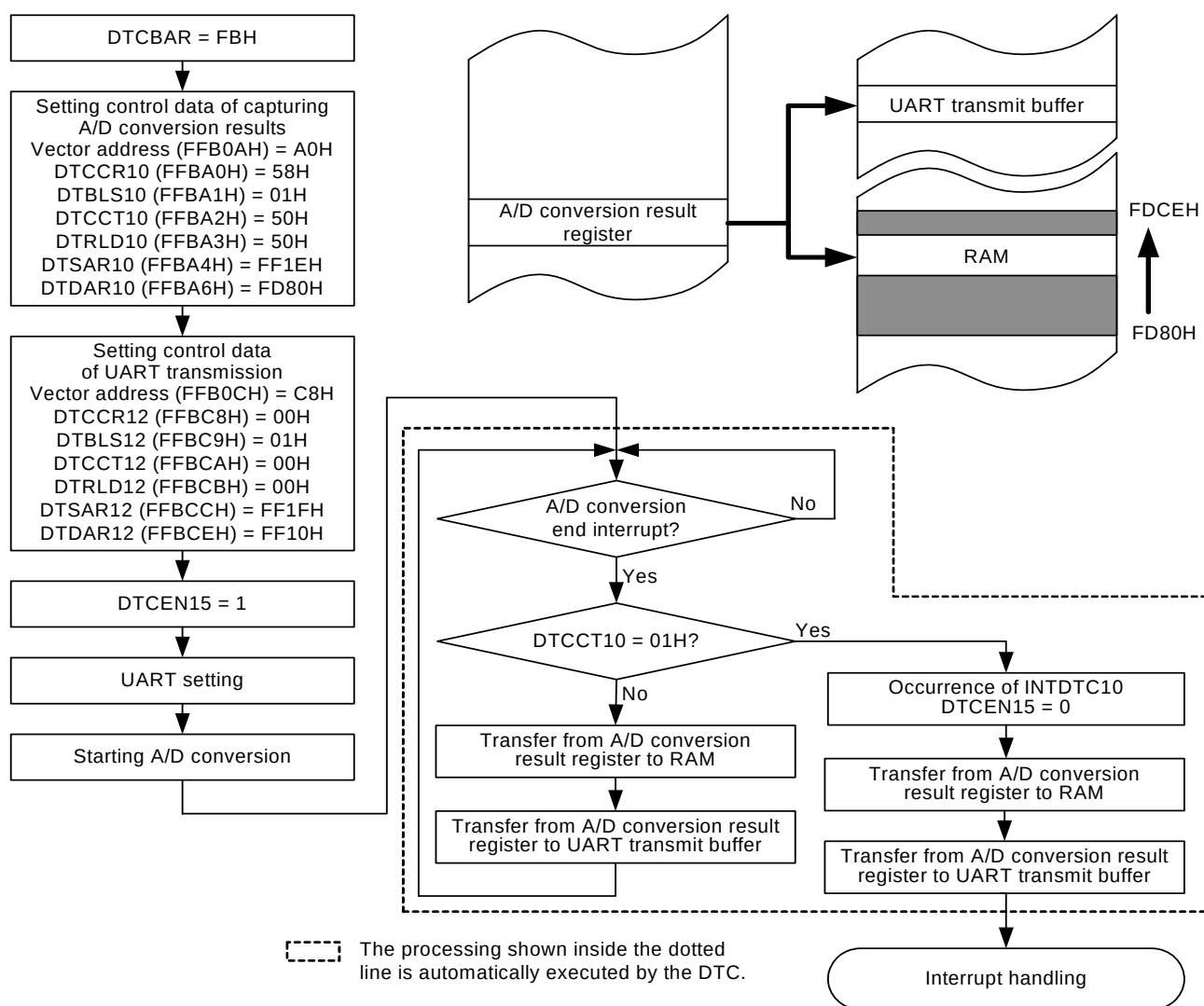
- 注 1.** 将 DTCCR23 寄存器中的 CHNE 位设置为 0 (禁止链传送)。
- 2.** 在链传送过程中, 对于第二次及后续传送, DTCENi 寄存器中的 DTCENi0 至 DTCENi7 (i = 0 至 4) 位不设置为 0 (禁止 DTC 启动)。另外, 也不产生中断请求。

(1) 使用链传送的示例：连续捕捉 A/D 转换结果和 UART 发送

DTC 由 A/D 转换结束中断启动，A/D 转换结果被传送至 RAM，然后用 UART 发送。

- 向量地址为 FFB0AH
- 用于捕捉 A/D 转换结果的控制数据被分配至 FFBA0H 至 FFBA7H
- UART 发送的控制数据被分配至 FFBA8H 至 FFBAFH
- 一个 A/D 转换结束中断被分配至 TRIGGER23
- 将 A/D 转换结果寄存器(FFF1FH, FFF1EH)的 2 字节数据传送至 RAM 的 FFD80H 至 FFDCFH，并将 A/D 转换结果寄存器的上 1 字节(FFF1FH)传送至 UART 发送缓冲器(FFF10H)

图 19-21. 使用链传送的示例：连续捕捉 A/D 转换结果和 UART 发送



19.4 DTC 的使用注意事项

19.4.1 设置 DTC 寄存器和向量表

- 不要用 DTC 传送来存取 DTC SFR、DTC 控制数据区、DTC 向量表区或通用寄存器（FFEE0H 至 FFEFFH）空间。
- 在所有 DTC 启动源均被设为禁止启动时，更改 DTC 基址寄存器(DTCBAR)。
- 重写 DTC 基址寄存器(DTCBAR)的操作不得超过一次。
- 当 DTCENi 寄存器中的 DTCENi0 至 DTCENi7 位（i = 0 至 4）中的对应位被设置为 0（禁止 DTC 启动）时，修改 DTCCRj、DTBLSj、DTCCTj、DTRLdj、DTSARj 或 DTDARj 寄存器的数据。
- 当 DTCENi 寄存器中的 DTCENi0 至 DTCENi7 位（i = 0 至 4）中的对应位被设为 0（禁止 DTC 启动）时，修改将在向量表中设置的 DTC 控制数据区的起始地址。

19.4.2 DTC 控制数据区和 DTC 向量表区的分配

可以分配 DTC 控制数据和向量表的区域因使用条件而异。

- 禁止将通用寄存器（FFEE0H 至 FFEFFH）空间用作 DTC 控制数据区或 DTC 向量表区。
- 确保堆栈区、DTC 控制数据区和 DTC 向量表区不重叠。
- 在使用自编程功能和数据闪存功能时，以下产品中的内部 RAM 区不能用作 DTC 控制数据区或 DTC 向量表区。
 - R5F104xD（x = A 至 C, E 至 G, J, L）：FE900H 至 FED09H
 - R5F104xE（x = A 至 C, E 至 G, J, L）：FE900H 至 FED09H
 - R5F104xJ（x = A 至 C, E 至 G, J, L）：F9F00H 至 FA309H
- 在使用片上调试跟踪功能时，以下产品中的内部 RAM 区不能用作 DTC 控制数据区或 DTC 向量表区。
 - R5F104xJ（x = A 至 C, E 至 G, J, L）：FA300H 至 FA6FFH

19.4.3 DTC 保留指令

如果从 DTC 产生一个传送请求至 CPU，则在以下指令之后，不会立即启动 DTC。另外，在 PREFIX 指令代码与紧接该代码之后的指令之间也不启动 DTC。

- 调用/返回指令
- 无条件分支指令
- 有条件分支指令
- 代码闪存的读取存取指令
- IFxx、MKxx、PRxx 和 PSW 的位操作指令，以及以 ES 寄存器作为操作数的 8 位指令
- 数据闪存的存取指令

19.4.4 存取数据闪存空间时的操作

由于 DTC 数据传输暂停以存取数据闪存空间，所以务必添加 DTC 保留指令。

如果在 DTC 数据传输启动并执行下一条指令之后，存取数据闪存空间，则下一条指令将插入 3 个时钟周期的等待时间。

指令 1

DTC 数据传输

指令 2 ← 发生 3 个时钟周期的等待时间。

MOV A, ! 数据闪存空间

19.4.5 DTC 执行时钟周期数

启动 DTC 后的操作以及各操作所需时钟周期数如表 19-10 所示。

表 19-10. 启动 DTC 后的操作和所需时钟周期数

读取向量	控制数据		读取数据	写入数据
	读取	回写		
1	4	注 1	注 2	注 2

- 注 1. 对于控制数据写回所需的时钟周期数，请参阅表 19-11. 控制数据写回操作所需的时钟周期数。
 2. 对于数据读/写所需的时钟周期数，请参阅表 19-12 数据读/写操作所需的时钟周期数。

表 19-11. 控制数据写回操作所需的时钟周期数

DTCCR 寄存器设置				地址设置		回写控制寄存器				时钟周期数
DAMOD	SAMOD	RPTSEL	MODE	源	目标	DTCCTj 寄存器	DTRL Dj 寄存器	DTSARj 寄存器	DTDARj 寄存器	
0	0	X	0	固定	固定	回写	回写	不回写	不回写	1
0	1	X	0	递增	固定	回写	回写	回写	不回写	2
1	0	X	0	固定	递增	回写	回写	不回写	回写	2
1	1	X	0	递增	递增	回写	回写	回写	回写	3
0	X	1	1	重复区域	固定	回写	回写	回写	不回写	2
1	X	1	1		递增	回写	回写	回写	回写	3
X	0	0	1	固定	重复区域	回写	回写	不回写	回写	2
X	1	0	1	递增		回写	回写	回写	回写	3

备注 j = 0 至 23; X: 0 或 1

表 19-12. 数据读/写操作所需的时钟周期数

操作	RAM	代码闪存	数据闪存	SFR	第 2 SFR	
					无等待状态	等待状态
读取数据	1	2	4	1	1	1 + 等待状态数 ^注
写入数据	1	-	-	1	1	1 + 等待状态数 ^注

注 等待状态数因情况而异，取决于分配至待存取的第 2 SFR 的寄存器的技术规格。

19.4.6 DTC 响应时间

DTC 的响应时间如表 19-13 所示。DTC 响应时间是指从检测到 DTC 启动源到开始 DTC 传送的时间，不包括 DTC 执行时钟数。

表 19-13. DTC 响应时间

	最少时间	最大时间
响应时间	3 个时钟	19 个时钟

请注意，以下情况时 DTC 的响应可能进一步延迟。延迟时钟周期数因条件而异。

- 执行来自内部 RAM 的指令时
最大响应时间：20 个时钟
- 执行 DTC 保留指令时 (参见 19.4.3 DTC 保留指令)
最大响应时间：各条件的最大响应时间 + 该条件下保留指令的执行时钟周期。
- 存取等待发生的 TRJ0 寄存器时
最大响应时间：各条件的最大响应时间 + 1 时钟

备注 1 时钟：1/f_{CLK} (f_{CLK}：CPU/外围硬件时钟)

19.4.7 DTC 启动源

- 在输入 DTC 启动源之后，在完成 DTC 传送之前，不要再次输入同一启动源。
- 在产生 DTC 启动源时，不要操作与该源对应的 DTC 启动允许位。
- 如果 DTC 启动源相冲突，则须确定其优先等级，以在 CPU 受理 DTC 传送时选择启动源。关于启动源的优先等级的详情，请参阅 19.2.3 DTC 向量表。
- 当在下述任意一个条件下允许启动 DTC 时，开始 DTC 传送，并在完成传送后产生中断。因此，可根据需要在确认比较器监控标志(CnMON)之后允许启动 DTC。(n = 0, 1)
 - 比较器被设置为检测到一个边沿时允许中断请求(CnEDG = 0)，且设置为在比较器的上升沿允许中断请求(CnEPO = 1)，并且 IVCMP > IVREF (或内部基准电压：1.45 V)
 - 比较器被设置为检测到一个边沿时允许中断请求(CnEDG = 0)，且设置为在比较器的下降沿允许中断请求(CnEPO = 0)，并且 IVCMP < IVREF (或内部基准电压：1.45 V)

19.4.8 备用模式时的操作

状态	DTC 操作
HALT 模式	可操作 (低功耗 RTC 模式时禁止操作)
STOP 模式	可受理 DTC 启动源 ^{注 2}
SNOOZE 模式	可操作 ^{注 1, 3, 4, 5}

- 注 1.** 仅限选择高速片上振荡器时钟作为 f_{CLK} 时可以设置 SNOOZE 模式。
- 2.** 在 STOP 模式下，检测到 DTC 启动源时允许转换至 SNOOZE 模式和 DTC 传送。完成传送后，系统将返回 STOP 模式。然而，由于代码闪存和数据闪存在 SNOOZE 模式期间停止工作，因此，不能将闪存设置为传送源。
- 3.** 在 CSIp 的 SNOOZE 模式功能时将传送结束中断设置为 DTC 启动源时，在完成 DTC 传送之后，用传送结束中断来解除 SNOOZE 模式以开始 CPU 处理，或者用链传送再次设置 CSIp 接收（将 1 写入 STm0 位、将 0 写入 SWCm 位、设置 SSCm 寄存器并将 1 写入 SSm0 位）。
- 4.** 在 UARTq 的 SNOOZE 模式功能时将传送结束中断设置为 DTC 启动源时，在完成 DTC 传送之后，用传送结束中断来解除 SNOOZE 模式以开始 CPU 处理，或者用链传送再次设置 UARTq 接收（将 1 写入 STm1 位、将 0 写入 SWCm 位、设置 SSCm 寄存器并将 1 写入 SSm1 位）。
- 5.** 在 A/D 转换器的 SNOOZE 模式功能时将 A/D 转换结束中断设置为来自的 DTC 启动源时，在完成 DTC 传送之后，用 A/D 转换结束中断来解除 SNOOZE 模式以开始 CPU 处理，或者在清除 AWC 位之后用链传送再次设置 A/D 转换器的 SNOOZE 模式功能。

备注 30 至 64 针产品： $p = 00; q = 0; m = 0$
 80、100 针产品： $p = 00, 20; q = 0, 2; m = 0, 1$

第二十章 事件链接控制器 (ELC)

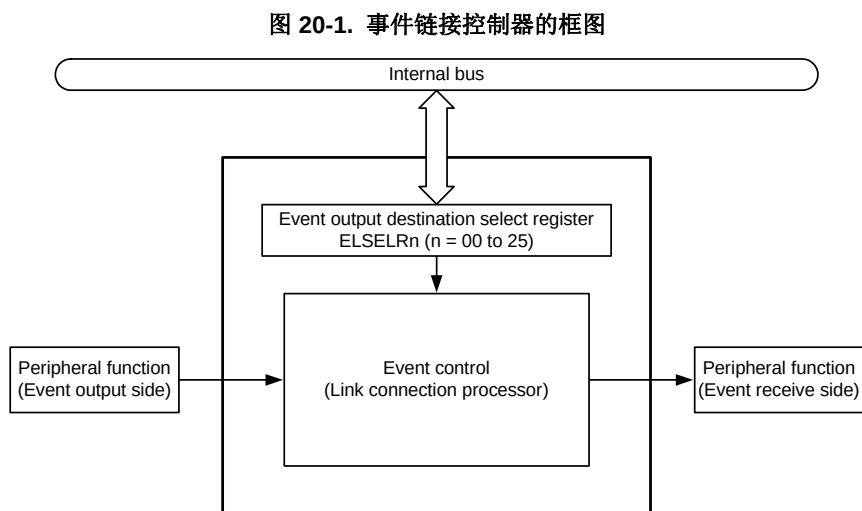
事件链接控制器(ELC)将从各个外围功能输出的事件相互连接（链接）起来。通过链接事件，可以在外围功能之间直接协调操作，而无需通过 CPU。

20.1 概要

ELC 具有以下功能。

- 可将来自 20 种 (30、32、36、40、44、48、52 和 64 针产品)或 26 种(80 和 100 针产品)的外围功能的事件信号，直接链接到所指定的外围功能。
- 事件信号可以用作操作 7 种外围功能（30、32、36、40、44、48、52 和 64 针产品）或 9 种外围功能（80 和 100 针产品）中的任何一种的启动源

事件链接控制器的框图如图 20-1 所示。



20.2 寄存器

ELC 的寄存器配置如表 20-1 所示。

表 20-1. ELC 的寄存器配置

寄存器名称	符号	复位后	地址	存取大小
事件输出目标选择寄存器 00	ELSELR00	00H	F0300H	8
事件输出目标选择寄存器 01	ELSELR01	00H	F0301H	8
事件输出目标选择寄存器 02	ELSELR02	00H	F0302H	8
事件输出目标选择寄存器 03	ELSELR03	00H	F0303H	8
事件输出目标选择寄存器 04	ELSELR04	00H	F0304H	8
事件输出目标选择寄存器 05	ELSELR05	00H	F0305H	8
事件输出目标选择寄存器 06	ELSELR06	00H	F0306H	8
事件输出目标选择寄存器 07	ELSELR07	00H	F0307H	8
事件输出目标选择寄存器 08	ELSELR08	00H	F0308H	8
事件输出目标选择寄存器 09	ELSELR09	00H	F0309H	8
事件输出目标选择寄存器 10	ELSELR10	00H	F030AH	8
事件输出目标选择寄存器 11	ELSELR11	00H	F030BH	8
事件输出目标选择寄存器 12	ELSELR12	00H	F030CH	8
事件输出目标选择寄存器 13	ELSELR13	00H	F030DH	8
事件输出目标选择寄存器 14	ELSELR14	00H	F030EH	8
事件输出目标选择寄存器 15	ELSELR15	00H	F030FH	8
事件输出目标选择寄存器 16	ELSELR16	00H	F0310H	8
事件输出目标选择寄存器 17	ELSELR17	00H	F0311H	8
事件输出目标选择寄存器 18	ELSELR18	00H	F0312H	8
事件输出目标选择寄存器 19	ELSELR19	00H	F0313H	8
事件输出目标选择寄存器 20 ^{注1}	ELSELR20	00H	F0314H	8
事件输出目标选择寄存器 21 ^{注1}	ELSELR21	00H	F0315H	8
事件输出目标选择寄存器 22 ^{注1}	ELSELR22	00H	F0316H	8
事件输出目标选择寄存器 23 ^{注1}	ELSELR23	00H	F0317H	8
事件输出目标选择寄存器 24 ^{注2}	ELSELR24	00H	F0318H	8
事件输出目标选择寄存器 25 ^{注2}	ELSELR25	00H	F0319H	8

注 1. 仅限 80 和 100 针产品。

2. 仅限代码闪存为 96 KB 或更大的产品。

20.2.1 事件输出目标选择寄存器 n (ELSELRn) (n = 00 至 25)

ELSELRn 寄存器将各事件信号链接至事件接收外围功能（链接目标外围功能）在接收后的某个操作。

不得向同一事件输出目标（事件接收方）设置多个事件输入。事件接收外围功能的操作将变成不定，而且可能无法正确接收事件信号。另外，不得将事件链接发生源与事件链接输出目标设置至同一功能。

在没有事件输出外围功能产生事件信号时，设置 ELSELRn 寄存器。

表 20-2 列出了 ELSELRn (n = 00 至 25) 寄存器与外围功能之间的对应关系，表 20-3 列出了设置至 ELSELRn (n = 00 至 25) 寄存器的值与链接目标外围功能在接收时的功能之间的对应关系。

地址：F0300H (ELSELR00)至 F0319H (ELSELR25) 复位后：00H

符号	7	6	5	4	3	2	1	0
ELSELRn	-	-	-	-	ELSEL3 ^{注1}	ELSEL2	ELSEL1	ELSEL0

位 7 至 4	保留	R/W
-	读取值为 0。	R

ELSEL3 ^{注1}	ELSEL2	ELSEL1	ELSEL0	事件链接选择	R/W
0	0	0	0	禁止事件链接	R/W
0	0	0	1	选择链接的外围功能的操作 ^{注2}	
0	0	1	0	选择链接的外围功能的操作 ^{注2}	
0	0	1	1	选择链接的外围功能的操作 ^{注2}	
0	1	0	0	选择链接的外围功能的操作 ^{注2}	
0	1	0	1	选择链接的外围功能的操作 ^{注2}	
0	1	1	0	选择链接的外围功能的操作 ^{注2}	
0	1	1	1	选择链接的外围功能的操作 ^{注2}	
1	0	0	0	选择链接的外围功能的操作 ^{注2}	
1	0	0	1	选择链接的外围功能的操作 ^{注2}	

- 注 1. 仅限代码闪存为 96 KB 或更大的产品。代码闪存为 64 KB 或更小的产品时设置该位为 0。
2. 参阅表 20-3 设置至 ELSELRn (n = 00 至 25) 寄存器的值与链接目标外围功能在接收时的操作之间的对应关系。

图 20-2. ELSELRn (n = 00 至 25)寄存器和外围功能的对应关系

寄存器名称	事件发生器（事件输入n的输出源）	事件说明
ELSELR00	外部中断沿检测0	INTP0
ELSELR01	外部中断沿检测1	INTP1
ELSELR02	外部中断沿检测2	INTP2
ELSELR03	外部中断沿检测3	INTP3
ELSELR04	外部中断沿检测4	INTP4
ELSELR05	外部中断沿检测5	INTP5
ELSELR06	键返回信号检测	INTKR
ELSELR07	RTC固定周期信号/报警匹配检测	INTRTC
ELSELR08	定时器RD0输入捕捉A/比较匹配A	INTTRD0
ELSELR09	定时器RD0输入捕捉B/比较匹配B	INTTRD0
ELSELR10	定时器RD1输入捕捉A/比较匹配A	INTTRD1
ELSELR11	定时器RD1输入捕捉B/比较匹配B	INTTRD1
ELSELR12	定时器 RD1下溢	TRD1下溢信号
ELSELR13	定时器 RJ0下溢	INTTRJ0
ELSELR14	定时器RG输入捕捉A/比较匹配A	INTTRG
ELSELR15	定时器RG输入捕捉B/比较匹配B	INTTRG
ELSELR16	TAU通道00计数结束/捕捉结束	INTTM00
ELSELR17	TAU通道01计数结束/捕捉结束	INTTM01
ELSELR18	TAU通道02计数结束/捕捉结束	INTTM02
ELSELR19	TAU通道03计数结束/捕捉结束	INTTM03
ELSELR20 ^{注1}	TAU通道10计数结束/捕捉结束	INTTM10
ELSELR21 ^{注1}	TAU通道11计数结束/捕捉结束	INTTM11
ELSELR22 ^{注1}	TAU通道12计数结束/捕捉结束	INTTM12
ELSELR23 ^{注1}	TAU通道13计数结束/捕捉结束	INTTM13
ELSELR24 ^{注2}	比较器检测0	INTCMP0
ELSELR25 ^{注2}	比较器检测1	INTCMP1

注 1. 仅限 80 和 100 针产品。

2. 仅限代码闪存为 96 KB 或更大的产品。

表 20-3. 设置至 ELSELRn (n = 00 至 25) 寄存器的值与链接目标外围功能在接收时的操作之间的对应关系

ELSELRn寄存器的ELSEL3 至 ELSEL0r位	链接目标外围功能	接收到事件时的操作
0001B	A/D 转换器	A/D 转换开始
0010B	定时器阵列单元 0 通道 0 的 定时器输入 ^{注1}	延迟计数器、输入脉冲间隔测量、外部事件计数器
0011B	定时器阵列单元 0 通道 1 的 定时器输入 ^{注2}	延迟计数器、输入脉冲间隔测量、外部事件计数器
0100B	定时器 RJ0	计数源
0101B	定时器 RG	TRGIOB 输入捕捉
0110B	定时器 RD0	TRDIOD0 输入捕捉、脉冲输出强制截止
0111B	定时器 RD1	TRDIOD1 输入捕捉、脉冲输出强制截止
1000B	DA0 ^{注3}	实时输出 (仅限代码闪存为 96 KB 或更大的产品。)
1001B	DA1 ^{注3}	实时输出 (仅限代码闪存为 96 KB 或更大的产品。)

- 注 1. 要将定时器阵列单元 0 通道 0 的定时器输入选为链接目标外围功能，则先用定时器时钟选择寄存器 0 (TPS0)将通道 0 的操作时钟设置为 f_{CLK} ，然后用定时器输入选择寄存器 0 (TIS0)将用于通道 0 的定时器输出设为来自 ELC 的事件输入信号。
2. 要将定时器阵列单元 0 通道 1 的定时器输入选为链接目标外围功能，则要用定时器时钟选择寄存器 1 (TPS0)将通道 1 的操作时钟设置为 f_{CLK} ，然后用定时器输入选择寄存器 1 (TIS0)将用于通道 1 的定时器输出设为来自 ELC 的事件输入信号。
3. 在允许 D/A 转换的实时输出事件模式的情况下进入 STOP 模式时，要在进入该模式之前禁止 ELC 事件的连接。

20.3 操作

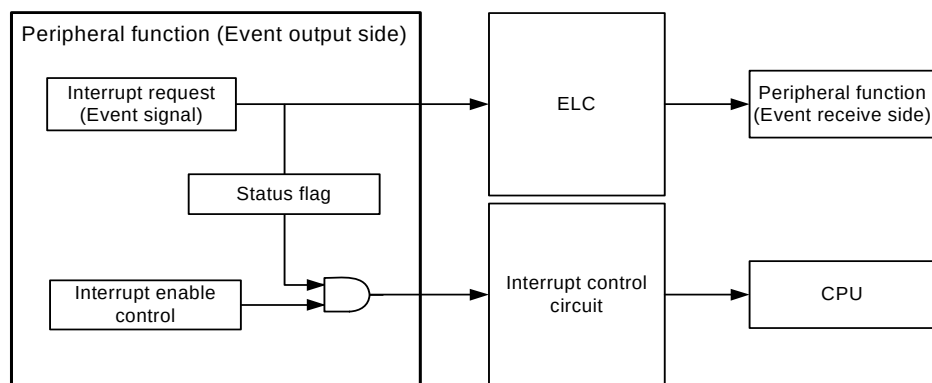
将外围功能产生的事件信号用作中断控制电路的中断请求的路径，是独立于将其用作 ELC 事件的路径的。因此，可以将各个事件信号用作操作事件接收外围功能的事件信号，不受中断控制的影响。

另外，可以执行事件链接操作，而不受有无 CPU 时钟供给的影响。然而，需要供应外围功能的操作时钟并使其保持为可操作状态。

中断处理与 ELC 之间的关系如图 20-2 所示。该图显示中断请求状态标志和具有允许位的外围功能的示例，该允许位控制着此类中断的允许/禁止。

从 ELC 接收事件的外围功能将在收到事件后，执行对应于事件接收外围功能的操作（参阅表 20-3 设置至 ELSELRn (n = 00 至 25) 寄存器的值与链接目标外围功能在接收时的操作之间的对应关系）。

图 20-2. 中断处理与 ELC 之间的关系



第二十一章 中断功能

用于临时切换程序流的功能。

中断源的数量因产品而异。

		30, 32, 36针	40, 44针	48针	52针	64针	80, 100 针
可屏蔽 中断	外部	6	7	10	12	13	13
	内部	24	24	24	24	24	32

21.1 中断功能类型

使用以下两种中断功能。

(1) 可屏蔽中断

受到屏蔽控制的中断。通过设置优先级指定标志寄存器(PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR10L、PR10H、PR11L、PR11H、PR12L、PR12H)，可以将可屏蔽中断的优先级分成四组。

产生高优先级中断时，对于低优先级中断可以执行多重中断处理。如果同时产生优先级相同的两个或多个中断请求，则根据向量中断处理的默认优先级进行处理。关于默认优先级，请参阅表 21-1。

产生一个待机解除信号，并解除 STOP、HALT 和 SNOOZE 模式。

可屏蔽中断分为外部中断请求和内部中断请求。

(2) 软件中断

这是通过执行 BRK 指令而产生的向量中断。即使在禁止中断时也能得到受理。软件中断不受中断优先级控制。

21.2 中断源和配置

中断源包括可屏蔽中断和软件中断。另外还具有最多七种的重启源(参阅表 21-1)。当因产生复位或各种中断请求而分支时，存储着程序起始地址的向量代码各为两个字节，因此，中断跳转目标的地址为 00000H 至 0FFFFH 的 64 K 地址。

表 21-1. 中断源列表 (1/4)

中断类型	默认优先级 ^{注1}	中断源		内部/外部	向量表地址	基本配置类型 ^{注2}	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针		
		名称	触发															
可屏蔽	0	INTWDTI	看门狗定时器间隔 ^{注3} (溢出时间的 75%+1/2f _{IL})	内部	0004H	(A)	√	√	√	√	√	√	√	√	√	√		
	1	INTLVI	检测电压 ^{注4}		0006H		√	√	√	√	√	√	√	√	√	√		
	2	INTP0	检测引脚输入边沿	外部	0008H	(B)	√	√	√	√	√	√	√	√	√	√		
	3	INTP1			000AH		√	√	√	√	√	√	√	√	√			
	4	INTP2			000CH		√	√	√	√	√	√	√	√	√			
	5	INTP3			000EH		√	√	√	√	√	√	√	√	√			
	6	INTP4			0010H		√	√	√	√	√	√	√	√	√			
	7	INTP5			0012H		√	√	√	√	√	√	√	√	√	√		
	8	INTST2/ INTCSI20/ INTIIC20	UART2 发送的传送结束或缓冲器空白中断/CSI20 的传送结束或缓冲器空白中断/IIC20 的传送结束	内部	0014H	(A)	√	√	√	√	√	√	√	√	√	√		
	9	INTSR2/ INTCSI21/ INTIIC21	UART2 接收的传送结束/CSI21 的传送结束或缓冲器空白中断/IIC21 的传送结束		0016H		√	√	√	√	√	√	√	注5	注5			
	10	INTSRE2	发生 UART2 接收的通信错误		0018H		√	√	√	√	√	√	√	√	√	√		
		INTTM11H	定时器通道 11 的计数或捕捉结束(8 位定时器工作时)				√	√	—	—	—	—	—	—	—	—		
	11	INTST0/ INTCSI00/ INTIIC00	UART0 发送的传送结束或缓冲器空白中断/CSI00 的传送结束或缓冲器空白中断/IIC00 的传送结束		001EH		√	√	√	√	√	√	√	√	√	√	√	
	12	INTSR0/ INTCSI01/ INTIIC01	UART0 接收的传送结束/CSI01 的传送结束或缓冲器空白中断/IIC01 的传送结束		0020H		√	√	√	√	√	注6	注6	注6	注6	注6	注6	
	13	INTSRE0	发生 UART0 接收的通信错误		0022H		√	√	√	√	√	√	√	√	√	√	√	√
		INTTM01H	定时器通道 1 的计数或捕捉结束(8 位定时器工作时)				√	√	√	√	√	√	√	√	√	√	√	

注 1. 如果同时发生两个或更多可屏蔽中断，默认优先级将决定中断的顺序。零表示最高优先级，44 表示最低优先级。

- 基本配置类型(A)至(D)对应于图 21-1 中的(A)至(D)。
- 当选项字节(000C0H)的位 7(WDTINT)被设置为 1。
- 当电压检测电平寄存器(LVIS)的位 7(LVIMD)被清除为 0。
- 仅限 INTSR2。
- 仅限 INTSR0。

表 21-1. 中断源列表 (2/4)

中断类型	默认优先级 注1	中断源		内部/ 外部	向量表 地址	基本配置 类型 注2	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
		名称	触发													
可屏蔽	14	INTST1/ INTCSI10/ INTIIC10	UART1 发送的传送结束或缓冲器空白中断/CSI10 的传送结束或缓冲器空白中断/IIC10 的传送结束	内部	0024H	(A)	√	√	√	注3	注3	注3	注3	注3	注3	注3
	15	INTSR1/ INTCSI11/ INTIIC11	UART1 接收的传送结束/CSI11 的传送结束或缓冲器空白中断/IIC11 的传送结束		0026H		√	√	√	√	√	√	√	√	√	√
	16	INTSRE1	发生 UART1 接收的通信错误		0028H		√	√	√	√	√	√	√	√	√	√
		INTTM03H	定时器通道 3 的计数或捕捉结束(8 位定时器工作时)				√	√	√	√	√	√	√	√	√	√
	17	INTIICA0	IICA0 通信结束		002AH		√	√	√	√	√	√	√	√	√	√
	18	INTTM00	定时器通道 0 的计数或捕捉结束		002CH		√	√	√	√	√	√	√	√	√	√
	19	INTTM01	定时器通道 1 的计数或捕捉结束		002EH		√	√	√	√	√	√	√	√	√	√
	20	INTTM02	定时器通道 2 的计数或捕捉结束		0030H		√	√	√	√	√	√	√	√	√	√
	21	INTTM03	定时器通道 3 的计数或捕捉结束		0032H		√	√	√	√	√	√	√	√	√	√
	22	INTAD	A/D 转换结束		0034H		√	√	√	√	√	√	√	√	√	√
	23	INTRTC	检测实时时钟的固定周期信号/报警匹配		0036H		√	√	√	√	√	√	√	√	√	√
	24	INTIT	检测间隔信号		0038H		√	√	√	√	√	√	√	√	√	√
	25	INTKR	检测按键返回信号	外部	003AH	(C)	√	√	√	√	√	√	—	—	—	—
	26	INTST3/ INTCSI30/ INTIIC30	UART3 发送的传送结束或缓冲器空白中断/CSI30 的传送结束或缓冲器空白中断/IIC30 的传送结束	内部	003CH	(A)	√	√	—	—	—	—	—	—	—	—
	27	INTSR3/ INTCSI31/ INTIIC31	UART3 接收的传送结束/CSI31 的传送结束或缓冲器空白中断/IIC31 的传送结束		003EH		√	√	—	—	—	—	—	—	—	—
	28	INTTRJ0	定时器 RJ 下溢		0040H		√	√	√	√	√	√	√	√	√	√

注 1. 如果同时发生两个或更多可屏蔽中断，默认优先级将决定中断的顺序。零表示最高优先级，44 表示最低优先级。

2. 基本配置类型(A)至(D)对应于图 21-1 中的(A)至(D)。

3. 仅限 INTST1。

表 21-1. 中断源列表 (3/4)

中断类型	默认优先级 ^{註1}	中断源		内部/外部	向量表地址	基本配置类型 ^{註2}	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
		名称	触发													
可屏蔽	29	INTTM10	定时器通道 10 的计数或捕捉结束	内部	0042H	(A)	√	√	—	—	—	—	—	—	—	—
	30	INTTM11	定时器通道 11 的计数或捕捉结束		0044H		√	√	—	—	—	—	—	—	—	—
	31	INTTM12	定时器通道 12 的计数或捕捉结束		0046H		√	√	—	—	—	—	—	—	—	
	32	INTTM13	定时器通道 13 的计数或捕捉结束		0048H		√	√	—	—	—	—	—	—	—	
	33	INTP6	检测引脚输入边沿	外部	004AH	(B)	√	√	√	√	√	—	—	—	—	—
	34	INTP7			004CH		√	√	√	—	—	—	—	—	—	—
	35	INTP8			004EH		√	√	√	√	√	—	—	—	—	—
	36	INTP9			0050H		√	√	√	√	√	—	—	—	—	—
	37	INTP10	检测引脚输入边沿	外部	0052H	√	√	√	√	—	—	—	—	—	—	
		INTCMP0	比较器检测 0			内部	√	√	3 针	3 针	3 针	3 针	3 针	3 针	3 针	
	38	INTP11	检测引脚输入边沿	外部	0054H	√	√	√	√	—	—	—	—	—	—	
		INTCMP1	比较器检测 1			内部	√	√	3 针	3 针	3 针	3 针	3 针	3 针	3 针	
	39	INTTRD0	定时器 RD0 输入捕捉、比较匹配、溢出、下溢中断	内部	0056H	(A)	√	√	√	√	√	√	√	√	√	√
	40	INTTRD1	定时器 RD1 输入捕捉、比较匹配、溢出、下溢中断		0058H		√	√	√	√	√	√	√	√	√	√
	41	INTTRG	定时器 RG 输入捕捉、比较匹配、溢出、下溢中断		005AH		√	√	√	√	√	√	√	√	√	√
	42	INTSRE3	发生 UART3 接收的通信错误		005CH		√	√	—	—	—	—	—	—	—	—
		INTTM13H	定时器通道 13 的计数或捕捉结束 (8 位定时器工作时)				√	√	—	—	—	—	—	—	—	—
	43	INTIICA1	IICA1 通信结束		0060H		√	√	—	—	—	—	—	—	—	—
	44	INTFL	定序器结束中断 ^{註4}		0062H		√	√	√	√	√	√	√	√	√	√

- 注
1. 如果同时发生两个或更多可屏蔽中断，默认优先级将决定中断的顺序。零表示最高优先级，44 表示最低优先级。
 2. 基本配置类型(A)至(D)对应于图 21-1 中的(A)至(D)。
 3. 安装在代码闪存大于或等于 96 KB 的产品中。
 4. 仅限于自编程库使用。

表 21-1. 中断源列表 (4/4)

中断类型	默认优先级 ^{注1}	中断源		内部/外部	向量表地址	基本配置类型 ^{注2}	100 针	80 针	64 针	52 针	48 针	44 针	40 针	36 针	32 针	30 针
		名称	触发													
软件	—	BRK	执行 BRK 指令	—	007EH	(D)	√	√	√	√	√	√	√	√	√	√
复位	—	RESET	RESET 引脚输入	—	0000H	—	√	√	√	√	√	√	√	√	√	√
		POR	上电复位				√	√	√	√	√	√	√	√	√	√
		LVD	电压检测 ^{注3}				√	√	√	√	√	√	√	√	√	√
		WDT	看门狗定时器的溢出				√	√	√	√	√	√	√	√	√	√
		TRAP	执行非法指令 ^{注4}				√	√	√	√	√	√	√	√	√	√
		IAW	存取非法存储器				√	√	√	√	√	√	√	√	√	√
		RAMTOP	RAM 奇偶校验错误				√	√	√	√	√	√	√	√	√	√

注 1. 如果同时发生两个或更多可屏蔽中断，默认优先级将决定中断的顺序。零表示最高优先级，44 表示最低优先级。

2. 基本配置类型(A)至(D)对应于图 21-1 中的(A)至(D)。

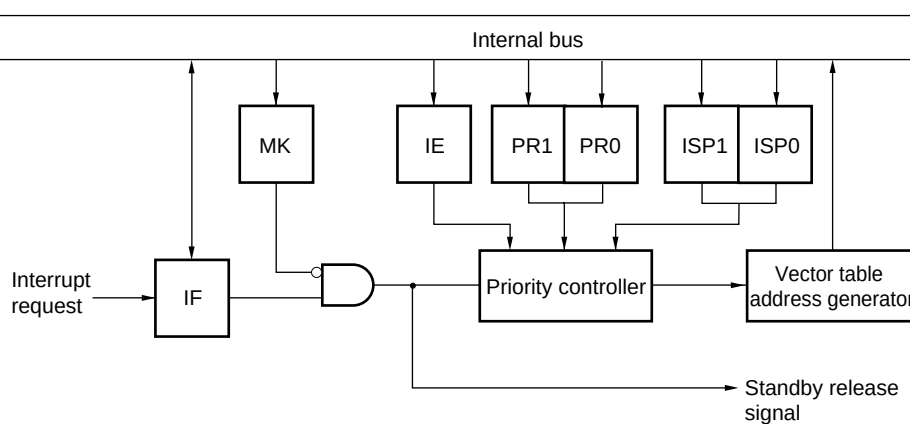
3. 当电压检测电平寄存器(LVIS)的位 7(LVIMD)被设置为 1。

4. 当 FFH 中的指令代码被执行。

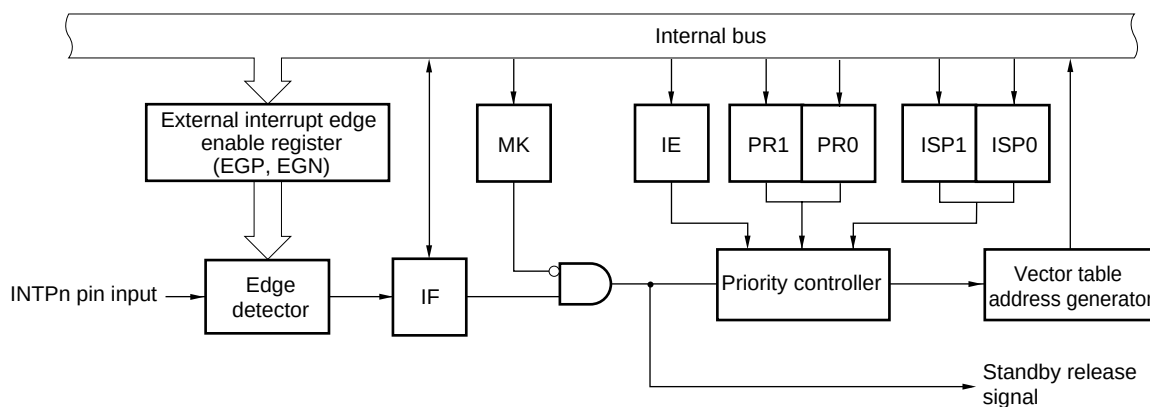
在线仿真器或片上调试仿真器的仿真过程中，不发生执行非法指令所引起的复位。

图 21-1. 中断功能的基本配置 (1/2)

(A) 内部可屏蔽中断



(B) 外部可屏蔽中断(INTPn)

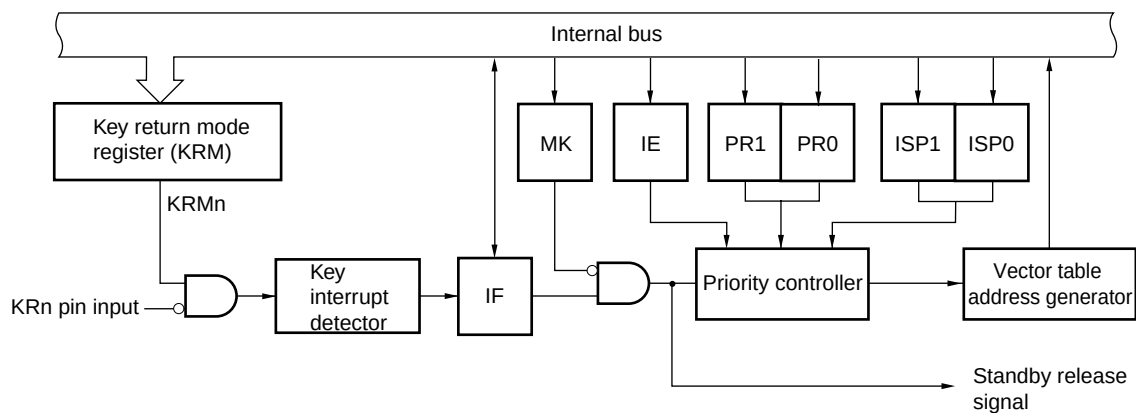


IF: 中断结果标志
 IE: 中断允许标志
 ISP0: 受理中断的优先级标志 0
 ISP1: 受理中断的优先级标志 1
 MK: 中断屏蔽标志
 PR0: 优先级指定标志 0
 PR1: 优先级指定标志 1

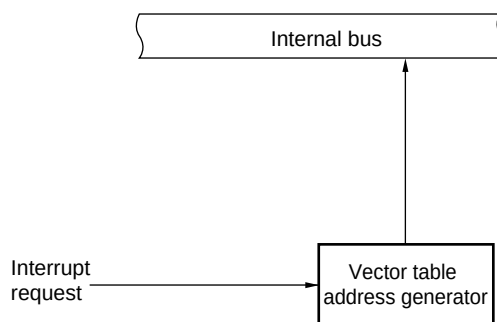
备注 30、32、36、40、44 针: n = 0 至 5
 48 针: n = 0 至 6、8、9
 52 针: n = 0 至 6、8 至 11
 64、80、100 针: n = 0 至 11

图 21-1. 中断功能的基本配置 (2/2)

(C) 外部可屏蔽中断 (INTKR)



(D) 软件中断



IF: 中断结果标志
 IE: 中断允许标志
 ISP0: 受理中断的优先级标志 0
 ISP1: 受理中断的优先级标志 1
 MK: 中断屏蔽标志
 PR0: 优先级指定标志 0
 PR1: 优先级指定标志 1

备注 40、44 针: n = 0 至 3
 48 针: n = 0 至 5
 52、64、80、100 针: n = 0 至 7

21.3 控制中断功能的寄存器

以下 6 种寄存器用于控制中断功能。

- 中断请求标志寄存器 (IF0L、IF0H、IF1L、IF1H、IF2L、IF2H)
- 中断屏蔽标志寄存器 (MK0L、MK0H、MK1L、MK1H、MK2L、MK2H)
- 优先级指定标志寄存器 (PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR10L、PR10H、PR11L、PR11H、PR12L、PR12H)
- 外部中断上升沿允许寄存器 (EGP0、EGP1)
- 外部中断下降沿允许寄存器 (EGN0、EGN1)
- 程序状态字 (PSW)

对应于中断请求源的中断请求标志，中断屏蔽标志和优先级指定标志的列表如表 21-2 所示。

表 21-2. 对应于中断请求源的标志(1/4)

中断源	中断请求标志		中断屏蔽标志		优先级指定标志		100 针	80 针	64 针	52 针	48 针	40、44 针	36 针	30、32 针
		寄存器		寄存器		寄存器								
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	√	√	√	√	√	√	√	√
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1		√	√	√	√	√	√	√	√
INTP0	PIF0		PMK0		PPR00, PPR10		√	√	√	√	√	√	√	√
INTP1	PIF1		PMK1		PPR01, PPR11		√	√	√	√	√	√	√	√
INTP2	PIF2		PMK2		PPR02, PPR12		√	√	√	√	√	√	√	√
INTP3	PIF3		PMK3		PPR03, PPR13		√	√	√	√	√	√	√	√
INTP4	PIF4		PMK4		PPR04, PPR14		√	√	√	√	√	√	√	√
INTP5	PIF5		PMK5		PPR05, PPR15		√	√	√	√	√	√	√	√

表 21-2. 对应于中断请求源的标志(2/4)

中断源	中断请求标志		中断屏蔽标志		优先级指定标志		100 针	80 针	64 针	52 针	48 针	40、44 针	36 针	30、32 针
		寄存器		寄存器		寄存器								
INTST2 ^{注1}	STIF2 ^{注1}	IF0H	STMK2 ^{注1}	MK0H	STPR02, STPR12 ^{注1}	PR00H, PR10H	√	√	√	√	√	√	√	√
INTCSI20 ^{注1}	CSIF20 ^{注1}		CSIMK20 ^{注1}		CSIPR020, CSIPR120 ^{注1}		√	√	√	√	√	√	√	√
INTIIC20 ^{注1}	IICIF20 ^{注1}		IICMK20 ^{注1}		IICPR020, IICPR120 ^{注1}		√	√	√	√	√	√	√	√
INTSR2 ^{注2}	SRIF2 ^{注2}		SRMK2 ^{注2}		SRPR02, SRPR12 ^{注2}		√	√	√	√	√	√	√	√
INTCSI21 ^{注2}	CSIF21 ^{注2}		CSIMK21 ^{注2}		CSIPR021, CSIPR121 ^{注2}		√	√	√	√	√	√	√	—
INTIIC21 ^{注2}	IICIF21 ^{注2}		IICMK21 ^{注2}		IICPR021, IICPR121 ^{注2}		√	√	√	√	√	√	√	—
INTSRE2 ^{注3}	SREIF2 ^{注3}		SREMK2 ^{注3}		SREPR02, SREPR12 ^{注3}		√	√	√	√	√	√	√	√
INTTM11H ^{注3}	TMIF11H ^{注3}		TMMK11H ^{注3}		TMPR011H, TMPR111H ^{注3}		√	√	—	—	—	—	—	—
INTST0 ^{注4}	STIF0 ^{注4}		STMK0 ^{注4}		STPR00, STPR10 ^{注4}		√	√	√	√	√	√	√	√
INTCSI00 ^{注4}	CSIF00 ^{注4}		CSIMK00 ^{注4}		CSIPR000, CSIPR100 ^{注4}		√	√	√	√	√	√	√	√
INTIIC00 ^{注4}	IICIF00 ^{注4}		IICMK00 ^{注4}		IICPR000, IICPR100 ^{注4}		√	√	√	√	√	√	√	√
INTSR0 ^{注5}	SRIF0 ^{注5}		SRMK0 ^{注5}		SRPR00, SRPR10 ^{注5}		√	√	√	√	√	√	√	√
INTCSI01 ^{注5}	CSIF01 ^{注5}		CSIMK01 ^{注5}		CSIPR001, CSIPR101 ^{注5}		√	√	√	√	—	—	—	—
INTIIC01 ^{注5}	IICIF01 ^{注5}		IICMK01 ^{注5}		IICPR001, IICPR101 ^{注5}		√	√	√	√	—	—	—	—
INTSRE0 ^{注6}	SREIF0 ^{注6}		SREMK0 ^{注6}		SREPR00, SREPR10 ^{注6}		√	√	√	√	√	√	√	√
INTTM01H ^{注6}	TMIF01H ^{注6}		TMMK01H ^{注6}		TMPR001H, TMPR101H ^{注6}		√	√	√	√	√	√	√	√

- 注 1. 不要同时使用 UART2、CSI20 和 IIC20，因为它们共用中断请求源标志。如果产生中断源 INTST2、INTCSI20 和 INTIIC20 三者之一，则 IF0H 寄存器的位 0 将被设置为 1。MK0H、PR00H 和 PR10H 寄存器的位 0 支持这三种中断源。
2. 不要同时使用 UART2、CSI21 和 IIC21，因为它们共用中断请求源标志。如果产生中断源 INTSR2、INTCSI21 和 INTIIC21 三者之一，则 IF0H 寄存器的位 1 将被设置为 1。MK0H、PR00H 和 PR10H 寄存器的位 1 支持这三种中断源。
3. 不要同时使用 UART2 和 TAU1 的通道 1(8 位定时器工作时)，因为它们共用中断请求源标志。如果产生中断源 INTSRE2 和 INTTM11H 二者之一，则 IF0H 寄存器的位 2 将被设置为 1。MK0H、PR00H 和 PR10H 寄存器的位 2 支持这两种中断源。
4. 不要同时使用 UART0、CSI00 和 IIC00，因为它们共用中断请求源标志。如果产生中断源 INTST0、INTCSI00 和 INTIIC00 三者之一，则 IF0H 寄存器的位 5 将被设置为 1。MK0H、PR00H 和 PR10H 寄存器的位 5 支持这三种中断源。
5. 不要同时使用 UART0、CSI01 和 IIC01，因为它们共用中断请求源标志。如果产生中断源 INTSR0、INTCSI01 和 INTIIC01 三者之一，则 IF0H 寄存器的位 6 将被设置为 1。MK0H、PR00H 和 PR10H 寄存器的位 6 支持这三种中断源。
6. 不要同时使用 UART0 和 TAU0 的通道 1(8 位定时器工作时)，因为它们共用中断请求源标志。如果产生中断源 INTSRE0 和 INTTM01H 二者之一，则 IF0H 寄存器的位 7 将被设置为 1。MK0H、PR00H 和 PR10H 寄存器的位 7 支持这两种中断源。

表 21-2. 对应于中断请求源的标志(3/4)

中断源	中断请求标志		中断屏蔽标志		优先级指定标志		100 针	80 针	64 针	52 针	48 针	40、44 针	36 针	30、32 针
		寄存器		寄存器		寄存器								
INTST1 ^{注1}	STIF1 ^{注1}	IF1L	STMK1 ^{注1}	MK1L	STPR01, STPR11 ^{注1}	PR01L, PR11L	√	√	√	√	√	√	√	√
INTCSI10 ^{注1}	CSIF10 ^{注1}		CSIMK10 ^{注1}		CSIPR010, CSIPR110 ^{注1}		√	√	√	—	—	—	—	—
INTIIC10 ^{注1}	IICIF10 ^{注1}		IICMK10 ^{注1}		IICPR010, IICPR110 ^{注1}		√	√	√	—	—	—	—	—
INTSR1 ^{注2}	SRIF1 ^{注2}		SRMK1 ^{注2}		SRPR01, SRPR11 ^{注2}		√	√	√	√	√	√	√	√
INTCSI11 ^{注2}	CSIF11 ^{注2}		CSIMK11 ^{注2}		CSIPR011, CSIPR111 ^{注2}		√	√	√	√	√	√	√	√
INTIIC11 ^{注2}	IICIF11 ^{注2}		IICMK11 ^{注2}		IICPR011, IICPR111 ^{注2}		√	√	√	√	√	√	√	√
INTSRE1 ^{注3}	SREIF1 ^{注3}		SREMK1 ^{注3}		SREPR01, SREPR11 ^{注3}		√	√	√	√	√	√	√	√
INTTM03H ^{注3}	TMIF03H ^{注3}		TMMK03H ^{注3}		TMPR003H, TMPR103H ^{注3}		√	√	√	√	√	√	√	√
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		√	√	√	√	√	√	√	√
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		√	√	√	√	√	√	√	√
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		√	√	√	√	√	√	√	√
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		√	√	√	√	√	√	√	√
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		√	√	√	√	√	√	√	√
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	√	√	√	√	√	√	√	√
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		√	√	√	√	√	√	√	√
INTIT	ITIF		ITMK		ITPR0, ITPR1		√	√	√	√	√	√	√	√
INTKR	KRIF		KRMK		KRPR0, KRPR1		√	√	√	√	√	—	—	—
INTST3 ^{注4}	STIF3 ^{注4}		STMK3 ^{注4}		STPR03, STPR13 ^{注4}		√	√	—	—	—	—	—	—
INTCSI30 ^{注4}	CSIF30 ^{注4}		CSIMK30 ^{注4}		CSIPR030, CSIPR130 ^{注4}		√	√	—	—	—	—	—	—
INTIIC30 ^{注4}	IICIF30 ^{注4}		IICMK30 ^{注4}		IICPR030, IICPR130 ^{注4}		√	√	—	—	—	—	—	—
INTSR3 ^{注5}	SRIF3 ^{注5}		SRMK3 ^{注5}		SRPR03, SRPR13 ^{注5}		√	√	—	—	—	—	—	—
INTCSI31 ^{注5}	CSIF31 ^{注5}		CSIMK31 ^{注5}		CSIPR031, CSIPR131 ^{注5}		√	√	—	—	—	—	—	—
INTIIC31 ^{注5}	IICIF31 ^{注5}		IICMK31 ^{注5}		IICPR031, IICPR131 ^{注5}		√	√	—	—	—	—	—	—
INTTRJ0	TRJIF0		TRJMK0		TRJPR00, TRJPR10		√	√	√	√	√	√	√	√
INTTM10	TMIF10		TMMK10		TMPR010, TMPR110		√	√	—	—	—	—	—	—

- 注 1. 不要同时使用 UART1、CSI10 和 IIC10，因为它们共用中断请求源标志。如果产生中断源 INTST1、INTCSI10 和 INTIIC10 三者之一，则 IF1L 寄存器的位 0 将被设置为 1。MK1L、PR01L 和 PR11L 寄存器的位 0 支持这三种中断源。
2. 不要同时使用 UART1、CSI11 和 IIC11，因为它们共用中断请求源标志。如果产生中断源 INTSR1、INTCSI11 和 INTIIC11 三者之一，则 IF1L 寄存器的位 1 将被设置为 1。MK1L、PR01L 和 PR11L 寄存器的位 1 支持这三种中断源。
3. 不要同时使用 UART1 和 TAU0 的通道 3 (8 位定时器工作时)，因为它们共用中断请求源标志。如果产生中断源 INTSRE1 和 INTTM03H 二者之一，则 IF1L 寄存器的位 2 将被设置为 1。MK1L、PR01L 和 PR11L 寄存器的位 2 支持这两种中断源。
4. 不要同时使用 UART3、CSI30 和 IIC30，因为它们共用中断请求源标志。如果产生中断源 INTST3、INTCSI30 和 INTIIC30 三者之一，则 IF1H 寄存器的位 4 将被设置为 1。MK1H、PR01H 和 PR11H 寄存器的位 4 支持这三种中断源。
5. 不要同时使用 UART3、CSI31 和 IIC31，因为它们共用中断请求源标志。如果产生中断源 INTSR3、INTCSI31 和 INTIIC31 三者之一，则 IF1H 寄存器的位 5 将被设置为 1。MK1H、PR01H 和 PR11H 寄存器的位 5 支持这三种中断源。

表 21-2. 对应于中断请求源的标志(4/4)

中断源	中断请求标志	中断屏蔽标志		优先级指定标志		100 针	80 针	64 针	52 针	48 针	40、44 针	36 针	30、32 针
		寄存器	寄存器	寄存器	寄存器								
INTTM11	TMIF11	IF2L	TMMK11	MK2L	TMPR011, TMPR111	PR02L, PR12L	√	√	—	—	—	—	—
INTTM12	TMIF12		TMMK12		TMPR012, TMPR112		√	√	—	—	—	—	—
INTTM13	TMIF13		TMMK13		TMPR013, TMPR113		√	√	—	—	—	—	—
INTP6	PIF6		PMK6		PPR06, PPR16		√	√	√	√	—	—	—
INTP7	PIF7		PMK7		PPR07, PPR17		√	√	√	—	—	—	—
INTP8	PIF8		PMK8		PPR08, PPR18		√	√	√	√	—	—	—
INTP9	PIF9		PMK9		PPR09, PPR19		√	√	√	√	—	—	—
INTP10 ^{注1}	PIF10 ^{注1}		PMK10 ^{注1}		PPR010, PPR110 ^{注1}		√	√	√	√	—	—	—
INTCMP0 ^{注1}	CMPIF0 ^{注1}		CMPMK0 ^{注1}		CMPPR00, CMPPR10 ^{注1}		√	√	4 注	4 注	4 注	4 注	4 注
INTP11 ^{注2}	PIF11 ^{注2}	IF2H	PMK11 ^{注2}	MK2H	PPR011, PPR111 ^{注2}	PR02H, PR12H	√	√	√	√	—	—	—
INTCMP1 ^{注2}	CMPIF1 ^{注2}		CMPMK1 ^{注2}		CMPPR01, CMPPR11 ^{注2}		√	√	4 注	4 注	4 注	4 注	4 注
INTTRD0	TRDIF0		TRDMK0		TRDPR00, TRDPR10		√	√	√	√	√	√	√
INTTRD1	TRDIF1		TRDMK1		TRDPR01, TRDPR11		√	√	√	√	√	√	√
INTTRG	TRGIF		TRGMK		TRGPR0, TRGPR1		√	√	√	√	√	√	√
INTSRE3 ^{注3}	SREIF3 ^{注3}		SREMK3 ^{注3}		SREPR03, SREPR13 ^{注3}		√	√	—	—	—	—	—
INTTM13H ^{注3}	TMIF13H ^{注3}		TMMK13H ^{注3}		TMPR013H, TMPR113H ^{注3}		√	√	—	—	—	—	—
INTIICA1	IICAIF1		IICAMK1		IICAPR01, IICAPR11		√	√	—	—	—	—	—
INTFL	FLIF		FLMK		FLPR0, FLPR1		√	√	√	√	√	√	√

- 注 1. 不要同时使用 INTP10 和比较器 0，因为它们共用中断请求源标志。如果产生中断源 INTP10 和 INTCMP0 二者之一，则 IF2L 寄存器的位 7 将被设为 1。MK2L、PR02L 和 PR12L 寄存器的位 7 支持这两种中断源。
2. 不要同时使用 INTP11 和比较器 1，因为它们共用中断请求源标志。如果产生中断源 INTP11 和 INTCMP1 二者之一，则 IF2H 寄存器的位 0 将被设置为 1。MK2H、PR02H 和 PR12H 寄存器的位 0 支持这两种中断源。
3. 不要同时使用 UART3 和 TAU1 的通道 3 (8 位定时器工作时)，因为它们共用中断请求源标志。如果产生中断源 INTSRE3 和 INTTM13H 二者之一，则 IF2H 寄存器的位 4 将被设置为 1。MK2H、PR02H 和 PR12H 寄存器的位 4 支持这两种中断源。
4. 安装在代码闪存大于或等于 96 KB 的产品中。

(1) 中断请求标志寄存器 (IF0L、IF0H、IF1L、IF1H、IF2L、IF2H)

在产生相应的中断请求或者执行一条指令时，中断请求标志被设置为 1。在受理中断请求或者产生复位信号时，执行指令后该寄存器被清除为 0。

当一个中断被受理时，中断请求标志将自动清零，然后进行中断处理。

使用 1 位或 8 位存储器操作指令设置 IF0L、IF0H、IF1L、IF1H、IF2L 和 IF2H 寄存器。当 IF0L 和 IF0H 寄存器、IF1L 和 IF1H 寄存器以及 IF2L 和 IF2H 寄存器相结合以构成 16 位寄存器 IF0、IF1 和 IF2 时，可以用 16 位存储器操作指令进行设置。

产生复位信号后，清除这些寄存器为 00H。

备注 如果执行了向该寄存器写入数据的指令，则指令执行时钟数将增加 2 个时钟。

图 21-2. 中断请求标志寄存器 (IF0L、IF0H、IF1L、IF1H、IF2L、IF2H) 的格式 (100 针) (1/2)

地址: FFFE0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIF

地址: FFFE1H 复位后: 00H R/W

符号	<7>	<6>	<5>	4	3	<2>	<1>	<0>
IF0H	SREIF0 TMIF01H	SRIF0 CSIF01 IICIF01	STIF0 CSIF00 IICIF00	0	0	SREIF2 TMIF11H	SRIF2 CSIF21 IICIF21	STIF2 CSIF20 IICIF20

地址: FFFE2H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAF0	SREIF1 TMIF03H	SRIF1 CSIF11 IICIF11	STIF1 CSIF10 IICIF10

地址: FFFE3H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1H	TMIF10	TRJIF0	SRIF3 CSIF31 IICIF31	STIF3 CSIF30 IICIF30	KRIF	ITIF	RTCIF	ADIF

地址: FFFD0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF2L	PIF10 CMPIF0	PIF9	PIF8	PIF7	PIF6	TMIF13	TMIF12	TMIF11

图 21-2. 中断请求标志寄存器 (IF0L、IF0H、IF1L、IF1H、IF2L、IF2H)的格式 (100 针) (2/2)

地址: FFFD1H 复位后: 00H R/W

符号	<7>	<6>	5	<4>	<3>	<2>	<1>	<0>
IF2H	FLIF	IICAI1F1	0	SREIF3 TMIF13H	TRGIF	TRDIF1	TRDIF0	PIF11 CMP1F1

XXIFX	中断请求标志
0	不产生中断请求信号。
1	产生中断请求, 处于中断请求状态。

- 注意事项**
- 100 针产品的位布局如上所示。可用位因产品而异。关于每种产品可用位的详情, 请参阅表 21-2。务必将不可用的位清除为 0。
 - 当在解除待机之后操作定时器、串行接口或 A/D 转换器时, 须在清除中断请求标志之后再操作。噪声可能设置中断请求标志。
 - 在操作中中断请求标志寄存器的标志时, 要使用 1 位存储器操作指令 (CLR1)。当以 C 语言描述时, 要使用位操作指令, 如“IF0L.0 = 0;”或“_asm(“clr1 IF0L, 0”);”, 因为编译后的汇编程序必须为 1 位存储器操作指令 (CLR1)。
- 如果利用 8 位存储器操作指令 (如“IF0L &= 0xfe;”) 以 C 语言描述程序, 并进行编译, 则将成为有三条指令的汇编程序。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

这种情况下, 即使在“mov a, IF0L”与“mov IF0L, a”之间将同一中断请求标志寄存器 (IF0L) 的另一位的请求标志设置为 1, 该标志也会在“mov IF0L, a”时清除为 0。因此, 在以 C 语言使用 8 位存储器操作指令时, 务必谨慎。

(2) 中断屏蔽标志寄存器 (MK0L、MK0H、MK1L、MK1H、MK2L、MK2H)

中断屏蔽标志用于允许/禁止相应的可屏蔽中断处理。

使用 1 位或 8 位存储器操作指令设置 MK0L、MK0H、MK1L、MK1H、MK2L 和 MK2H 寄存器。当 MK0L 和 MK0H 寄存器、MK1L 和 MK1H 寄存器以及 MK2L 和 MK2H 寄存器相结合以构成 16 位寄存器 MK0、MK1 和 MK2 时, 可以用 16 位存储器操作指令进行设置。

产生复位信号后, 设置这些寄存器为 FFH。

备注 如果执行了向该寄存器写入数据的指令, 则指令执行时钟数将增加 2 个时钟。

图 21-3. 中断屏蔽标志寄存器 (MK0L、MK0H、MK1L、MK1H、MK2L、MK2H)的格式(100 针)

地址: FFFE4H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

地址: FFFE5H 复位后: FFH R/W

符号	<7>	<6>	<5>	4	3	<2>	<1>	<0>
MK0H	SREMK0 TMMK01H	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	1	1	SREMK2 TMMK11H	SRMK2 CSIMK21 IICMK21	STMK2 CSIMK20 IICMK20

地址: FFFE6H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10

地址: FFFE7H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1H	TMMK10	TRJMK0	SRMK3 CSIMK31 IICMK31	STMK3 CSIMK30 IICMK30	KRMK	ITMK	RTCMK	ADMK

地址: FFFD4H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK2L	PMK10 CMPMK0	PMK9	PMK8	PMK7	PMK6	TMMK13	TMMK12	TMMK11

地址: FFFD5H 复位后: FFH R/W

符号	<7>	<6>	5	<4>	<3>	<2>	<1>	<0>
MK2H	FLMK	IICAMK1	1	SREMK3 TMMK13H	TRGMK	TRDMK1	TRDMK0	PMK11 CMPMK1

XXMKX	控制中断处理
0	允许中断处理
1	禁止中断处理

注意事项 100 针产品的位布局如上所示。可用位因产品而异。关于每种产品可用位的详情，请参阅表 21-2。务必将不可用的位设置为 1。

(3) 优先级指定标志寄存器 (PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR10L、PR10H、PR11L、PR11H、PR12L、PR12H)

优先级指定标志寄存器用于设置相应的可屏蔽中断优先级。

通过组合使用 PR0xy 和 PR1xy 寄存器(xy = 0L、0H、1L、1H、2L 或 2H)来设置优先级。

使用 1 位或 8 位存储器操作指令设置 PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR10L、PR10H、PR11L、PR11H、PR12L 和 PR12H 寄存器。如果 PR00L 和 PR00H 寄存器、PR01L 和 PR01H 寄存器、PR02L 和 PR02H 寄存器、PR10L 和 PR10H 寄存器、PR11L 和 PR11H 寄存器以及 PR12L 和 PR12H 寄存器相结合以构成 16 位寄存器 PR00、PR01、PR02、PR10、PR11 和 PR12，则可以用 16 位存储器操作指令进行设置。

产生复位信号后，设置这些寄存器为 FFH。

备注 如果执行了向该寄存器写入数据的指令，则指令执行时钟数将增加 2 个时钟。

图 21-4. 优先级指定标志寄存器(PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR10L、PR10H、PR11L、PR11H、PR12L、PR12H)的格式 (100 针) (1/2)

地址: FFFE8H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

地址: FFFECH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

地址: FFFE9H 复位后: FFH R/W

符号	<7>	<6>	<5>	4	3	<2>	<1>	<0>
PR00H	SREPR00 TMPR001H	SRPR00 CSIPR001 IICPR001	STPR00 CSIPR000 IICPR000	1	1	SREPR02 TMPR011H	SRPR02 CSIPR021 IICPR021	STPR02 CSIPR020 IICPR020

地址: FFFEDH 复位后: FFH R/W

符号	<7>	<6>	<5>	4	3	<2>	<1>	<0>
PR10H	SREPR10 TMPR101H	SRPR10 CSIPR101 IICPR101	STPR10 CSIPR100 IICPR100	1	1	SREPR12 TMPR111H	SRPR12 CSIPR121 IICPR121	STPR12 CSIPR120 IICPR120

地址: FFFEAH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01 TMPR003H	SRPR01 CSIPR011 IICPR011	STPR01 CSIPR010 IICPR010

地址: FFFE EH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11 TMPR103H	SRPR11 CSIPR111 IICPR111	STPR11 CSIPR110 IICPR110

图 21-4. 优先级指定标志寄存器 (PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR10L、PR10H、PR11L、PR11H、PR12L、PR12H)的格式 (100 针) (2/2)

地址: FFFEBH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01H	TMPR010	TRJPR00	SRPR03 CSIPR031 IICPR031	STPR03 CSIPR030 IICPR030	KRPR0	ITPR0	RTCPR0	ADPR0

地址: FFFE FH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11H	TMPR110	TRJPR10	SRPR13 CSIPR131 IICPR131	STPR13 CSIPR130 IICPR130	KRPR1	ITPR1	RTCPR1	ADPR1

地址: FFFD8H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR02L	PPR010 CMPPR00	PPR09	PPR08	PPR07	PPR06	TMPR013	TMPR012	TMPR011

地址: FFFDCH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR12L	PPR110 CMPPR10	PPR19	PPR18	PPR17	PPR16	TMPR113	TMPR112	TMPR111

地址: FFFD9H 复位后: FFH R/W

符号	<7>	<6>	5	<4>	<3>	<2>	<1>	<0>
PR02H	FLPR0	IICAPR01	1	SREPR03 TMPR013H	TRGPR0	TRDPR01	TRDPR00	PPR011 CMPPR01

地址: FFFDDH 复位后: FFH R/W

符号	<7>	<6>	5	<4>	<3>	<2>	<1>	<0>
PR12H	FLPR1	IICAPR11	1	SREPR03 TMPR113H	TRGPR1	TRDPR11	TRDPR10	PPR111 CMPPR11

XXPR1X	XXPR0X	选择优先等级
0	0	指定等级 0 (高优先等级)
0	1	指定等级 1
1	0	指定等级 2
1	1	指定等级 3 (低优先等级)

注意事项 100 针产品的位布局如上所示。可用位因产品而异。关于每种产品可用位的详情，请参阅表 21-2。务必将不可用的位设置为 1。

(4) 外部中断上升沿允许寄存器 (EGP0、EGP1)，外部中断下降沿允许寄存器 (EGN0、EGN1)

这些寄存器指定 INTP0 至 INTP11 的有效边沿。

使用 1 位或 8 位存储器操作指令设置 EGP0、EGP1、EGN0 和 EGN1 寄存器。

产生复位信号后，清除这些寄存器为 00H。

图 21-5. 外部中断上升沿允许寄存器 (EGP0、EGP1) 和外部中断下降沿允许寄存器 (EGN0、EGN1) 的格式 (100 针)

地址: FFF38H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

地址: FFF39H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

地址: FFF3AH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8

地址: FFF3BH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	选择 INTPn 引脚的有效边沿 (n = 0 至 11)
0	0	禁止检测边沿
0	1	下降沿
1	0	上升沿
1	1	上升和下降沿

对应于 EGPn 和 EGNn 位的端口如表 21-3 所示。

表 21-3. 对应于 EGPn 和 EGNn 位的端口

检测允许位		边沿检测端口	中断请求信号	64, 80, 100 针	52 针	48 针	30, 32, 36, 40, 44 针
EGP0	EGN0	P137	INTP0	√	√	√	√
EGP1	EGN1	P50(P46 [※])	INTP1	√	√	√	√
EGP2	EGN2	P51(P47 [※])	INTP2	√	√	√	√
EGP3	EGN3	P30	INTP3	√	√	√	√
EGP4	EGN4	P31	INTP4	√	√	√	√
EGP5	EGN5	P16	INTP5	√	√	√	√
EGP6	EGN6	P140	INTP6	√	√	√	—
EGP7	EGN7	P141	INTP7	√	—	—	—
EGP8	EGN8	P74	INTP8	√	√	√	—
EGP9	EGN9	P75	INTP9	√	√	√	—
EGP10	EGN10	P76	INTP10	√	√	—	—
EGP11	EGN11	P77	INTP11	√	√	—	—

注 100 针产品。

注意事项 从外部中断功能切换至端口功能时，可能检测到一个边沿，因此将 EGPn 和 EGNn 位清除为 0 之后再选择端口模式。

备注 n = 0 至 11

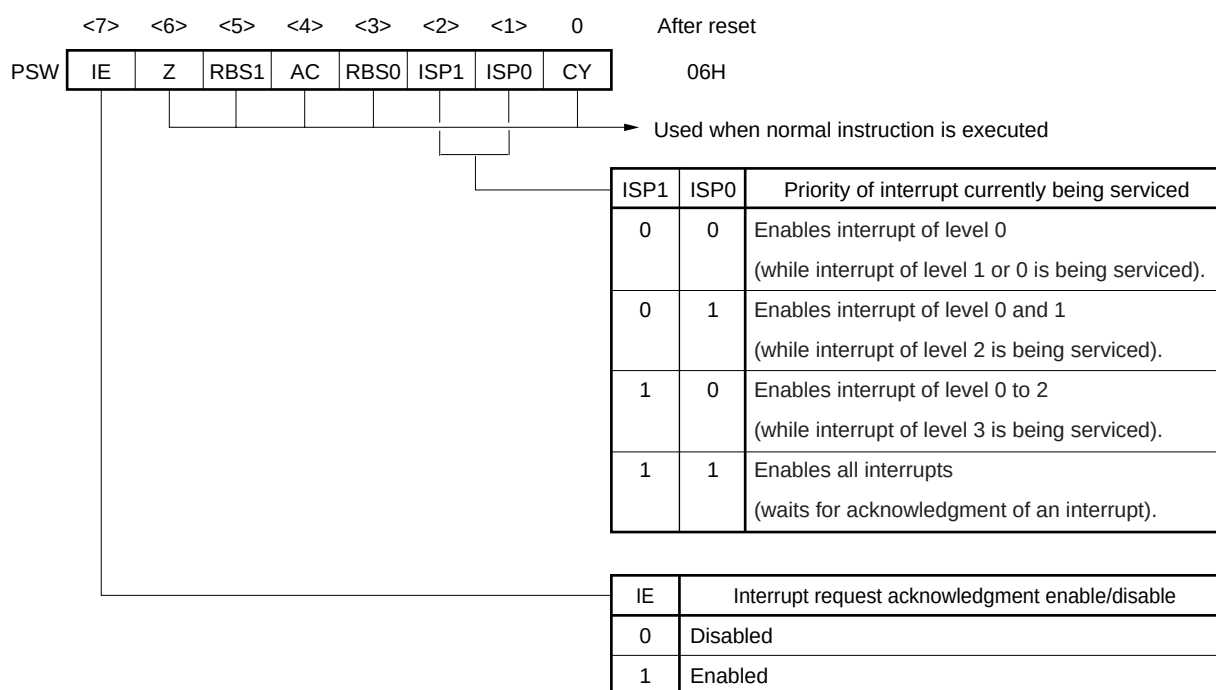
(5) 程序状态字 (PSW)

程序状态字为用于保存指令执行结果和中断请求当前状态的寄存器。设置允许/禁止可屏蔽中断的 IE 标志以及控制多重中断处理的 ISP0 和 ISP1 标志被映射至 PSW。

在 8 位读/写以外，该寄存器可以利用位操作指令和专用指令（EI 和 DI）来执行操作。当向量中断请求被受理时，如果执行 BRK 指令，则 PSW 的内容将被自动保存至堆栈，且 IE 标志复位至 0。如果可屏蔽中断请求被受理，则被受理中断的优先级指定标志的内容将被传送至 ISP0 和 ISP1 标志。PSW 的内容也用 PUSH PSW 指令保存至堆栈。这些内容可用 RETI、RETB 和 POP PSW 指令从堆栈中恢复。

产生复位信号后，设置 PSW 为 06H。

图 21-6. 程序状态字的配置



21.4 中断处理的操作

21.4.1 可屏蔽中断请求受理

当中断请求标志被设置为 1 且与该中断请求对应的屏蔽(MK)标志清除为 0 时, 则该可屏蔽中断被受理。在中断允许状态(当 IE 标志被设置为 1)时, 向量中断请求被受理。然而, 在处理较高优先级中断请求期间, 不受理低优先级中断请求。

从产生可屏蔽中断请求到执行向量中断处理的时间如下面的表 21-4 所示。

关于中断请求受理时序, 请参阅图 21-8 和 21-9。

表 21-4. 从产生可屏蔽中断到处理的时间

	最短时间	最长时间 ^注
处理时间	9 个时钟	16 个时钟

注 在执行来自内部 RAM 区的指令时, 不应用最长时间。

备注 1 个时钟: $1/f_{CLK}$ (f_{CLK} : CPU 时钟)

如果同时产生两个或更多可屏蔽中断请求, 则优先级指定标志所指定的优先级较高的请求将被首先受理。如果两个或更多重中断请求有着相同的优先级, 则默认优先级最高的请求被首先受理。

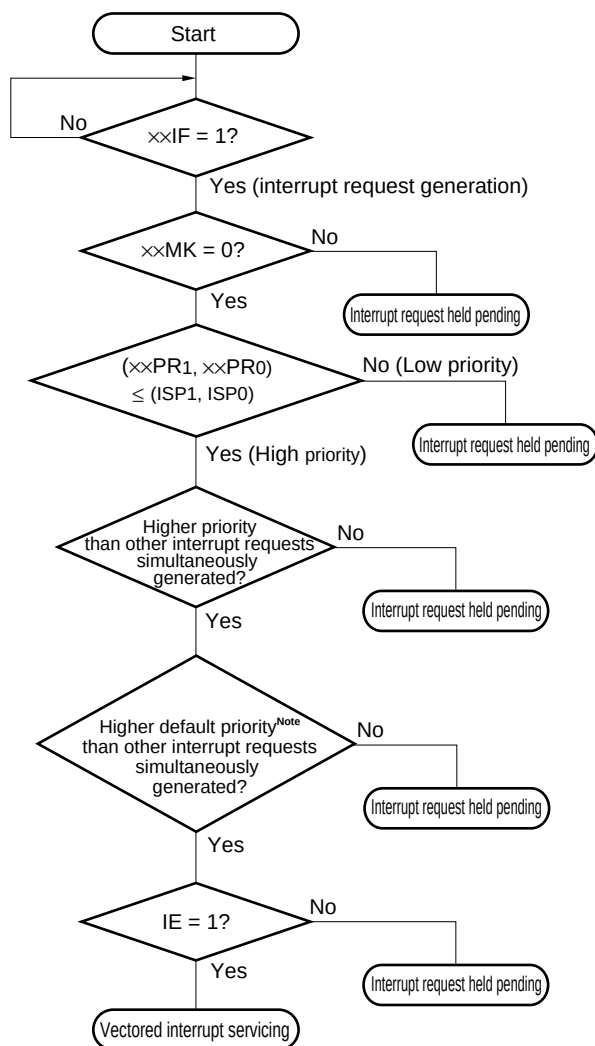
被保留的中断请求将在可以受理时被受理。

中断请求受理的算法如图 21-7 所示。

如果可屏蔽中断请求被受理, 则内容将按先 PSW 后 PC 的顺序保存至堆栈之中, 然后复位 IE 标志为(0), 并将与已受理中断对应的优先级指定标志的内容传送至 ISP1 和 ISP0 标志。为各中断请求确定的向量表数据将载入 PC 并分支。

可利用 RETI 指令从中断恢复。

图 21-7. 中断请求受理处理算法



xxIF: 中断请求标志

xxMK: 中断屏蔽标志

xxPR0: 优先级指定标志 0

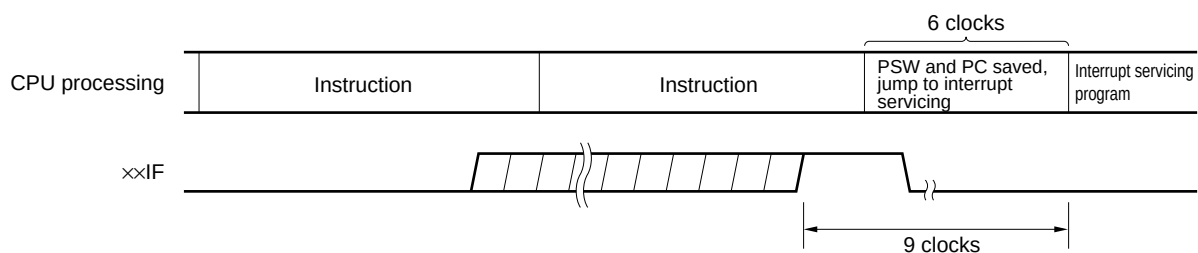
xxPR1: 优先级指定标志 1

IE: 用于控制可屏蔽中断请求的受理的标志(1 = 允许, 0 = 禁止)

ISP0、ISP1: 指示正在处理的中断的优先级的标志(参阅图 21-6)

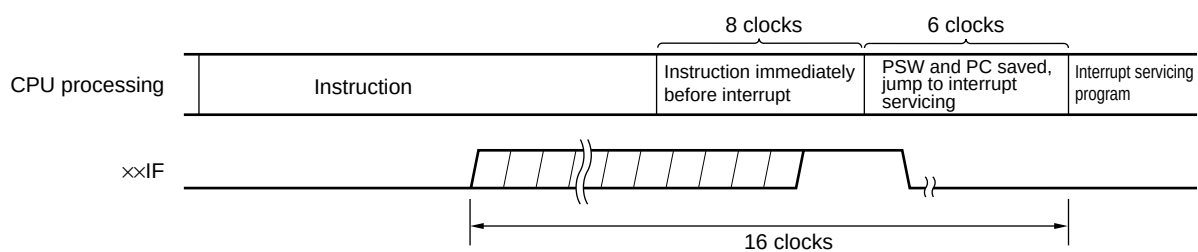
注 关于默认优先级, 请参阅表 21-1 中断源列表。

图 21-8. 中断请求受理时序 (最短时间)



备注 1 时钟: $1/f_{\text{CLK}}$ (f_{CLK} : CPU 时钟)

图 21-9. 中断请求受理时序 (最长时间)



备注 1 个时钟: $1/f_{\text{CLK}}$ (f_{CLK} : CPU 时钟)

21.4.2 软件中断请求受理

通过执行 **BRK** 指令受理软件中断请求。不能禁止软件中断。

如果软件中断请求被受理，则内容将按先程序状态字 (**PSW**)后程序计数器(**PC**)的顺序保存至堆栈之中，**IE** 标志复位为 (**0**)，将向量表(**0007EH**, **0007FH**)的内容载入 **PC** 并分支。

可利用 **RETB** 指令从软件中断恢复。

注意事项 **不能利用 **RETI** 指令从软件中断恢复。**

21.4.3 多重中断处理

当在执行一个中断的过程中受理了另一个中断请求时，发生多重中断处理。

除非选择中断请求受理允许状态(**IE = 1**)，否则不会发生多重中断处理。当某个中断请求被受理时，禁止中断请求受理 (**IE = 0**)。因此，若要允许多重中断处理，则须在中断处理期间用 **EI** 指令将 **IE** 标志设置为(**1**)，以允许中断受理。

另外，即使允许中断，也可能不允许多重中断处理，这取决于中断优先级控制。可使用两种优先级控制：默认优先级控制和可编程优先级控制。可编程优先级控制用于多重中断处理。

在中断允许状态下，如果产生的中断请求的优先级等于或高于正在处理的中断的优先级，则受理多重中断处理。如果在中断处理期间产生的中断的优先级低于正在处理的中断的优先级，则不受理多重中断处理。然而，在 **0** 级中断期间将 **IE** 标志设为 **1** 时，可以允许其他 **0** 级中断。

因中断处于中断禁止状态或者优先级较低而不启用的中断请求将被保留。在当前中断的处理结束时，被保留的中断请求将在执行至少一条主处理指令之后被受理。

表 21-5 展示了允许多重中断处理的中断请求之间的关系，图 21-10 为多重中断处理示例。

表 21-5. 中断处理期间允许多重中断处理的中断请求之间的关系

多重中断请求 正在处理的中断		可屏蔽中断请求								软件中断请求
		优先等级 0 (PR = 00)		优先等级 1 (PR = 01)		优先等级 0 (PR = 00)		优先等级 1 (PR = 01)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
可屏蔽中断	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
软件中断		○	×	○	×	○	×	○	×	○

备注 1. ○：允许多重中断处理

2. ×：禁止多重中断处理

3. ISP0、ISP1 和 IE 为包含在 PSW 中的标志。

ISP1 = 0, ISP0 = 0：正在处理等级 1 或等级 0 的中断。

ISP1 = 0, ISP0 = 1：正在处理等级 2 的中断。

ISP1 = 1, ISP0 = 0：正在处理等级 3 的中断。

ISP1 = 1, ISP0 = 1：等待中断受理。

IE = 0：禁止中断请求受理。

IE = 1：允许中断请求受理。

4. PR 为包含在 PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR10L、PR10H、PR11L、PR11H、PR12L 和 PR12H 寄存器中的标志。

PR = 00：指定等级 0 且 $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ (较高优先级)

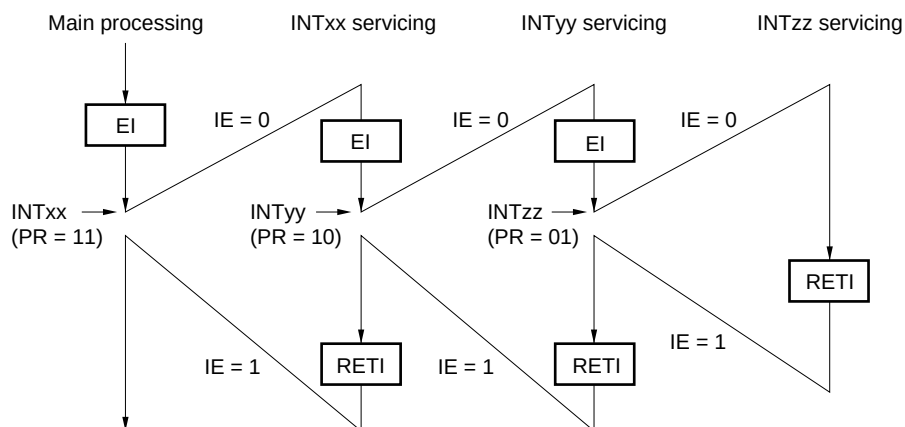
PR = 01：指定等级 1 且 $\times\times PR1\times = 0$, $\times\times PR0\times = 1$

PR = 10：指定等级 2 且 $\times\times PR1\times = 1$, $\times\times PR0\times = 0$

PR = 11：指定等级 3 且 $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ (较低优先级)

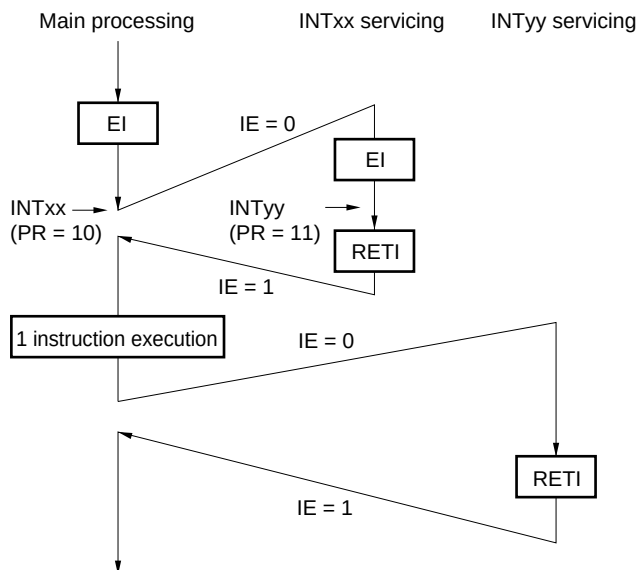
图 21-10. 多重中断处理示例 (1/2)

示例 1. 发生两次多重中断处理



在处理中断 INTxx 时，受理 INTyy 和 INTzz 这两个中断请求，发生多重中断处理。在受理各中断请求之前，必须总执行 EI 指令以允许中断请求受理。

示例 2. 由于优先级控制，不发生多重中断处理。

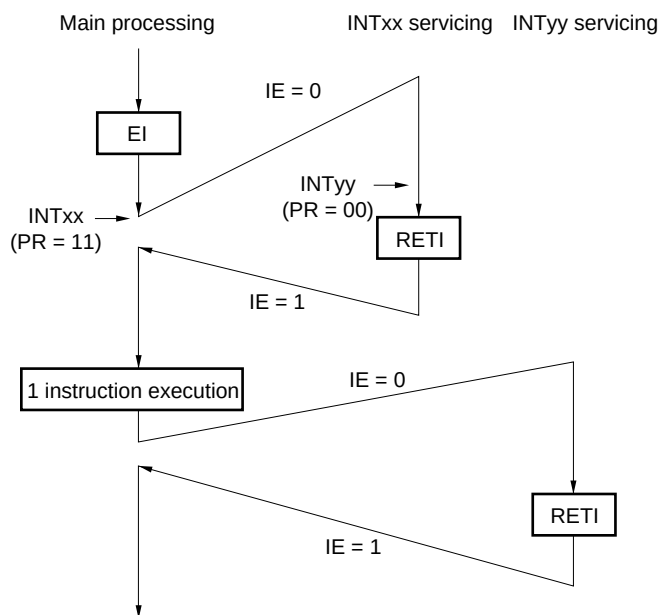


在处理中断 INTxx 时产生的中断请求 INTyy 不被受理，因为其优先级低于 INTxx，不发生多重中断处理。INTyy 中断请求被保留，并在执行了一条主处理指令之后被受理。

- PR = 00: 指定等级 0 且 $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ (较高优先级)
- PR = 01: 指定等级 1 且 $\times\times PR1\times = 0$, $\times\times PR0\times = 1$
- PR = 10: 指定等级 2 且 $\times\times PR1\times = 1$, $\times\times PR0\times = 0$
- PR = 11: 指定等级 3 且 $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ (较低优先级)
- IE = 0: 禁止中断请求受理。
- IE = 1: 允许中断请求受理。

图 21-10. 多重中断处理示例 (2/2)

示例 3. 因为不允许中断，所以不发生多重中断处理



在处理中断 INTxx 时因为不允许中断（未使用 EI 指令），所以中断请求 INTyy 不被受理，不发生多重中断处理。INTyy 中断请求被保留，并在执行了一条主处理指令之后被受理。

PR = 00: 指定等级 0 且 $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ (较高优先级)

PR = 01: 指定等级 1 且 $\times\times PR1\times = 0$, $\times\times PR0\times = 1$

PR = 10: 指定等级 2 且 $\times\times PR1\times = 1$, $\times\times PR0\times = 0$

PR = 11: 指定等级 3 且 $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ (较低优先级)

IE = 0: 禁止中断请求受理。

IE = 1: 允许中断请求受理。

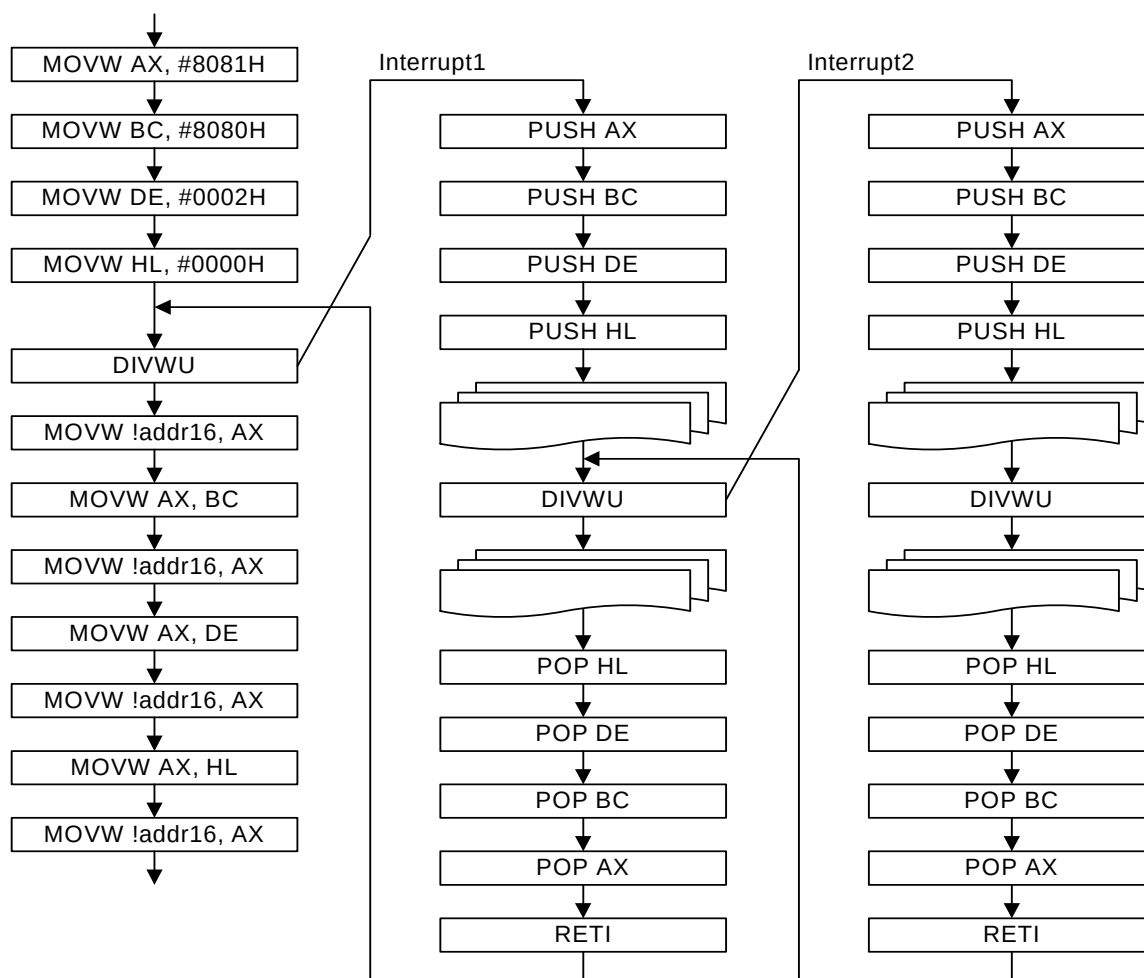
21.4.4 除法指令中的中断处理

RL78/G14 在 DIVHU/DIVWU 指令期间处理中断，以增强执行除法指令时的中断响应。

- 在 DIVHU/DIVWU 指令执行期间产生中断时，该指令将被暂停
- 指令被暂停后，PC 将指示 DIVHU/DIVWU 之后的下一条指令
- 下一条指令将产生一个中断
- PC-3 被堆叠起来，以再次执行 DIVHU/DIVWU 指令

正常中断	执行DIVHU/DIVWU指令时的中断
$(SP-1) \leftarrow PSW$	$(SP-1) \leftarrow PSW$
$(SP-2) \leftarrow (PC)_S$	$(SP-2) \leftarrow (PC-3)_S$
$(SP-3) \leftarrow (PC)_H$	$(SP-3) \leftarrow (PC-3)_H$
$(SP-4) \leftarrow (PC)_L$	$(SP-4) \leftarrow (PC-3)_L$
$PC_S \leftarrow 0000$	$PC_S \leftarrow 0000$
$PC_H \leftarrow (Vector)$	$PC_H \leftarrow (Vector)$
$PC_L \leftarrow (Vector)$	$PC_L \leftarrow (Vector)$
$SP \leftarrow SP-4$	$SP \leftarrow SP-4$
$IE \leftarrow 0$	$IE \leftarrow 0$

AX、BC、DE 和 HL 寄存器用于 DIVHU/DIVWU。通过堆叠使用这些寄存器，以进行中断处理。



21.4.5 保留中断请求

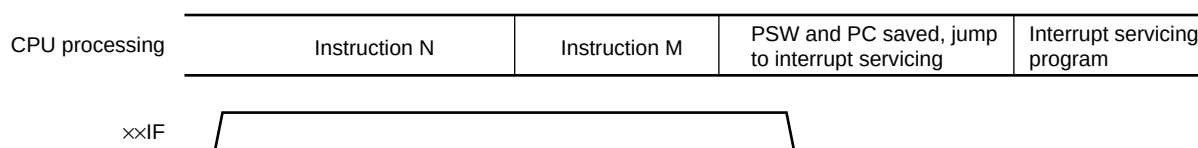
有些指令，即使在执行指令期间产生了中断请求，中断请求受理也会被保留，直到下一条指令执行完成为止。这些指令（中断请求保留指令）如下所示。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- 针对 IF0L、IF0H、IF1L、IF1H、IF2L、IF2H、MK0L、MK0H、MK1L、MK1H、MK2L、MK2H、PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR10L、PR10H、PR11L、PR11H、PR12L、和 PR12H 的各个寄存器的操作指令

注意事项 **BRK** 指令不是以上列出的中断请求保留指令之一。然而，通过执行 **BRK** 指令而激活的软件中断将使 **IE** 标志被清除。因此，在执行 **BRK** 指令期间即使产生一个可屏蔽中断请求，该中断请求也不被受理。

保留中断请求的时序如图 21-11 所示。

图 21-11. 保留中断请求



- 备注**
1. 指令 N: 中断请求保留指令
 2. 指令 M: 中断请求保留指令以外的指令

第二十二章 按键中断功能

按键中断输入通道的数量因产品而异。

	30, 32, 36 针	40, 44 针	48 针	52, 64, 80, 100 针
按键中断输入通道	—	4 通道	6 通道	8 通道

22.1 按键中断的功能

通过设置按键返回模式寄存器(KRM)并向按键中断输入引脚（KR0 至 KR7）输入下降沿，可以产生按键中断(INTKR)。

表 22-1. 按键中断检测引脚的分配

标志	说明
KRM0	按 1 位单位控制 KR0 信号。
KRM1	按 1 位单位控制 KR1 信号。
KRM2	按 1 位单位控制 KR2 信号。
KRM3	按 1 位单位控制 KR3 信号。
KRM4	按 1 位单位控制 KR4 信号。
KRM5	按 1 位单位控制 KR5 信号。
KRM6	按 1 位单位控制 KR6 信号。
KRM7	按 1 位单位控制 KR7 信号。

22.2 按键中断的配置

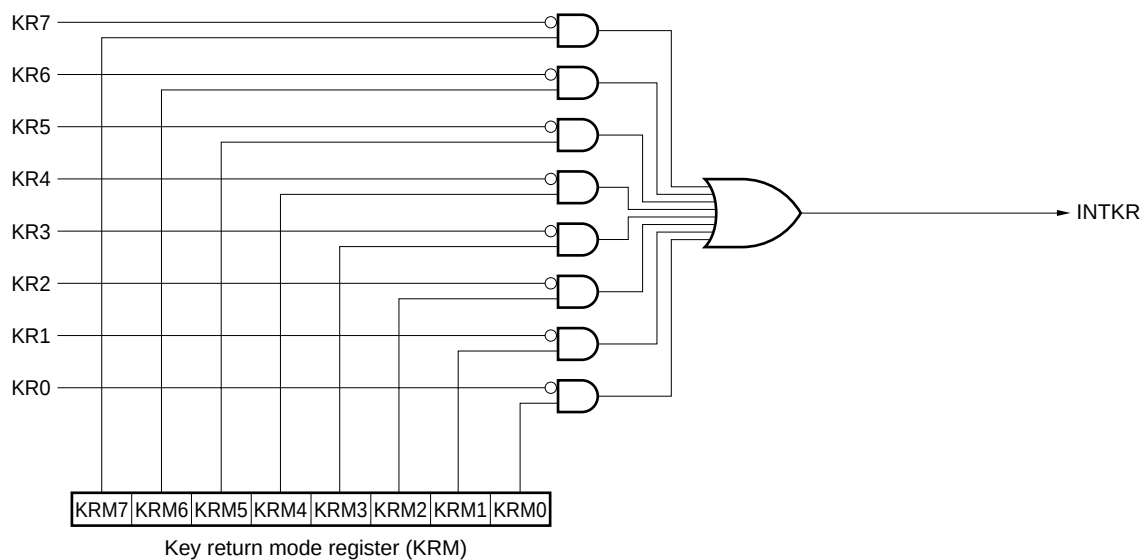
按键中断包括以下硬件。

表 22-2. 按键中断的配置

项目	配置
控制寄存器	按键返回模式寄存器（KRM）

备注 KR0 至 KR3: 40、44 针产品
 KR0 至 KR5: 48 针产品
 KR0 至 KR7: 52、64、80、100 针产品

图 22-1. 按键中断的框图



备注 KR0 至 KR3: 40、44 针产品
 KR0 至 KR5: 48 针产品
 KR0 至 KR7: 52、64、80、100 针产品

22.3 控制按键中断的寄存器

(1) 按键返回模式寄存器 (KRM)

KRM0 至 KRM7 位是控制 KR0 至 KR7 信号的寄存器。

可通过 1 位或 8 位存储器操作指令设置 KRM 寄存器。

产生复位信号后，清除该寄存器为 00H。

图 22-2. 按键返回模式寄存器 (KRM) 的格式

地址: FFF37H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	按键中断模式的控制
0	不检测按键中断信号
1	检测按键中断信号

- 注意事项**
1. 如果使用的 KRM0 至 KRM7 位中任意一位被设置为 1，则将相应的上拉电阻寄存器 7 (PU7) 的位 0 至位 7 (PU70 至 PU77) 设置为 1。
 2. 如果在将一个低电平输入按键中断输入引脚时设置 KRM 寄存器的目标位，则产生一个中断。若要忽略该中断，则须在通过中断屏蔽标志禁止中断服务之后设置 KRM 寄存器。此后，清除中断请求标志，并在等待按键中断输入低电平宽度 (t_{KR})（参阅第三十四章 电特性）之后允许中断处理。
 3. 按键中断模式下未使用的引脚可以用作正常端口。

- 备注**
1. n = 0 至 7
 2. KR0 至 KR3: 40 针, 44 针
KR0 至 KR5: 48 针
KR0 至 KR7: 52 针, 64 针, 80 针, 100 针

第二十三章 待机功能

23.1 待机功能和配置

23.1.1 待机功能

待机功能可以降低系统的工作电流，有以下三种模式可供选择。

(1) HALT 模式

通过执行 HALT 指令设置为 HALT 模式。在 HALT 模式下，停止 CPU 操作时钟。如果在设置 HALT 模式之前，高速系统时钟振荡器、高速片上振荡器或副系统时钟振荡器正在工作，则各时钟的振荡将继续。在该模式下，工作电流降低幅度不如 STOP 模式，但 HALT 模式在产生中断请求时立即重启操作以及经常执行间歇操作方面非常有效。

(2) STOP 模式

通过执行 STOP 指令设置为 STOP 模式。在 STOP 模式下，高速系统时钟振荡器和高速片上振荡器停止工作，并停止整个系统，从而大幅降低 CPU 工作电流。

由于可以通过中断请求解除该模式，因而可以执行间歇操作。然而，由于在选择 X1 时钟的情况下在解除 STOP 模式之后，需要一定的等待时间以确保振荡稳定时间，因此，如果需要在产生中断请求时立即开始处理，请选择 HALT 模式。

(3) SNOOZE 模式

当存在 CSIp 或 UARTq 数据接收以及定时器触发信号（中断请求信号(INTRTC/INTIT)或 ELC 事件输入）发出的 A/D 转换请求时，通过 DTC 启动源解除 STOP 模式，接收 CSIp 或 UARTq 数据而不操作 CPU，并执行 A/D 转换和 DTC 操作。仅当选择高速片上振荡器作为 CPU/外围硬件时钟(fCLK)时可以指定该模式。

在以上任何一种模式下，设置待机模式之前寄存器、标志和数据存储器的所有内容将被保持。同时还保持 I/O 端口输出锁存器和输出缓冲器状态。

- 注意事项**
1. 仅当 CPU 工作于主系统时钟时，才可使用 STOP 模式。当 CPU 以副系统时钟工作时，不能设置 STOP 模式。当 CPU 工作于主系统时钟或副系统时钟时，均可使用 HALT 模式。
 2. 切换至 STOP 模式时，务必在执行 STOP 指令之前，停止按主系统时钟工作的外围硬件。
 3. 当将 CSIp、UARTq 或 A/D 转换器用于 SNOOZE 模式时，须在切换至 STOP 模式之前，设置串行待机控制寄存器 m (SSCm) 和 A/D 转换器模式寄存器 2 (ADM2)。详情请参阅 17.3 控制串行阵列单元的寄存器以及 14.3 A/D 转换器中使用的寄存器。

4. 使用待机功能时，建议通过以下步骤降低 A/D 转换器的功耗：先将 A/D 转换器模式寄存器 0 (ADM0) 的位 7 (ADCS)和位 0 (ADCE)清除为 0，以停止 A/D 转换操作，然后执行 STOP 指令。
5. 可通过选项字节选择是让低速片上振荡器继续振荡，还是停止于 HALT 或 STOP 模式。详情请参阅第二十九章 选项字节。

备注 30 至 64 针产品： p = 00; q = 0; m = 0
 80, 100 针产品： p = 00, 20; q = 0, 2; m = 0, 1

23.1.2 控制待机功能的寄存器

待机功能由以下两个寄存器控制。

- 振荡稳定时间计数器状态寄存器(OSTC)
- 振荡稳定时间选择寄存器(OSTS)

备注 关于启动、停止或选择时钟的寄存器，请参阅第五章 时钟发生电路。

(1) 振荡稳定时间计数器状态寄存器 (OSTC)

该寄存器指示 X1 时钟振荡稳定时间计数器的计数状态。

在以下情况下，可以确认 X1 时钟振荡稳定时间。

- 如果 X1 时钟在高速片上振荡器时钟或副系统时钟用作 CPU 时钟时开始振荡。
- 如果在高速片上振荡器时钟用作 CPU 时钟且 X1 时钟振荡时进入 STOP 模式然后解除该模式。

使用 1 位或 8 位存储器操作指令读取 OSTC 寄存器。

在解除复位后（由 RESET 输入、POR、LVD、WDT，以及执行非法指令引起复位），STOP 指令和 MSTOP 位（时钟操作状态控制寄存器(CSC)的位 7）= 1 将该寄存器清除为 00H。

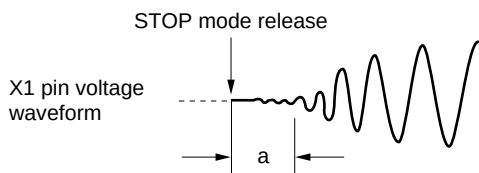
图 23-1. 振荡稳定时间计数器状态寄存器(OSTC) 的格式

地址: FFFA2H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	振荡稳定时间状态		
									$f_x = 10 \text{ MHz}$	$f_x = 20 \text{ MHz}$
0	0	0	0	0	0	0	0	$2^9/f_x \text{ max.}$	25.6 $\mu\text{s max.}$	12.8 $\mu\text{s max.}$
1	0	0	0	0	0	0	0	$2^9/f_x \text{ min.}$	25.6 $\mu\text{s min.}$	12.8 $\mu\text{s min.}$
1	1	0	0	0	0	0	0	$2^9/f_x \text{ min.}$	51.2 $\mu\text{s min.}$	25.6 $\mu\text{s min.}$
1	1	1	0	0	0	0	0	$2^{10}/f_x \text{ min.}$	102.4 $\mu\text{s min.}$	51.2 $\mu\text{s min.}$
1	1	1	1	0	0	0	0	$2^{11}/f_x \text{ min.}$	204.8 $\mu\text{s min.}$	102.4 $\mu\text{s min.}$
1	1	1	1	1	0	0	0	$2^{13}/f_x \text{ min.}$	819.2 $\mu\text{s min.}$	409.6 $\mu\text{s min.}$
1	1	1	1	1	1	0	0	$2^{15}/f_x \text{ min.}$	3.27 ms min.	1.64 ms min.
1	1	1	1	1	1	1	0	$2^{17}/f_x \text{ min.}$	13.11 ms min.	6.55 ms min.
1	1	1	1	1	1	1	1	$2^{18}/f_x \text{ min.}$	26.21 ms min.	13.11 ms min.

- 注意事项**
1. 经过上述时间后，从 MOST8 位开始各个位依次设置为 1 并保持 1 不变。
 2. 振荡稳定时间计数器仅在振荡稳定时间选择寄存器(OSTS)所设置的振荡稳定时间内计数。如果在高速片上振荡器时钟用作 CPU 时钟时切换至 STOP 模式然后解除该模式，则按以下方式设置振荡稳定时间。
 - 需要的 OSTC 寄存器振荡稳定时间 $\leq$ 由 OSTS 寄存器设置的振荡稳定时间
 注意，解除 STOP 模式后，只有 OSTS 寄存器所设置的振荡稳定时间内的状态被设置至 OSTC 寄存器。
 3. X1 时钟振荡稳定等待时间不包括开始时钟振荡前的时间（下图“a”）。



备注 f_x : X1 时钟振荡频率

(2) 振荡稳定时间选择寄存器 (OSTS)

该寄存器用于选择解除 STOP 模式时的 X1 时钟振荡稳定等待时间。

当 X1 时钟被用作 CPU 时钟时，在解除 STOP 模式后，系统等待由 OSTS 寄存器设置的时间。

当选用高速片上振荡器时钟作为 CPU 时钟时，解除 STOP 模式后，请通过振荡稳定时间计数器状态寄存器(OSTC)确认所需振荡稳定时间已过。OSTS 寄存器预先设定的时间范围内都可以通过 OSTC 寄存器进行确认。

使用 8 位存储器操作指令设置 OSTS 寄存器。

产生复位信号后，设置该寄存器为 07H。

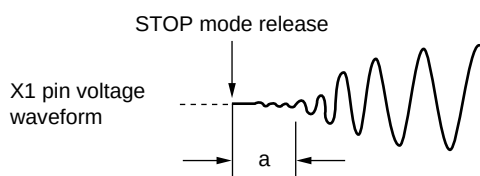
图 23-2. 振荡稳定时间选择寄存器(OSTS)的格式

地址: FFFA3H 复位后: 07H R/W

符号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		振荡稳定时间的选择	
				$f_x = 10 \text{ MHz}$	$f_x = 20 \text{ MHz}$
0	0	0	$2^8/f_x$	25.6 μs	12.8 μs
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

- 注意事项
1. 用 X1 时钟作为 CPU 时钟并进入 STOP 模式时，执行 STOP 指令之前须设置好 OSTS 寄存器。
 2. 在更改 OSTS 寄存器的设置之前，须确认 OSTC 寄存器的计数操作已完成。
 3. X1 时钟振荡稳定时间期间不要更改 OSTS 寄存器的值。
 4. 振荡稳定时间计数器仅在 OSTS 寄存器设置的振荡稳定时间内计数。如果在高速片上振荡器时钟用作 CPU 时钟时切换至 STOP 模式然后解除该模式，则按以下方式设置振荡稳定时间。
 - 需要的 OSTC 寄存器振荡稳定时间 $\leq$ 由 OSTS 寄存器设置的振荡稳定时间
 注意，解除 STOP 模式后，只有 OSTS 寄存器所设置的振荡稳定时间内的状态被设置至 OSTC 寄存器。
 5. X1 时钟振荡稳定等待时间不包括开始时钟振荡前的时间（下图“a”）。



备注 f_x : X1 时钟振荡频率

23.2 待机功能操作

23.2.1 HALT 模式

(1) HALT 模式

通过执行 HALT 指令来设置 HALT 模式。无论设置之前的 CPU 时钟为高速系统时钟、高速片上振荡器时钟还是副系统时钟，均可设置 HALT 模式。

HALT 模式时的操作状态如下所示。

表 23-1. HALT 模式时的操作状态 (1/2)

HALT 模式设置 项目		当 CPU 利用主系统时钟工作中，执行 HALT 指令时		
		当 CPU 利用高速片上振荡器时钟(f_{IH})工作时	当 CPU 利用 X1 时钟(f_x)工作时	当 CPU 利用外部主系统时钟(f_{EX})工作时
系统时钟		停止向 CPU 供应时钟。		
主系统时钟	f_{IH}	继续操作(不可以停止)	禁止操作	
	f_x	禁止操作	继续操作(不可以停止)	不可以操作
	f_{EX}		不可以操作	继续操作(不可以停止)
副系统时钟	f_{XT}	保持设置为 HALT 模式前的状态		
	f_{EXS}			
f_{IL}		利用选项字节(000C0H)的位 0(WDSTBYON)和 4(WDTON)，以及操作速度模式控制寄存器(OSMC)的 WUTMMCK0 位进行设置 • WUTMMCK0 = 1: 振荡 • WUTMMCK0 = 0 和 WDTON = 0: 停止 • WUTMMCK0 = 0, WDTON = 1 和 WDSTBYON = 1: 振荡 • WUTMMCK0 = 0, WDTON = 1 和 WDSTBYON = 0: 停止		
CPU		停止工作		
代码闪存				
数据闪存				
RAM		停止工作(执行 DTC 时可以操作)		
端口(锁存器)		保持设置为 HALT 模式前的状态		
定时器阵列单元		停止工作		
实时时钟(RTC)				
12 位间隔定时器				
看门狗定时器		参阅第十三章 看门狗定时器		
定时器 RJ		停止工作		
定时器 RD				
定时器 RG				
时钟输出/蜂鸣器输出				
A/D 转换器				
D/A 转换器 ^注				
比较器 ^注				
串行阵列单元(SAU)				
串行接口(IICA)				
DTC		可以操作		
ELC		可以链接可操作功能模块		
上电复位功能		可以操作		
电压检测功能				
外部中断				
按键中断功能				
CRC 操作功能	高速 CRC			
	通用 CRC	停止工作 (执行 DTC 时可以操作)		
非法存储器存取检测功能		停止工作 (执行 DTC 时可以操作)		
RAM 奇偶校验功能				
RAM 保护功能				
SFR 保护功能				

注 仅限 96KB 或更大代码闪存的产品。

备注 停止工作：在切换到 HALT 模式时自动停止操作。

禁止操作：在切换到 HALT 模式前使操作停止。

f_{IH} : 高速片上振荡器时钟 f_{IL} : 低速片上振荡器时钟

f_x : X1 时钟 f_{EX} : 外部主系统时钟

f_{XT} : XT1 时钟 f_{EXS} : 外部副系统时钟

表 23-1. HALT 模式时的操作状态 (2/2)

HALT 模式设置			当 CPU 利用副系统时钟工作中，执行 HALT 指令时	
项目			当 CPU 利用 XT1 时钟(f_{XT})工作时	当 CPU 利用外部副系统时钟(f_{EXS})工作时
系统时钟			停止向 CPU 供应时钟。	
主系统时钟	f_{IH}	禁止操作		
	f_X			
	f_{EX}			
副系统时钟	f_{XT}	继续操作(不可以停止)	不可操作	
	f_{EXS}	不可操作	继续操作(不可以停止)	
f_{IL}		利用选项字节(000C0H)的位 0(WDSTBYON)和 4(WDTON)，以及操作速度模式控制寄存器(OSMC)的 WUTMMCK0 位进行设置 ● WUTMMCK0 = 1: 振荡 ● WUTMMCK0 = 0 和 WDTON = 0: 停止 ● WUTMMCK0 = 0, WDTON = 1 和 WDSTBYON = 1: 振荡 ● WUTMMCK0 = 0, WDTON = 1 和 WDSTBYON = 0:停止		
CPU			停止工作	
代码闪存				
数据闪存				
RAM			停止工作(执行 DTC 时可以操作)	
端口(锁存器)			保持设置为 HALT 模式前的状态	
定时器阵列单元			可以操作(低功耗 RTC 模式(当 OSMC 寄存器的 RTCLPC 位为 1)时禁止操作)	
实时时钟(RTC)			可以操作	
12 位间隔定时器				
看门狗定时器			参阅第十三章 看门狗定时器	
定时器 RJ			可以操作(低功耗 RTC 模式(当 OSMC 寄存器的 RTCLPC 位为 1)时禁止操作)	
定时器 RD				
定时器 RG				
时钟输出/蜂鸣器输出				
A/D 转换器			禁止操作	
D/A 转换器 ^註			可以操作(低功耗 RTC 模式(当 OSMC 寄存器的 RTCLPC 位为 1)时禁止操作)	
比较器 ^註				
串行阵列单元(SAU)				
串行接口(IICA)			禁止操作	
DTC			可以操作(低功耗 RTC 模式(当 OSMC 寄存器的 RTCLPC 位为 1)时禁止操作)	
ELC			可以链接可操作功能模块	
上电复位功能			可以操作	
电压检测功能				
外部中断				
按键中断功能				
CRC 操作功能	高速 CRC	禁止操作		
	通用 CRC	停止工作(执行 DTC 时可以操作)		
非法存储器存取检测功能			停止工作(执行 DTC 时可以操作)	
RAM 奇偶校验功能				
RAM 保护功能				
SFR 保护功能				

注 仅限 96KB 或更大代码闪存的产品。

备注 停止工作：在切换到 HALT 模式时自动停止操作。

禁止操作：在切换到 HALT 模式前使操作停止。

f_{IH} : 高速片上振荡器时钟 f_{IL} : 低速片上振荡器时钟

f_X : X1 时钟 f_{EX} : 外部主系统时钟

f_{XT} : XT1 时钟 f_{EXS} : 外部副系统时钟

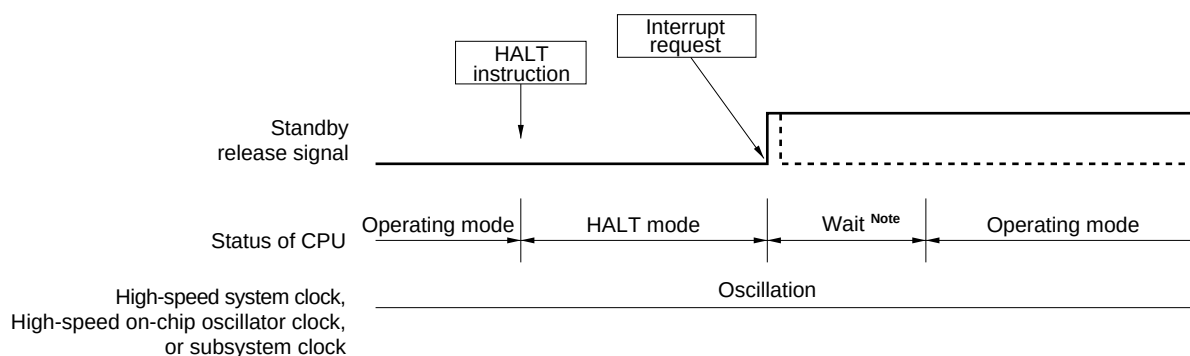
(2) 解除 HALT 模式

可使用以下两种源解除 HALT 模式。

(a) 通过未屏蔽中断请求的解除

当产生一个未屏蔽中断请求时，HALT 模式被解除。如果允许受理中断，则执行向量中断处理。如果不允许受理中断，则执行下一个地址指令。

图 23-3. 通过产生中断请求解除 HALT 模式

**注** 解除 HALT 模式的等待时间

- 进行向量中断处理时

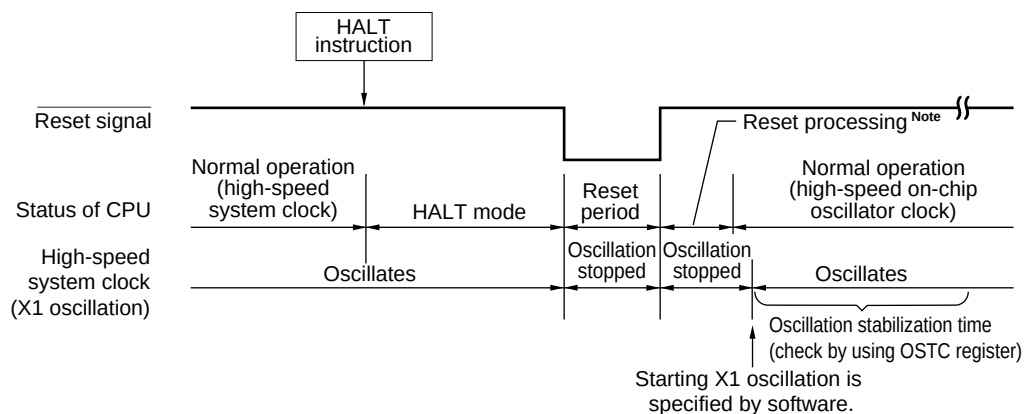
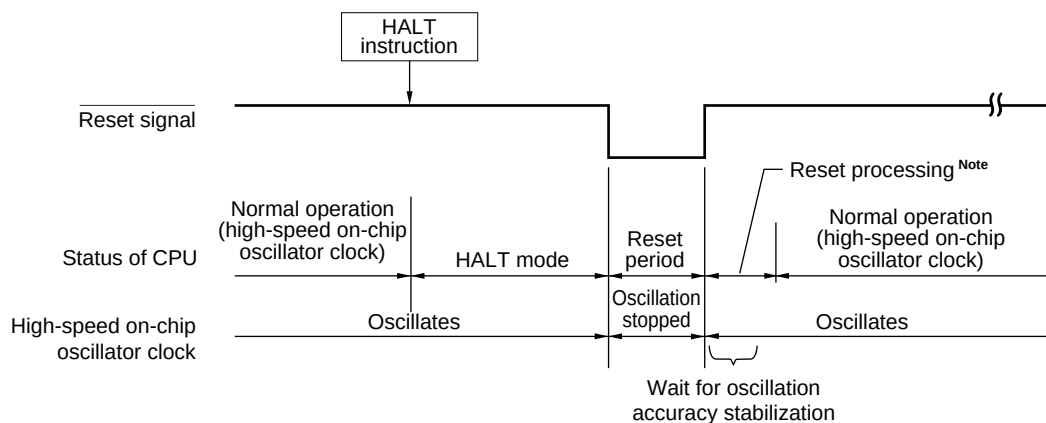
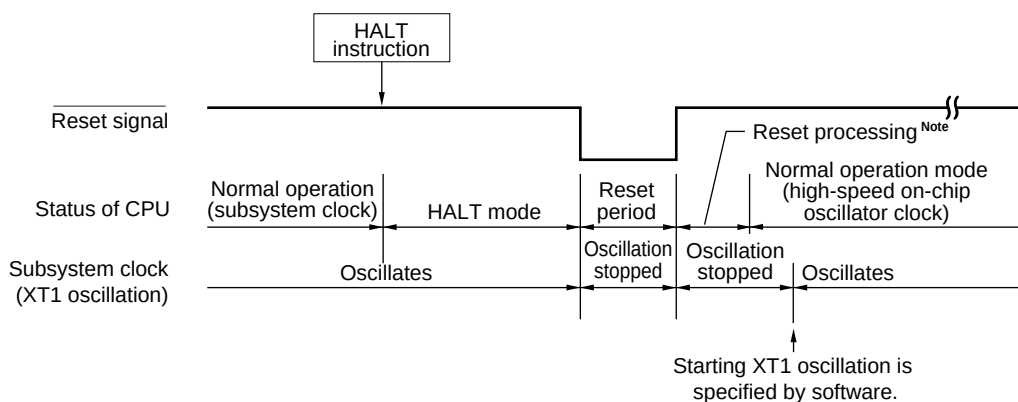
主系统时钟:	13 至 15 个时钟
副系统时钟 (RTCLPC = 0):	8 至 10 个时钟
副系统时钟 (RTCLPC = 1):	9 至 11 个时钟
- 不进行向量中断处理时

主系统时钟:	8 至 9 个时钟
副系统时钟 (RTCLPC = 0):	3 至 4 个时钟
副系统时钟 (RTCLPC = 1):	4 至 5 个时钟

备注 虚线表示导致待机模式解除的中断请求被受理时的情况。

(b) 通过产生复位信号的解除

当产生复位信号时，HALT 模式被解除，然后，就如正常复位操作一样，在分支至复位向量地址之后执行程序。

图 23-4. 通过复位解除 HALT 模式**(1) 当 CPU 时钟使用高速系统时钟时****(2) 当 CPU 时钟使用高速片上振荡器时钟时****(3) 当 CPU 时钟使用副系统时钟时**

注 复位处理时间：387 至 720 μs (使用 LVD 时)
155 至 407 μs (LVD 关闭时)

23.2.2 STOP 模式

(1) STOP 模式设置和操作状态

通过执行 STOP 指令设置 STOP 模式，仅限在设置之前 CPU 时钟为高速片上振荡器时钟、X1 时钟或外部主系统时钟时，可以设置该模式。

- 注意事项**
1. 由于中断请求信号用于清除待机模式，因此，如果有一个中断请求标志已设置且中断屏蔽标志已复位的中断源，则待机模式将立即被清除（若已设置）。因此，STOP 模式将在执行 STOP 指令之后立即复位至 HALT 模式，系统将在经过用振荡稳定时间选择寄存器(OSTS) 设置的等待时间之后返回操作模式。
 2. 当将 CSIp、UARTq 或 A/D 转换器用于 SNOOZE 模式时，须在切换至 STOP 模式之前，设置串行待机控制寄存器 m (SSCm) 和 A/D 转换器模式寄存器 2 (ADM2)。详情请参阅 17.3 控制串行阵列单元的寄存器以及 14.3 A/D 转换器中使用的寄存器。

备注

30 至 64 针产品:	p = 00; q = 0; m = 0
80, 100 针产品:	p = 00, 20; q = 0, 2; m = 0, 1

STOP 模式时的操作状态如下所示。

表 23-2. STOP 模式时的操作状态

STOP 模式设置 项目			当 CPU 利用主系统时钟工作中，执行 STOP 指令时		
			当 CPU 利用高速片上振荡器 时钟(f _{IH})工作时	当 CPU 利用 X1 时钟 (f _x)工作 时	当 CPU 利用外部主系统时钟 (f _{EX})工作时
系统时钟			停止向 CPU 供应时钟。		
	主系统时钟	f _{IH}	停止		
		f _x			
		f _{EX}			
	副系统时钟	f _{XT}	保持设置为 STOP 模式前的状态。		
		f _{EXS}			
f _{IL}		利用选项字节(000C0H)的位 0(WDSTBYON)和 4(WDTON)，以及操作速度模式控制寄存器 (OSMC)的 WUTMMCK0 位进行设置 ● WUTMMCK0 = 1: 振荡 ● WUTMMCK0 = 0 和 WDTON = 0: 停止 ● WUTMMCK0 = 0, WDTON = 1 和 WDSTBYON = 1: 振荡 ● WUTMMCK0 = 0, WDTON = 1 和 WDSTBYON = 0:停止			
CPU			停止工作		
代码闪存					
数据闪存			停止工作 (数据 flash 编程期间不执行 STOP 指令)		
RAM			停止工作		
端口(锁存器)			保持设置为 STOP 模式前的状态。		
定时器阵列单元			禁止操作		
实时时钟(RTC)			可操作		
12 位间隔定时器					
看门狗定时器			参阅第十三章 看门狗定时器		
定时器 RJ			可以操作使用事件计数模式的唤醒		
定时器 RD			禁止操作		
定时器 RG					
时钟输出/蜂鸣器输出			仅限选择副系统时钟作为计数时钟时可以操作		
A/D 转换器			允许唤醒操作(切换至 SNOOZE 模式)		
D/A 转换器 ^注			可操作 (保留设置为 STOP 模式前的状态)		
比较器 ^注			可操作 (不使用数字过滤器时)		
串行阵列单元(SAU)			仅对 CSIp 和 UARTq 允许唤醒操作(切换至 SNOOZE 模式) 禁止除了 CSIp 和 UARTq 以外的所有操作		
串行接口(IICA)			可以操作使用地址匹配的唤醒		
DTC			禁止操作		
ELC			可以链接可操作功能模块		
上电复位功能			可操作		
电压检测功能					
外部中断					
按键中断功能					
CRC 操作功 能	高速 CRC		停止工作		
	通用 CRC				
非法存储器存取检测功能					
RAM 奇偶校验功能					
RAM 保护功能					
SFR 保护功能					

注 仅限 96KB 或更大代码闪存的产品。

(注意事项和备注请见下页。)

备注 1. 停止工作：在切换到 STOP 模式时自动停止操作。

禁止操作：在切换到 STOP 模式前使操作停止。

f_{IH}: 高速片上振荡器时钟

f_{IL}: 低速片上振荡器时钟

f_X: X1 时钟

f_{EX}: 外部主系统时钟

f_{XT}: XT1 时钟

f_{EXS}: 外部副系统时钟

2. 30 至 64 针产品: p = 00; q = 0

80, 100 针产品: p = 00, 20; q = 0, 2

注意事项 1. 解除 STOP 模式后, 若要使用在 STOP 模式时停止操作的外围硬件或选用了停止振荡的时钟的外围硬件, 须重启外围硬件。

2. 若要使低速片上振荡器时钟停止于 STOP 模式, 必须预先设置选项字节使看门狗定时器操作停止于 HALT/STOP 模式(000C0H 的位 0 (WDSTBYON) = 0)。

3. 当 CPU 工作于高速系统时钟 (X1 振荡) 时, 要在解除 STOP 模式之后缩短振荡稳定时间, 须在执行 STOP 指令之前临时将 CPU 时钟切换至高速片上振荡器时钟。在解除 STOP 模式之后, 在将 CPU 时钟从高速片上振荡器时钟更改为高速系统时钟 (X1 振荡) 之前, 须用振荡稳定时间计数器状态寄存器 (OSTC) 确认振荡稳定时间。

(2) 解除 STOP 模式

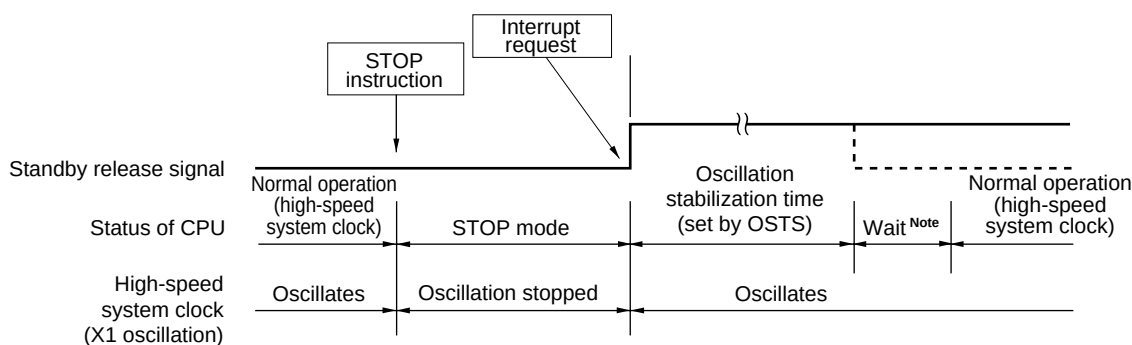
可使用以下两种源解除 STOP 模式。

(a) 通过未屏蔽中断请求的解除

当产生一个未屏蔽中断请求时, STOP 模式被解除。经过振荡稳定时间之后, 如果允许受理中断, 则执行向量中断处理。如果不允许受理中断, 则执行下一个地址指令。

图 23-5. 通过中断请求解除 STOP 模式 (1/2)

(1) 当 CPU 时钟使用高速系统时钟(X1 振荡)时



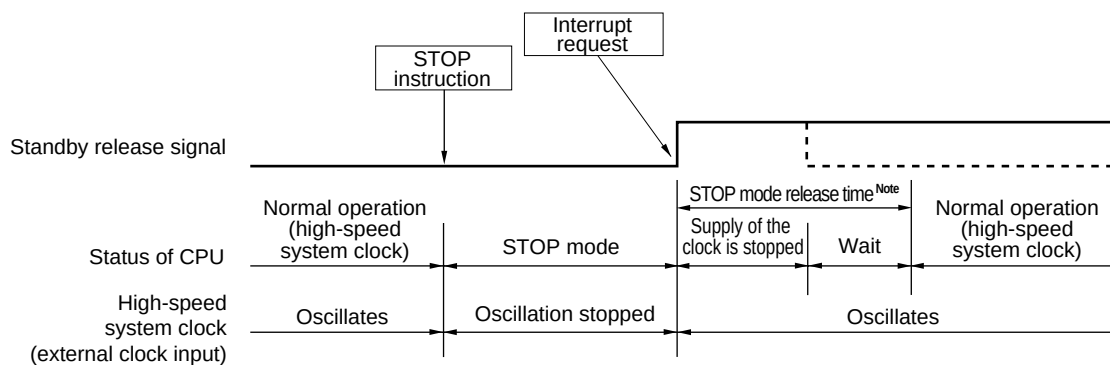
注 解除 STOP 模式的等待时间

- 高速系统时钟(X1 振荡): 3 个时钟

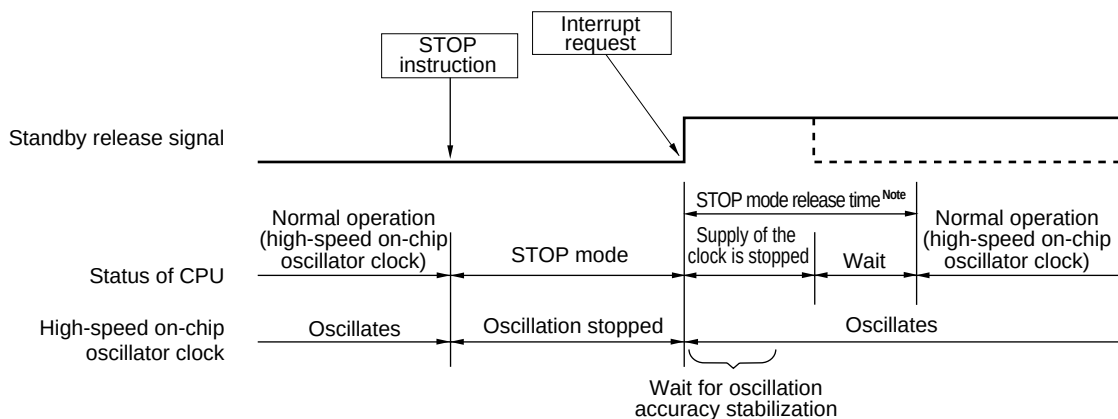
备注 虚线表示导致待机模式解除的中断请求被受理时的情况。

图 23-5. 通过中断请求解除 STOP 模式 (2/2)

(2) 当 CPU 时钟使用高速系统时钟(外部时钟输入)时



(3) 当 CPU 时钟使用高速片上振荡器时钟时



注 STOP 模式解除时间:

- 高速系统时钟(外部时钟输入): 19.1 至 31.98 μs
- 高速片上振荡器时钟: 19.1 至 31.98 μs

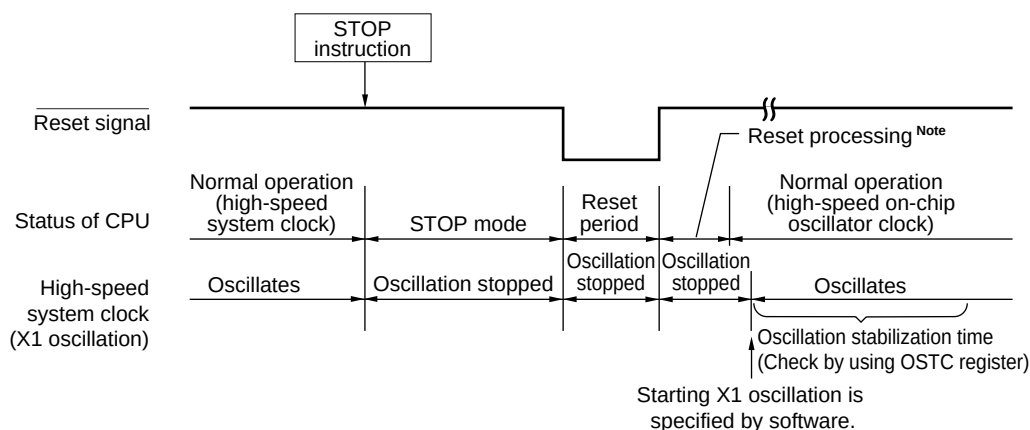
备注 虚线表示导致待机模式解除的中断请求被受理时的情况。

(b) 通过产生复位信号的解除

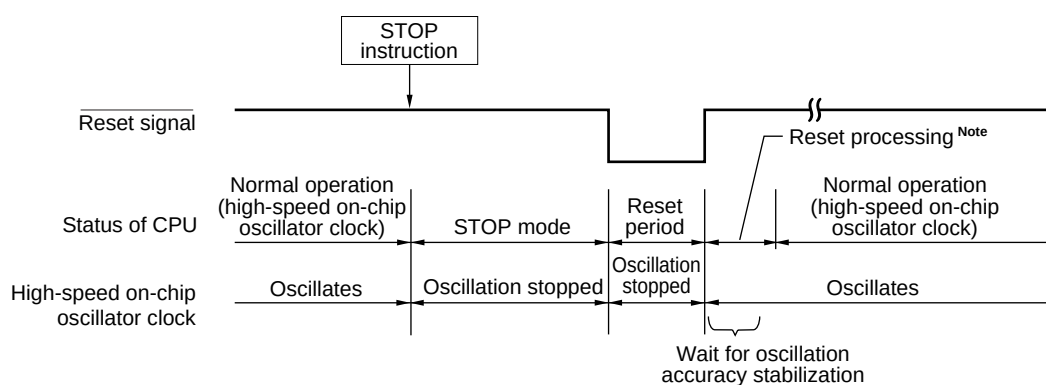
当产生复位信号时，STOP 模式被解除，然后，就如正常复位操作一样，在分支至复位向量地址之后执行程序。

图 23-6. 通过复位解除 STOP 模式

(1) 当 CPU 时钟使用高速系统时钟时



(2) 当 CPU 时钟使用高速片上振荡器时钟时



注 复位处理时间: 387 至 720 μs (使用 LVD 时)
155 至 407 μs (LVD 关闭时)

23.2.3 SNOOZE 模式

(1) SNOOZE 模式设置和操作状态

只能为 CSIp、UARTq、A/D 转换器或 DTC 指定 SNOOZE 模式。请注意，仅当 CPU 时钟为高速片上振荡器时钟时，才可指定该模式。

当将 CSIp 或 UARTq 用于 SNOOZE 模式时，须在切换至 STOP 模式之前设置串行待机控制寄存器 m (SSCm)。详情请参阅 **17.3 控制串行阵列单元的寄存器**。

当将 A/D 转换器用于 SNOOZE 模式时，须在切换至 STOP 模式之前，设置 A/D 转换器模式寄存器 2 (ADM2)。详情请参阅 **14.3 A/D 转换器中使用的寄存器**。

当在 SNOOZE 模式下使用 DTC 传送时，须在切换到 STOP 模式之前，允许所使用的 DTC 启动源。在 STOP 模式中，若检测出所允许的 DTC 启动源，则会自动地转换为 SNOOZE 模式。有关详情，请参阅 **19.2 寄存器**。

备注	30 至 64 针产品:	p = 00; q = 0; m = 0
	80, 100 针产品:	p = 00, 20; q = 0, 2; m = 0, 1

SNOOZE 模式时的操作状态如下所示。

表 23-3. SNOOZE 模式时的操作状态

STOP 模式设置			当在 STOP 模式下输入 CSIp/UARTq 数据接收信号、A/D 转换器定时器触发信号或由中断生成 DTC 动作时
项目			当 CPU 工作于高速片上振荡器时钟(f_{IH})时
系统时钟			停止向 CPU 供应时钟。
主系统时钟	f_{IH}		开始工作
	f_X		停止
	f_{EX}		
副系统时钟	f_{XT}		继续保持 STOP 模式中的状态
	f_{EXS}		
f_{IL}			利用选项字节(000C0H)的位 0(WDSTBYON)和 4(WDTON), 以及操作速度模式控制寄存器(OSMC)的 WUTMMCK0 位进行设置 • WUTMMCK0 = 1: 振荡 • WUTMMCK0 = 0 和 WDTON = 0: 停止 • WUTMMCK0 = 0, WDTON = 1 和 WDSTBYON = 1: 振荡 • WUTMMCK0 = 0, WDTON = 1 和 WDSTBYON = 0: 停止
CPU			停止工作
代码闪存			
数据闪存			
RAM			停止工作 (当执行 DTC 时可操作)
端口(锁存器)			继续保持 STOP 模式中的状态
定时器阵列单元			禁止操作
实时时钟(RTC)			可操作
12 位间隔定时器			
看门狗定时器			参阅第十三章 看门狗定时器
定时器 RJ			禁止操作
定时器 RD			
定时器 RG			
时钟输出/蜂鸣器输出			仅限选择副系统时钟作为计数时钟时可以操作
A/D 转换器			可操作
D/A 转换器 ^注			可操作 (保留设置为 STOP 模式前的状态)
比较器 ^注			可操作 (不使用数字过滤器时)
串行阵列单元(SAU)			仅对 CSIp 和 UARTq 可以操作 禁止除了 CSIp 和 UARTq 以外的所有操作
串行接口(IICA)			禁止操作
DTC			可操作
ELC			可以链接可操作功能模块
上电复位功能			可操作
电压检测功能			
外部中断			
按键中断功能			
CRC 操作功能	高速 CRC		停止工作
	通用 CRC		
非法存储器存取检测功能			
RAM 奇偶校验功能			
RAM 保护功能			
SFR 保护功能			

注 仅限 96KB 或更大代码闪存的产品。

(备注请参阅下一页)

备注 1. 停止工作：在切换到 SNOOZE 模式时自动停止操作。

禁止操作：在切换到 SNOOZE 模式前使操作停止。

f_{IH}: 高速片上振荡器时钟

f_{IL}: 低速片上振荡器时钟

f_X: X1 时钟

f_{EX}: 外部主系统时钟

f_{XT}: XT1 时钟

f_{EXS}: 外部副系统时钟

2. 30 至 64 针产品: p = 00; q = 0

80, 100 针产品: p = 00, 20; q = 0, 2

第二十四章 复位功能

以下七种操作方法能够产生复位信号。

- (1) 经由 $\overline{\text{RESET}}$ 引脚输入外部复位
- (2) 通过看门狗定时器的程序失控检测的内部复位
- (3) 通过比较上电复位(POR)电路的电源电压与检测电压的内部复位
- (4) 通过比较电压检测电路(LVD) 的电源电压和检测电压的内部复位
- (5) 通过执行非法指令的内部复位^注
- (6) 通过 RAM 奇偶校验错误的内部复位
- (7) 通过存取非法存储器的内部复位

在产生复位信号时，外部和内部复位从地址 0000H 和 0001H 处开始执行程序。

当向 $\overline{\text{RESET}}$ 引脚输入低电平时、当看门狗定时器溢出时、或者通过检测POR和LVD电路电压、执行非法指令^注，发生RAM奇偶检验错误或非法存储器存取时，复位生效，硬件的各个项目被设置为如表 24-1 所示状态。

当向 $\overline{\text{RESET}}$ 引脚输入低电平时，器件复位。当向 $\overline{\text{RESET}}$ 引脚输入高电平时，复位状态解除，并在复位处理之后以高速片上振荡器时钟开始执行程序。由看门狗定时器引起的复位自动解除，并在复位处理之后以高速片上振荡器时钟开始执行程序(参阅图 24-2 至 24-4)。在复位后，当 $V_{DD} \geq V_{POR}$ 或 $V_{DD} \geq V_{LVI}$ 时，检测 POR 和 LVD 电路的电源电压所引起的复位自动解除，并在复位处理之后，以高速片上振荡器时钟开始执行程序(参阅第二十五章 上电复位电路和第二十六章 电压检测电路)。

注 执行指令代码 FFH 时，产生非法指令。

通过电路内置仿真器或片上调试仿真器进行仿真时，不发生通过执行非法指令的内部复位。

注意事项 1. 向 $\overline{\text{RESET}}$ 引脚输入一个 10 μs 或以上的低电平，以执行外部复位。

若要在加电时执行外部复位，必须在电源电压处于工作电压范围之内时保持至少 10 μs 的低电平。

工作电压范围由选项字节(000C2H/010C2H)的设置而定。工作电压范围如下所示。

HS (高速主) 模式: $V_{DD} = 2.7 \text{ 至 } 5.5 \text{ V@}1 \text{ MHz 至 } 32 \text{ MHz}$

$V_{DD} = 2.4 \text{ 至 } 5.5 \text{ V@}1 \text{ MHz 至 } 16 \text{ MHz}$

LS (低速主) 模式: $V_{DD} = 1.8 \text{ 至 } 5.5 \text{ V@}1 \text{ MHz 至 } 8 \text{ MHz}$

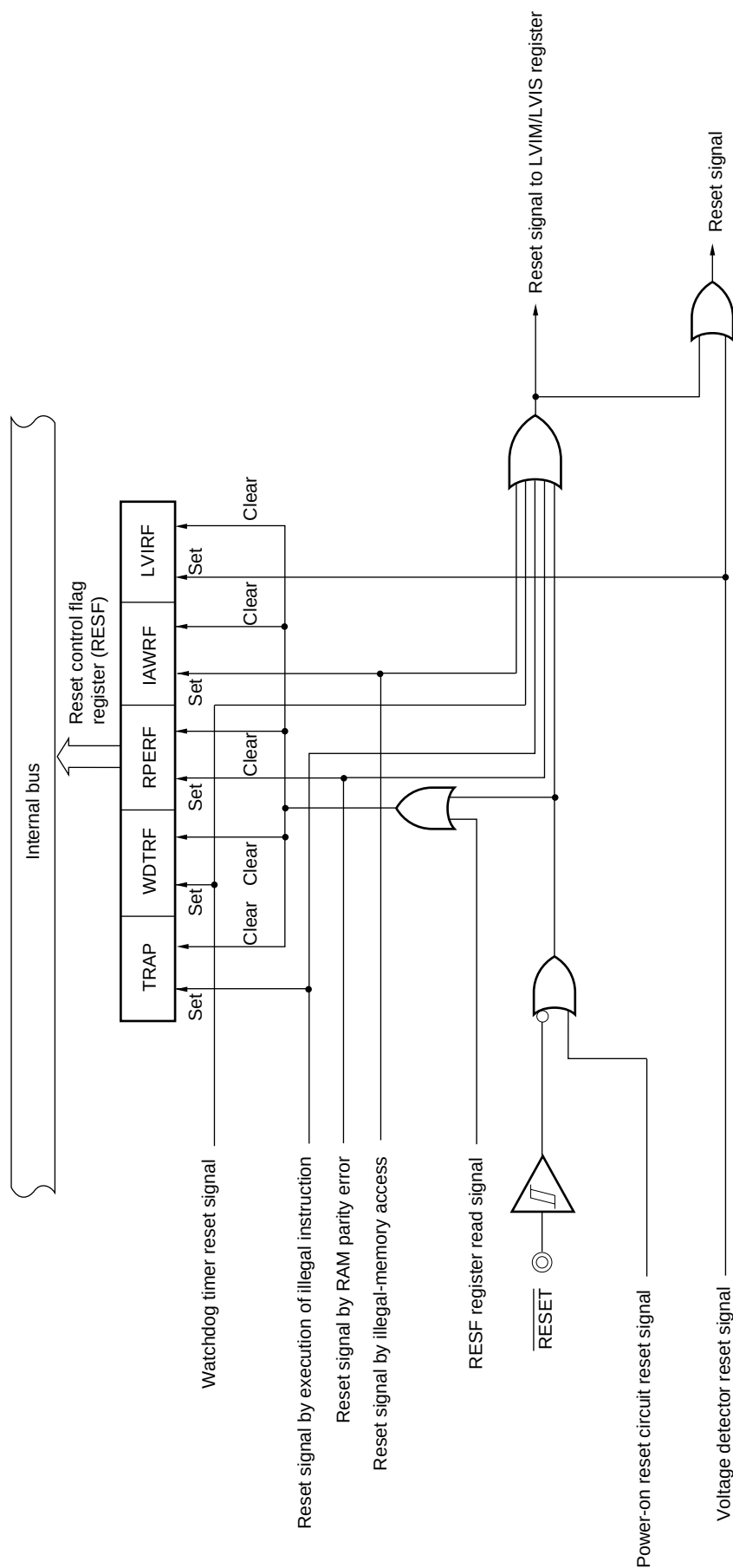
LV (低电压主) 模式: $V_{DD} = 1.6 \text{ 至 } 5.5 \text{ V@}1 \text{ MHz 至 } 4 \text{ MHz}$

2. 产生复位信号时，X1 时钟、XT1 时钟、高速片上振荡器时钟和低速片上振荡器时钟停止振荡。外部主系统时钟输入和外部副系统时钟输入无效。

3. 复位生效时，因为各 SFR 和第二 SFR 被初始化，所以端口引脚 P130 被设置为低电平输出，其他端口引脚成为高阻抗。

备注 V_{POR} : POR 电源上升检测电压

图 24-1. 复位功能框图



注意事项 发生 LVD 电路的内部复位时，LVD 电路不复位。

- 备注 1. LVIM: 电源检测寄存器
2. LVIS: 电源检测级别寄存器

图 24-2. 通过 RESET 输入的复位时序

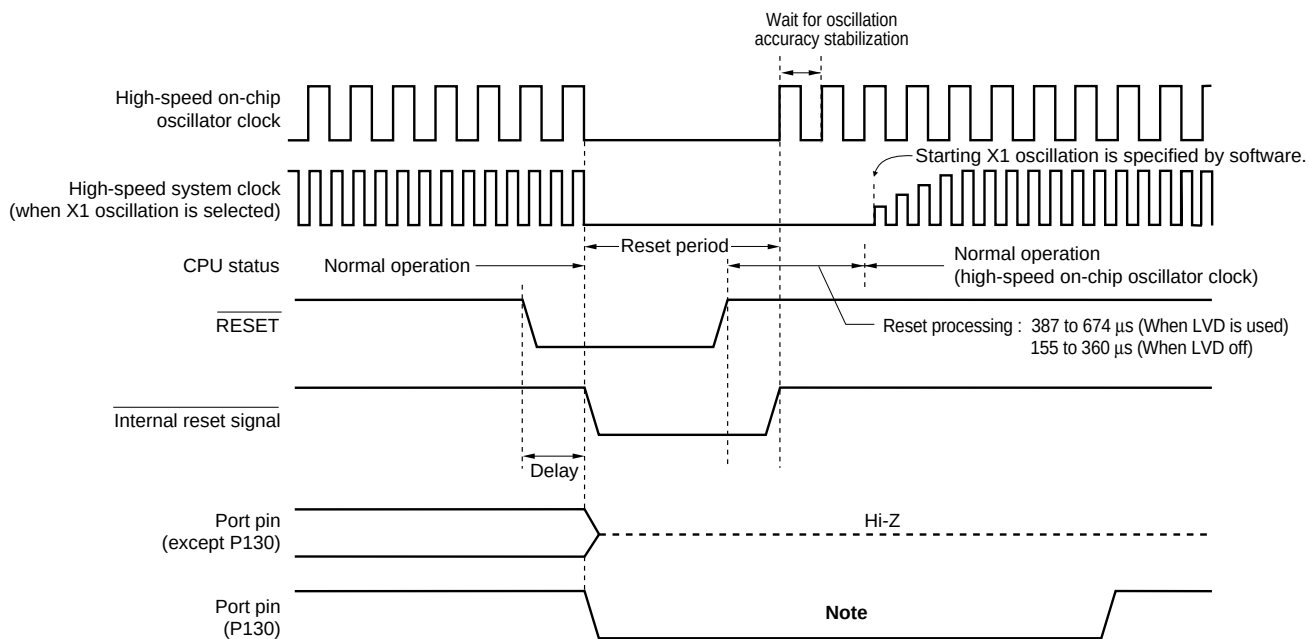
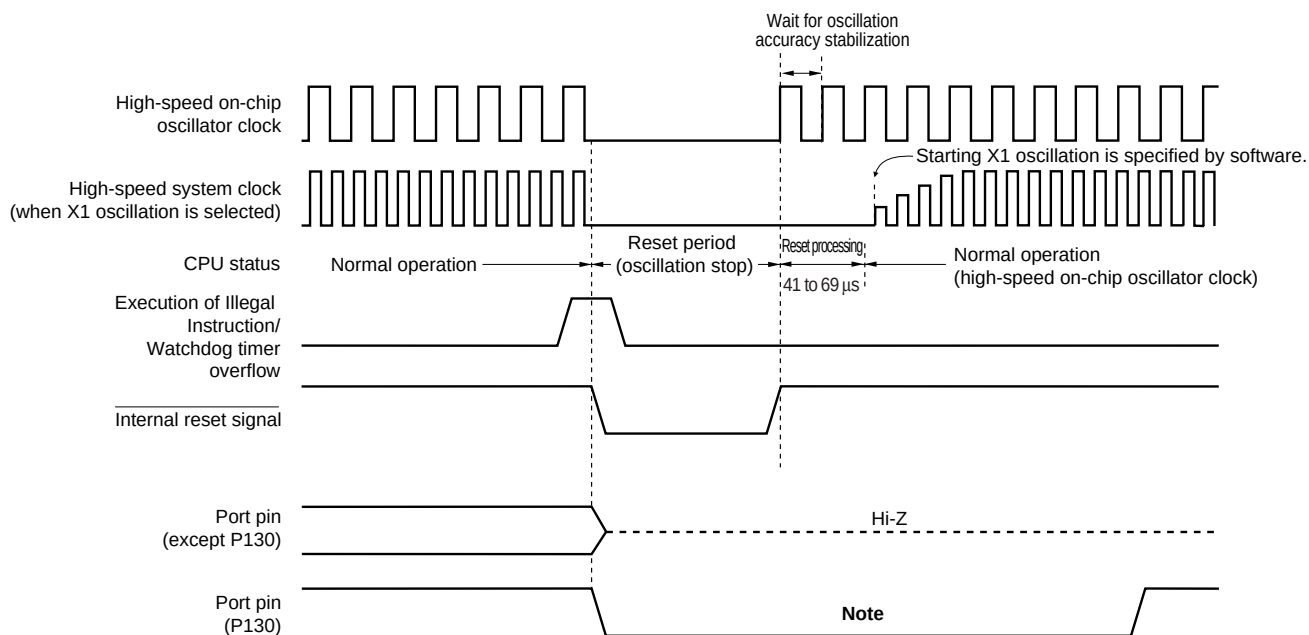
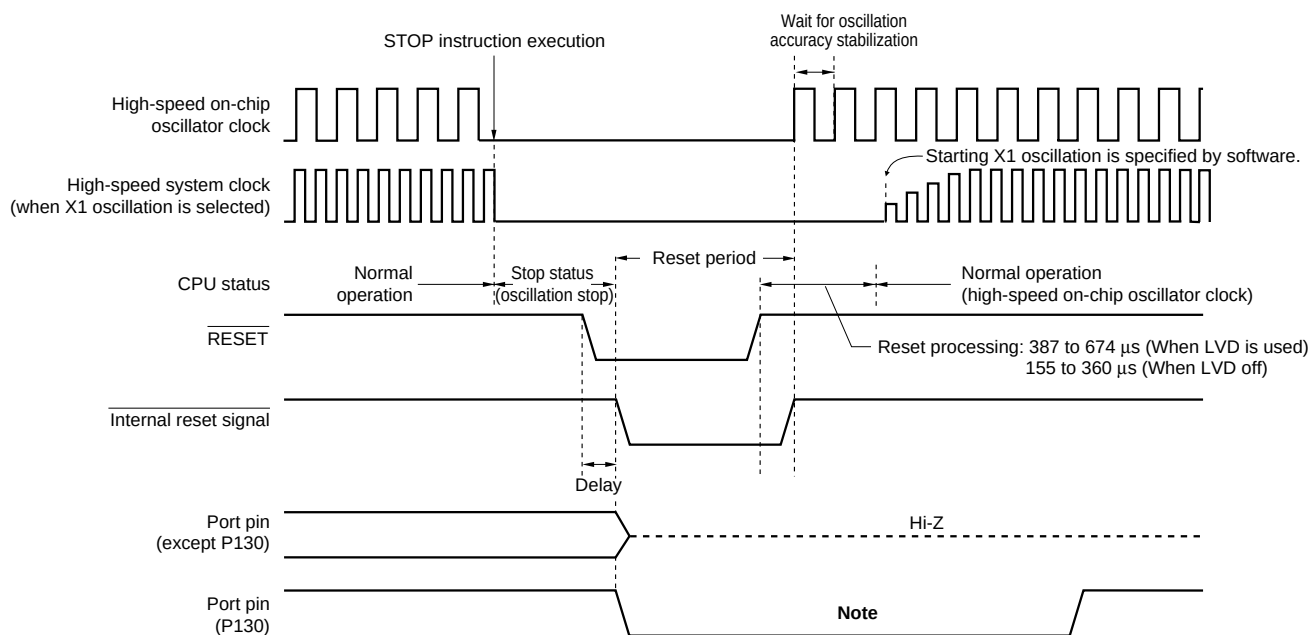


图 24-3. 通过执行非法指令或看门狗定时器溢出的复位时序



注 因为 P130 在复位生效时输出低电平，所以在复位生效前将 P130 设置为高电平输出时，P130 的输出信号可以模拟输出为对于外部器件的复位信号。若要解除对于外部器件的复位信号，则须通过软件将 P130 设置为高电平输出。

注意事项 看门狗定时器的内部复位使看门狗定时器复位。

图 24-4. S 至 P 模式时通过输入 $\overline{\text{RESET}}$ 的复位时序

注 因为 P130 在复位生效时输出低电平，所以在复位生效前将 P130 设置为高电平输出时，P130 的输出信号可以模拟输出为对于外部器件的复位信号。若要解除对于外部器件的复位信号，则须通过软件将 P130 设置为高电平输出。

备注 关于上电复位电路和电压检测电路的复位时序，请参阅 第二十五章 上电复位电路和 第二十六章 电压检测电路。

表 24-1. 复位期间的操作状态

项目			复位期间
系统时钟			停止向 CPU 供应时钟。
主系统时钟	f _{IH}	f _{IH}	停止工作
		f _X	停止工作 (X1 和 X2 引脚处于输入端口模式)
		f _{EX}	允许时钟输入 (该引脚处于输入端口模式)
	副系统时钟	f _{XT}	停止工作 (XT1 和 XT2 引脚处于输入端口模式)
		f _{EXS}	允许时钟输入 (该引脚处于输入端口模式)
f _{IL}		停止工作	
CPU			
代码闪存			停止工作
数据闪存			停止工作
RAM			停止工作
端口(锁存器)			设置 P130 为低电平输出。 P130 以外的端口引脚变成高阻抗。
定时器阵列单元			停止工作
定时器 RJ			
定时器 RD			
定时器 RG			
实时时钟(RTC)			
12 位间隔定时器			
看门狗定时器			
时钟输出/蜂鸣器输出			
A/D 转换器			
D/A 转换器 ^註			
比较器 ^註			
串行阵列单元(SAU)			
串行接口(IICA)			
DTC			
上电复位功能			可进行检测操作
电压检测功能			停止工作
外部中断			停止工作
按键中断功能			
CRC 操作功能	高速 CRC		
	通用 CRC		
非法存储器存取检测功能			
RAM 奇偶校验错误检测功能			
RAM 保护功能			
SFR 保护功能			

注 仅限 96KB 或更大代码闪存的产品。

备注 f_{IH} : 高速片上振荡器时钟 f_x : X1 振荡时钟
 f_{EX} : 外部主系统时钟 f_{XT} : XT1 振荡时钟
 f_{EXS} : 外部副系统时钟 f_{IL} : 低速片上振荡器时钟

表 24-2. 受理复位后各硬件的状态 (1/4)

硬件		受理复位后的状态 ^{注1}
程序计数器 (PC)		复位向量表(0000H, 0001H)的内容被设置。
堆栈指针(SP)		不确定
程序状态字 (PSW)		06H
乘加寄存器 (L) (MACRL)		0000H
乘加寄存器 (H) (MACRH)		0000H
RAM	数据存储器	不确定
	通用寄存器	不确定
处理器模式控制寄存器 (PMC)		00H
端口寄存器 (P0 至 P8, P10, P11, P14, P15) (输出锁存器)		00H
端口寄存器 (P12, P13) (输出锁存器)		不确定
端口模式寄存器 (PM0 至 PM8, PM10 至 PM12, PM14, PM15)		FFH
端口模式控制寄存器 0, 10, 12, 14 (PMC0, PMC10, PMC12, PMC14)		FFH
端口模式控制寄存器 1 (PMC1)		00H
端口输入模式寄存器 0, 1, 3 至 5, 8, 14 (PIM0, PIM1, PIM3 至 PIM5, PIM8, PIM14)		00H
端口输出模式寄存器 0, 1, 3 至 5, 7, 8, 14 (POM0, POM1, POM3 至 POM5, POM7, POM8, POM14)		00H
上拉电阻选择 寄存器 (PU0, PU1, PU3 至 PU8, PU10 至 PU12, PU14)		00H (PU4 为 01H)
外围 I/O 重定向寄存器 0, 1 (PIOR0, PIOR1)		00H
全局数字输入允许寄存器 (GDIDIS)		00H
端口模式选择 寄存器 (PMS)		00H
时钟操作模式控制寄存器 (CMC)		00H
时钟操作状态控制寄存器 (CSC)		C0H
系统时钟控制寄存器 (CKC)		00H
振荡稳定时间计数器状态寄存器 (OSTC)		00H
振荡稳定时间选择寄存器(OSTS)		07H
噪声过滤器允许寄存器 0 至 2 (NFEN0 至 NFEN2)		00H
外围允许寄存器 0, 1 (PER0, PER1)		00H
高速片上振荡器频率选择寄存器 (HOCODIV)		不确定
高速片上振荡器微调寄存器 (HIOTRM)		注 2
操作速度模式控制寄存器 (OSMC)		00H
定时器阵列单元	定时器数据寄存器 00 至 03, 10 至 13 (TDR00 至 TDR03, TDR10 至 TDR13)	0000H
	定时器模式寄存器 00 至 03, 10 至 13 (TMR00 至 TMR03, TMR10 至 TMR13)	0000H
	定时器状态寄存器 00 至 03, 10 至 13 (TSR00 至 TSR03, TSR10 至 TSR13)	0000H
	定时器输入选择寄存器 0 (TIS0)	00H
	定时器计数器寄存器 00 至 03, 10 至 13 (TCR00 至 TCR03, TCR10 至 TCR13)	FFFFH
	定时器通道允许状态寄存器 0, 1 (TE0, TE1)	0000H
	定时器通道开始寄存器 0, 1 (TS0, TS1)	0000H
	定时器通道停止寄存器 0, 1 (TT0, TT1)	0000H
	定时器时钟选择寄存器 0, 1 (TPS0, TPS1)	0000H
	定时器输出寄存器 0, 1 (TO0, TO1)	0000H
	定时器输出允许寄存器 0, 1 (TOE0, TOE1)	0000H
	定时器输出电平寄存器 0, 1 (TOL0, TOL1)	0000H
	定时器输出模式寄存器 0, 1 (TOM0, TOM1)	0000H

注 1. 在产生复位信号时或者等待振荡稳定时间时，硬件状态中，仅有 PC 的内容成为不确定。其他的硬件状态在复位后也保持不变。

2. 复位值因芯片而异。

备注 所安装的特殊功能寄存器(SFR)因产品而异。请参阅 3.1.4 特殊功能寄存器(SFR)区域和 3.1.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器) 区域。

表 24-2. 受理复位后各硬件的状态 (2/4)

硬件		受理复位后的状态 ^{注1}
定时器 RJ	定时器 RJ 计数寄存器 0 (TRJ0)	FFFFH
	定时器 RJ 控制寄存器 0 (TRJCR0)	00H
	定时器 RJ I/O 控制寄存器 0 (TRJIOC0)	00H
	定时器 RJ 模式寄存器 0 (TRJMR0)	00H
	定时器 RJ 事件引脚选择寄存器 0 (TRJISR0)	00H
定时器 RD	定时器 RD ELC 寄存器 (TRDELIC)	00H ^{注2}
	定时器 RD 开始寄存器 (TRDSTR)	0CH ^{注2}
	定时器 RD 模式寄存器 (TRDMR)	00H ^{注2}
	定时器 RD PWM 功能选择寄存器 (TRDPMR)	00H ^{注2}
	定时器 RD 功能控制寄存器 (TRDFCR)	80H ^{注2}
	定时器 RD 输出主允许寄存器 1 (TRDOER1)	FFH ^{注2}
	定时器 RD 输出主允许寄存器 2 (TRDOER2)	00H ^{注2}
	定时器 RD 输出 控制寄存器 (TRDOCR)	00H ^{注2}
	定时器 RD 数字过滤器功能选择寄存器 0, 1 (TRDDF0, TRDDF1)	00H ^{注2}
	定时器 RD 控制寄存器 0, 1 (TRDCR0, TRDCR1)	00H ^{注2}
	定时器 RD I/O 控制寄存器 A0, A1 (TRDIORA0, TRDIORA1)	00H ^{注2}
	定时器 RD I/O 控制寄存器 C0, C1 (TRDIORC0, TRDIORC1)	88H ^{注2}
	定时器 RD 状态 寄存器 0, 1 (TRDSR0, TRDSR1)	00H ^{注2}
	定时器 RD 中断允许寄存器 0, 1 (TRDIER0, TRDIER1)	00H ^{注2}
	定时器 RD PWM 功能输出电平控制寄存器 0, 1 (TRDPOCR0, TRDPOCR1)	00H ^{注2}
	定时器 RD 计数器 0, 1 (TRD0, TRD1)	0000H ^{注2}
	定时器 RD 通用寄存器 A0, A1, B0, B1, C0, C1, D0, D1 (TRDGRA0, TRDGRA1, TRDGRB0, TRDGRB1, TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1)	FFFFH ^{注2}
定时器 RG	定时器 RG 模式寄存器 (TRGMR)	00H
	定时器 RG 计数控制寄存器 (TRGCNTC)	00H
	定时器 RG 控制寄存器 (TRGCR)	00H
	定时器 RG 中断允许寄存器 (TRGIER)	00H
	定时器 RG 状态寄存器 (TRGSR)	00H
	定时器 RG I/O 控制寄存器 (TRGIOR)	00H
	定时器 RG 计数器 (TRG)	0000H
	定时器 RG 通用寄存器 A, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)	FFFFH

注 1. 在产生复位信号时或者等待振荡稳定时间时，硬件状态中，仅有 PC 的内容成为不确定。其他的硬件状态在复位后也保持不变。

2. 在用户选项字节 (000C2H/010C2H)中当 FRQSEL4 = 1 且在 PER1 寄存器中 TRD0EN = 0 时，定时器 RD SFR 不确定。如需读取初始值，在读取之前设置 f_{CLK} 至 f_{IH} 且 TRD0EN = 1。

备注 所安装的特殊功能寄存器(SFR)因产品而异。请参阅 3.1.4 特殊功能寄存器(SFR)区域和 3.1.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器) 区域。

表 24-2. 受理复位后各硬件的状态 (3/4)

硬件		受理复位后的状态 ^{注1}
实时时钟	秒计数寄存器 (SEC)	00H
	分钟计数寄存器 (MIN)	00H
	小时计数寄存器 (HOUR)	12H
	星期计数寄存器 (WEEK)	00H
	天计数寄存器 (DAY)	01H
	月计数寄存器 (MONTH)	01H
	年计数寄存器 (YEAR)	00H
	时间误差校正寄存器 (SUBCUD)	00H
	报警分钟设置寄存器 (ALARMWM)	00H
	报警小时设置寄存器 (ALARMWH)	12H
	报警星期设置寄存器 (ALARMWW)	00H
	控制寄存器 0 (RTCC0)	00H
	控制寄存器 1 (RTCC1)	00H
12 位间隔定时器	控制寄存器 (ITMC)	0FFFH
时钟输出/蜂鸣器输出控制器	时钟输出选择寄存器 0, 1 (CKS0, CKS1)	00H
看门狗定时器	允许寄存器 (WDTE)	1AH/9AH ^{注2}
A/D 转换器	10 位 A/D 转换结果寄存器 (ADCR)	0000H
	8 位 A/D 转换结果寄存器 (ADCRH)	00H
	模式寄存器 0 至 2 (ADM0 至 ADM2)	00H
	转换结果比较上限设置寄存器 (ADUL)	FFH
	转换结果比较下限设置寄存器 (ADLL)	00H
	A/D 测试寄存器 (ADTES)	00H
	模拟输入通道指定寄存器 (ADS)	00H
	A/D 端口配置寄存器 (ADPC)	00H
D/A 转换器	D/A 转换结果设置寄存器 0, 1 (DACS0, DACS1)	00H
	D/A 转换模式寄存器 (DAM)	00H
比较器	比较器模式设置寄存器 (COMPMDR)	00H
	比较器过滤控制寄存器 (COMPFIR)	00H
	比较器输出控制寄存器 (COMPPOCR)	00H
串行阵列单元(SAU)	串行数据寄存器 00 至 03, 10 至 13 (SDR00 至 SDR03, SDR10 至 SDR13)	0000H
	串行状态寄存器 00 至 03, 10 至 13 (SSR00 至 SSR03, SSR10 至 SSR13)	0000H
	串行标志清除触发寄存器 00 至 03, 10 至 13 (SIR00 至 SIR03, SIR10 至 SIR13)	0000H
	串行模式寄存器 00 至 03, 10 至 13 (SMR00 至 SMR03, SMR10 至 SMR13)	0020H
	串行通信操作设置寄存器 00 至 03, 10 至 13 (SCR00 至 SCR03, SCR10 至 SCR13)	0087H
	串行通道允许状态寄存器 0, 1 (SE0, SE1)	0000H
	串行通道开始寄存器 0, 1 (SS0, SS1)	0000H
	串行通道停止寄存器 0, 1 (ST0, ST1)	0000H
	串行时钟选择寄存器 0, 1 (SPS0, SPS1)	0000H
	串行输出寄存器 0, 1 (SO0, SO1)	0F0FH
	串行输出允许寄存器 0, 1 (SOE0, SOE1)	0000H
	串行输出电平寄存器 0, 1 (SOL0, SOL1)	0000H
	串行待机控制寄存器 0, 1 (SSC0, SSC1)	0000H
	输入切换控制寄存器 (ISC)	00H

注 1. 在产生复位信号时或者等待振荡稳定时间时，硬件状态中，仅有 PC 的内容成为不确定。其他的硬件状态在复位后也保持不变。

2. WDTE 的复位值取决于选项字节设置。

备注 所安装的特殊功能寄存器(SFR)因产品而异。请参阅 3.1.4 特殊功能寄存器(SFR)区域和 3.1.5 扩展特殊功能寄存器(2nd SFR: 第二特殊功能寄存器)区域。

表 24-2. 受理复位后各硬件的状态 (4/4)

硬件		受理复位后的状态 ^{註1}
串行接口 IICA	IICA 移位寄存器 0, 1 (IICA0, IICA1)	00H
	IICA 状态寄存器 0, 1 (IICS0, IICS1)	00H
	IICA 标志寄存器 0, 1 (IICF0, IICF1)	00H
	IICA 控制寄存器 00, 10 (IICCTL00, IICCTL10)	00H
	IICA 控制寄存器 01, 11 (IICCTL01, IICCTL11)	00H
	IICA 低电平宽度设置寄存器 0, 1 (IICWL0, IICWL1)	FFH
	IICA 高电平宽度设置寄存器 0, 1 (IICWH0, IICWH1)	FFH
	从属地址寄存器 0, 1 (SVA0, SVA1)	00H
DTC	DTC 动作允许寄存器 0 至 4 (DTCEN0 至 DTCEN4)	00H
	DTC 基地址寄存器 (DTCBAR)	FDH
ELC	事件输出目标选择寄存器 00 至 25 (ELSELR00 至 ELSELR25)	00H
按键中断	按键返回模式寄存器 (KRM)	00H
复位功能	复位控制标志寄存器 (RESF)	不确定 ^{註2}
电压检测电路	电源检测寄存器 (LVIM)	00H ^{註2}
	电源检测级别寄存器 (LVIS)	00H/01H/81H ^{註2,3}
中断	请求标志寄存器 0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	屏蔽标志寄存器 0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	优先级指定标志寄存器 00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H, PR02L, PR02H, PR12L, PR12H)	FFH
	外部中断上升沿允许寄存器 0, 1 (EGP0, EGP1)	00H
	外部中断下降沿允许寄存器 0, 1 (EGN0, EGN1)	00H
安全功能	闪存 CRC 控制寄存器 (CRC0CTL)	00H
	闪存 CRC 操作结果寄存器 (PGCRCL)	0000H
	CRC 输入寄存器 (CCRIN)	00H
	CRC 数据寄存器 (CRCD)	0000H
	无效存储器存取检测控制寄存器 (IAWCTL)	00H
	RAM 奇偶错误控制寄存器 (RPECTL)	00H
闪存	数据 flash 控制寄存器 (DFLCTL)	00H
十进制调整(BCD)电路	BCD 修正结果寄存器 (BCDAJ)	不确定

备注 所安装的特殊功能寄存器(SFR)因产品而异。请参阅 3.1.4 特殊功能寄存器(SFR)区域和 3.1.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器) 区域。

(注如下页所示。)

- 注 1. 在产生复位信号时或者等待振荡稳定时间时，硬件状态中，仅有 PC 的内容成为不确定。其他的硬件状态在复位后也保持不变。
2. 这些值因复位源而异。

复位源 寄存器		RESET 输入	通过 POR 的 复位	通过执行非法 指令的复位	通过 WDT 的复位	通过 RAM 奇 偶校验错误的 复位	通过存取非 法存储器的 复位	通过 LVD 的 复位
RESF	TRAP 位	清除 (0)	清除 (0)	置位 (1)	保持	保持	保持	保持
	WDTRF 位			保持	置位 (1)	保持	保持	保持
	RPERF 位			保持	保持	置位 (1)	保持	保持
	IAWRF 位			保持	保持	保持	置位 (1)	保持
	LVIRF 位			保持	保持	保持	保持	置位 (1)
LVIM	LVISEN	清除 (0)	清除 (0)	清除 (0)	清除 (0)	清除 (0)	清除 (0)	保持
LVIS		清除 (00H/01H/81H)	清除 (00H/01H/81H)	清除 (00H/01H/81H)	清除 (00H/01H/81H)	清除 (00H/01H/81H)	清除 (00H/01H/81H)	Held

3. LVD 复位以外的复位时设置如下。

- 当选项字节 LVIMDS1, LVIMDS0 = 1, 0:00H
- 当选项字节 LVIMDS1, LVIMDS0 = 1, 1: 81H
- 当选项字节 LVIMDS1, LVIMDS0 = 0, 1:01H

24.1 确认复位源的寄存器

RL78/G14 中存在着多种内部复位产生源。复位控制标志寄存器 (RESF) 用于存储产生了复位请求的源。

使用 8 位存储器操作指令读取 RESF 寄存器。

通过输入 RESET、由上电复位 (POR) 电路引起复位、以及读取 RESF 寄存器，可清除 TRAP、WDTRF、RPERF、IAWRF 和 LVIRF 标志。

图 24-5. 复位控制标志寄存器(RESF)的格式

地址: FFFA8H 复位后: 00H^{注1} R

符号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP		执行非法指令的内部复位请求 ^{注2}						
0		不产生内部复位请求，或 RESF 寄存器被清除。						
1		产生内部复位请求。						
WDTRF		看门狗定时器 (WDT) 的内部复位请求						
0		不产生内部复位请求，或 RESF 寄存器被清除。						
1		产生内部复位请求。						
RPERF		RAM 奇偶校验的内部复位请求						
0		不产生内部复位请求，或 RESF 寄存器被清除。						
1		产生内部复位请求。						
IAWRF		非法存储器存取的内部复位请求						
0		不产生内部复位请求，或 RESF 寄存器被清除。						
1		产生内部复位请求。						
LVIRF		电压检测电路 (LVD) 的内部复位请求						
0		不产生内部复位请求，或 RESF 寄存器被清除。						
1		产生内部复位请求。						

注 1. 复位后的值因复位源而异。

2. 执行指令代码 FFH 时，产生非法指令。

通过电路内置仿真器或片上调试仿真器进行仿真时，不发生通过执行非法指令的内部复位。

注意事项 1. 不要用 1 位存储器操作指令读取数据。

2. 从 RAM 获取指令代码时该代码不接受奇偶校验错误检测。然而，由于 RAM 获取指令代码而引起的 RAM 数据读取要接受奇偶校验错误检测。

3. 由于 RL78 执行流水操作，CPU 会执行预取，所以 CPU 可能读取分配至所用 RAM 之后的未初始化的 RAM 区域，以至于产生 RAM 奇偶校验错误。因此，允许产生 RAM 奇偶校验错误复位 (RPERDIS = 0) 时，务必对于所用“RAM 区域 + 10 字节”的区域进行初始化。

产生复位请求时 RESF 寄存器的状态如图 24-3 所示。

表 24-3. 产生复位请求时 RESF 寄存器的状态

复位源 标志	$\overline{\text{RESET}}$ 输入	通过 POR 的 复位	通过执行非法 指令的复位	通过 WDT 的复位	通过 RAM 奇 偶校验错误的 复位	通过存取非 法存储器的 复位	通过 LVD 的 复位
TRAP 位	清除 (0)	清除 (0)	置位 (1)	保持	保持	保持	保持
WDTRF 位			保持	置位 (1)	保持	保持	保持
RPERF 位			保持	保持	置位 (1)	保持	保持
IAWRF 位			保持	保持	保持	置位 (1)	保持
LVIRF 位			保持	保持	保持	保持	置位 (1)

第二十五章 上电复位电路

25.1 上电复位电路的功能

上电复位电路 (POR)具有以下功能。

- 上电时产生内部复位信号。
当电源电压 (V_{DD})超过 $1.51\text{ V} \pm 0.03\text{ V}$ 时解除复位。
- 比较电源电压(V_{DD})和检测电压($V_{PDR} = 1.50\text{ V} \pm 0.03\text{ V}$)，在 $V_{DD} < V_{PDR}$ 时产生内部复位信号。

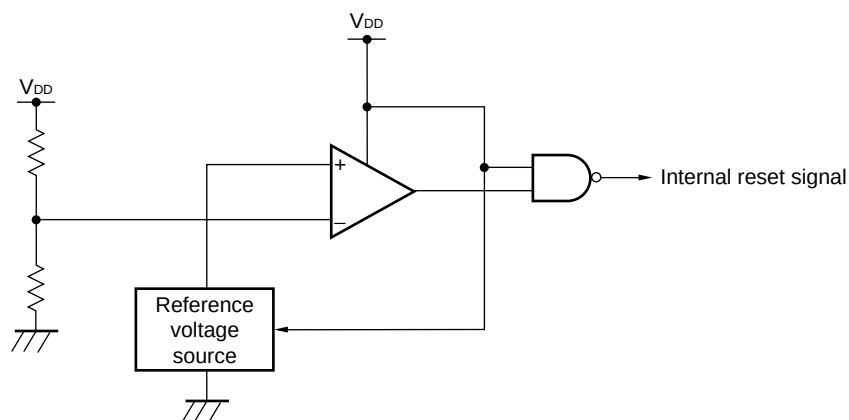
注意事项 如果 POR 电路中产生内部复位信号，则复位控制标志寄存器(RESF)的 TRAP、WDTRF、RPERF、IAWRF 和 LVIRF 标志将被清除为 (00H)。

备注 本产品含有能产生内部复位信号的多个硬件功能。由于看门狗定时器(WDT)、电压检测电路(LVD)、执行非法指令、RAM 奇偶校验错误或存取非法存储器而产生内部复位信号时，用于指示复位源的标志位于复位控制标志寄存器(RESF)中。由于看门狗定时器(WDT)、电压检测电路(LVD)、执行非法指令、RAM 奇偶校验错误或存取非法存储器而产生内部复位信号时，RESF 寄存器不会被清除为 00H，同时标志被设置为 1。
关于 RESF 寄存器的详情，请参阅第二十四章 复位功能。

25.2 上电复位电路的配置

上电复位电路的框图如图 25-1 所示。

图 25-1. 上电复位电路的框图



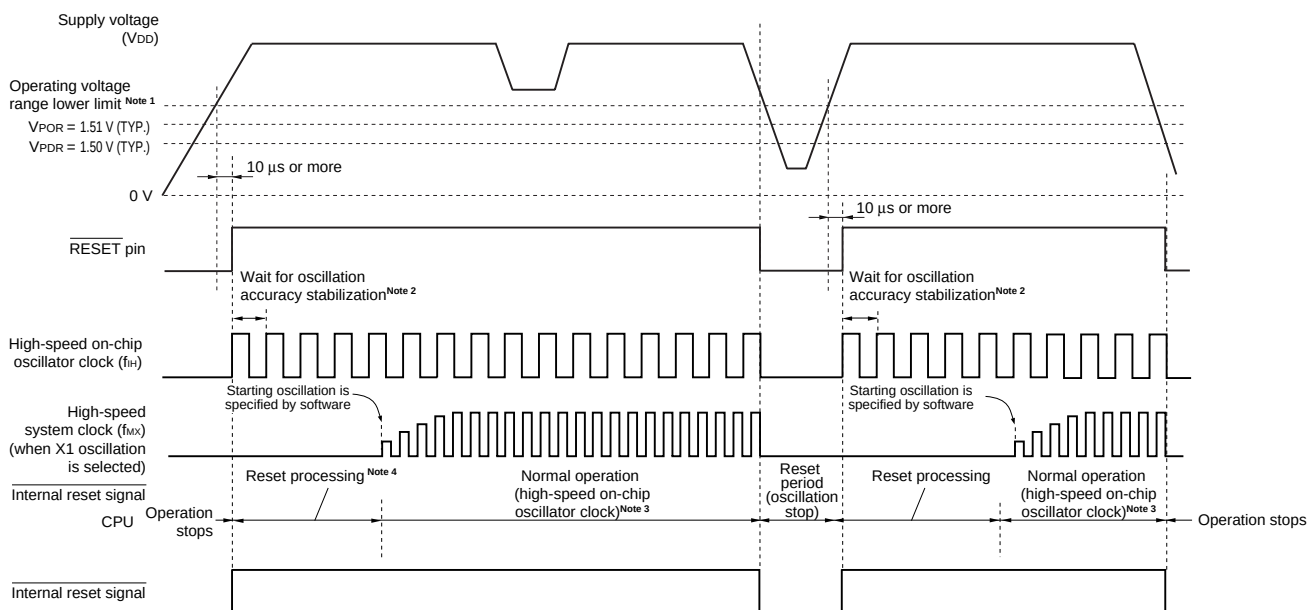
25.3 上电复位电路的操作

- 上电时产生内部复位信号。当电源电压 (V_{DD}) 超过检测电压时解除复位。
- 比较电源电压 (V_{DD}) 和检测电压，在 $V_{DD} < V_{PDR}$ 时产生内部复位信号

上电复位电路和电压检测电路产生的内部复位信号的时序如下所示。

图 25-2. 上电复位电路和电压检测电路产生的内部复位信号的时序 (1/2)

(1) 当 LVD OFF 时 (选项字节 000C1H/010C1H: VPOC2 = 1B)



注 1. 工作电压范围由选项字节(000C2H/010C2H)的设置而定。在电源电压下降处, 要将低于工作电压范围设为复位状态时, 可以使用电压检测电路的复位功能, 或者在工作电压范围内将低电平输入 **RESET** 引脚。

工作电压范围如下所示。

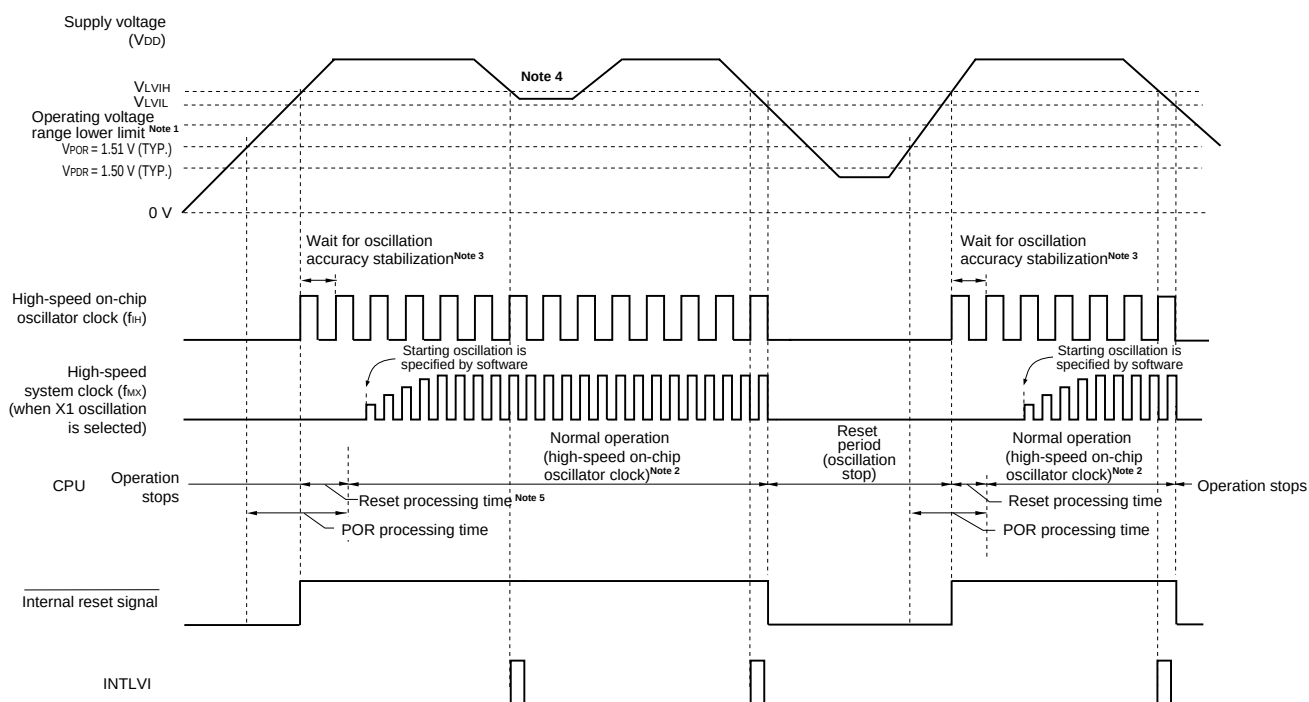
HS (高速主) 模式:	$V_{DD} = 2.7 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 32 \text{ MHz}$
	$V_{DD} = 2.4 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 16 \text{ MHz}$
LS (低速主) 模式:	$V_{DD} = 1.8 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 8 \text{ MHz}$
LV (低电压主) 模式:	$V_{DD} = 1.6 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 4 \text{ MHz}$

- 内部电压稳定等待之类的复位处理时间包括高速片上振荡器时钟的振荡精度稳定等待时间。
- 可以将 CPU 时钟从高速片上振荡器时钟切换至高速系统时钟或副系统时钟。如要使用 X1 时钟, 须利用振荡稳定时间计数器状态寄存器(OSTC)确认过振荡稳定时间之后再切换。如要使用 XT1 时钟, 则须利用定时器功能来确认过振荡稳定时间再进行切换
- 复位处理时间: 55 至 407 μs

备注 V_{POR} : POR 电源上升检测电压
 V_{PDR} : POR 电源下降检测电压

图 25-2. 上电复位电路和电压检测电路产生的内部复位信号的时序 (2/2)

(2) 当 LVD 为中断&复位模式时 (选项字节 000C1/010C1H: LVIMDS1, LVIMDS0 = 1, 0)



注 1. 工作电压范围由选项字节(000C2H/010C2H)的设置而定。在电源电压下降处, 要将低于工作电压范围设为复位状态时, 可以使用电压检测电路的复位功能, 或者在工作电压范围将低电平输入 $\overline{\text{RESET}}$ 引脚。工作电压范围如下所示。

HS (高速主) 模式: $V_{DD} = 2.7 \text{ 至 } 5.5 \text{ V} @ 1 \text{ MHz 至 } 32 \text{ MHz}$

$V_{DD} = 2.4 \text{ 至 } 5.5 \text{ V} @ 1 \text{ MHz 至 } 16 \text{ MHz}$

LS (低速主) 模式: $V_{DD} = 1.8 \text{ 至 } 5.5 \text{ V} @ 1 \text{ MHz 至 } 8 \text{ MHz}$

LV (低电压主) 模式: $V_{DD} = 1.6 \text{ 至 } 5.5 \text{ V} @ 1 \text{ MHz 至 } 4 \text{ MHz}$

2. 可以将 CPU 时钟从高速片上振荡器时钟切换至高速系统时钟或副系统时钟。如要使用 X1 时钟, 须利用振荡稳定时间计数器状态寄存器(OSTC)确认过振荡稳定时间之后再切换。如要使用 XT1 时钟, 则须利用定时器功能来确认过振荡稳定时间再进行切换。
3. 内部电压稳定等待之类的复位处理时间包括高速片上振荡器时钟的振荡精度稳定等待时间。
4. 在产生第一个中断请求信号(INTLVI)之后, 电压检测电平寄存器(LVIS)的 LVIL 和 LVIMD 位将被自动设置为 1。因此, 可能出现工作电压不低于电压检测电平(VLVL)而是返回 1.6 V 或更高的情况时, 在产生 INTLVI 之后, 须进行必要的保留处理, 利用软件依次进行以下设置:
 - <1> 将 LVIS 寄存器的 LVILV 位清除为 0。
 - <2> 将 LVIS 寄存器的 LVIMD 位清除为 0。
5. 复位处理时间: 387 至 720 μs

备注 V_{LVIH} 、 V_{LVIL} : LVD 检测电压
 V_{POR} : POR 电源上升检测电压
 V_{PDR} : POR 电源下降检测电压

25.4 上电复位电路的注意事项

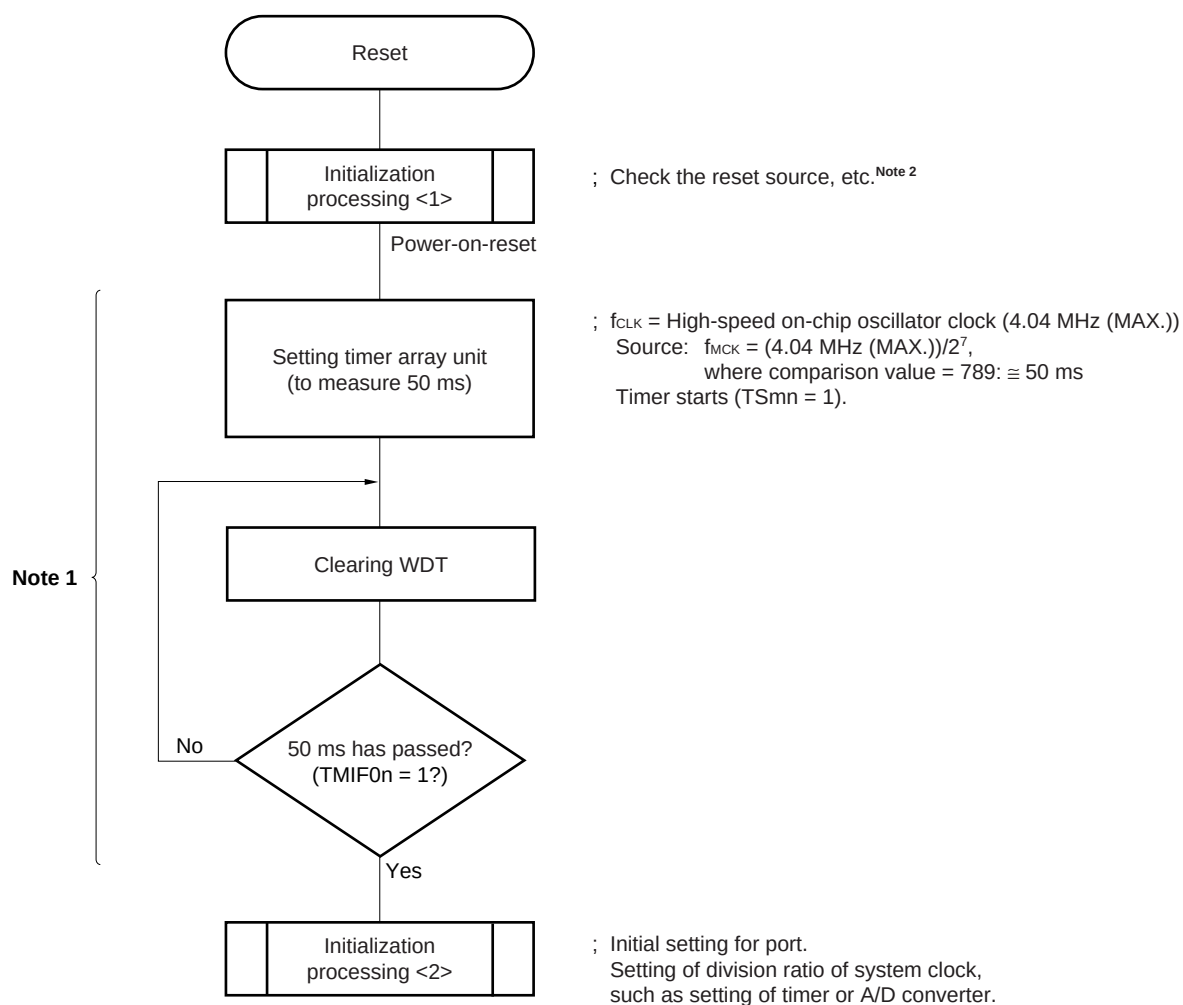
构成为 POR 检测电压(V_{POR} 、 V_{PDR})附近的电源电压(V_{DD})在一定期间内波动的系统中,可能重复地进入复位状态/解除复位状态。通过以下方法,可以任意设置从解除复位到开始操作微控制器为止的时间:

<处置>

解除复位后,通过基于定时器的软件计数器,等待各系统不同的电压波动期间结束,然后初始化端口。

图 25-3. 复位解除后的软件处理示例 (1/2)

•当 POR 检测电压附近的电源电压波动在 50 ms 以内时



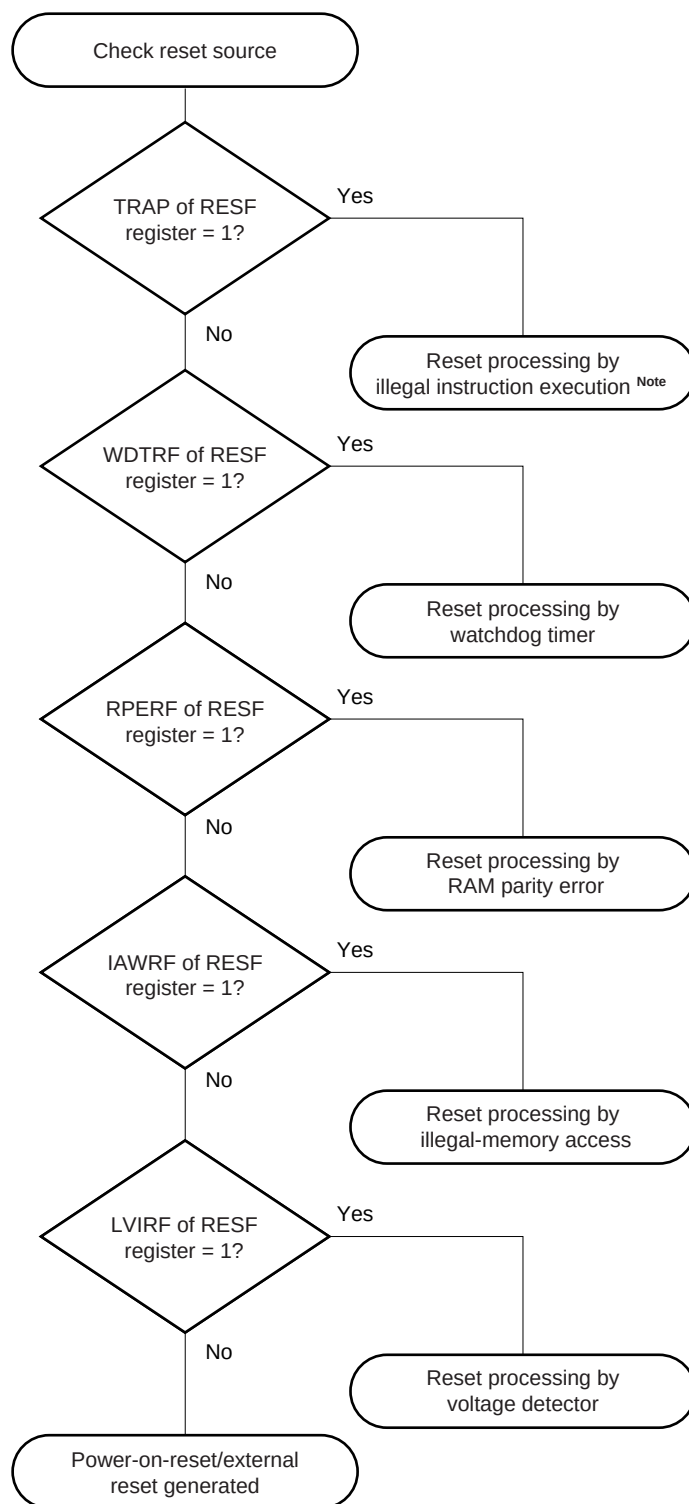
注 1. 如果在此期间再次产生复位,则不开始初始化处理<2>。

2. 流程图如下页所示。

备注 $m = 0, 1, n = 0$ 至 3

图 25-3. 复位解除后的软件处理示例 (2/2)

- 确认复位源



注 执行指令代码 FFH 时，产生非法指令。
 通过电路内置仿真器或片上调试仿真器进行仿真时，不发生通过执行非法指令的内部复位。

第二十六章 电压检测电路

26.1 电压检测电路的功能

电压检测(LVD)电路具有如下的功能。

- 比较电源电压(V_{DD})和检测电压(V_{LVIH} , V_{LVIL})，触发内部复位或内部中断信号。
- 电源电压的检测电压(V_{LVIH} , V_{LVIL})，可使用选项字节根据检测级别从 14 阶段中选择(详情参阅第二十九章 选项字节)。
- 可在 STOP 模式下操作。
- 使用选项字节时可选择如下三种的操作模式。

(a) 中断&复位模式 (选项字节 LVIMDS1, LVIMDS0 = 1, 0)

对于由选项字节 000C1H/010C1H 选择的两个检测电压，高电压检测电平 (V_{LVIH}) 用于发生中断和解除复位，低电压检测电平 (V_{LVIL}) 用于激发复位。

(b) 复位模式 (选项字节 LVIMDS1, LVIMDS0 = 1, 1)

在选项字节 000C1H/010C1H 选择的检测电压(V_{LVI})，可用来触发和结束复位。

(c) 中断模式 (选项字节 LVIMDS1, LVIMDS0 = 0, 1)

在选项字节 000C1H/010C1H 选择的检测电压(V_{LVI})，可用来触发和结束中断。

在中断&复位模式下可设置两个检测电压(V_{LVIH} , V_{LVIL})，在复位模式下可设置一个检测电压(V_{LVI})。

可通过选项字节 (LVIMDS0, LVIMDS1)的选择，触发如下的复位和中断信号。

中断&复位模式 (LVIMDS1, LVIMDS0 = 1, 0)	复位模式 (LVIMDS1, LVIMDS0 = 1, 1)	中断模式 (LVIMDS1, LVIMDS0 = 0, 1)
当 $V_{DD} < V_{LVIH}$ 时，产生内部中断信号，当 $V_{DD} < V_{LVIL}$ 时，则产生内部复位信号。 当 $V_{DD} \geq V_{LVIH}$ 时，解除复位信号。	当 $V_{DD} < V_{LVI}$ 时，产生内部复位信号，当 $V_{DD} \geq V_{LVI}$ 时，则解除复位信号。	当 V_{DD} 降至 V_{LVI} 以下时 ($V_{DD} < V_{LVI}$) 或者当 V_{DD} 变成 V_{LVI} 或以上时 ($V_{DD} \geq V_{LVI}$)，产生内部中断信号。 上电时若 $V_{DD} \geq V_{LVI}$ ，则解除复位信号。

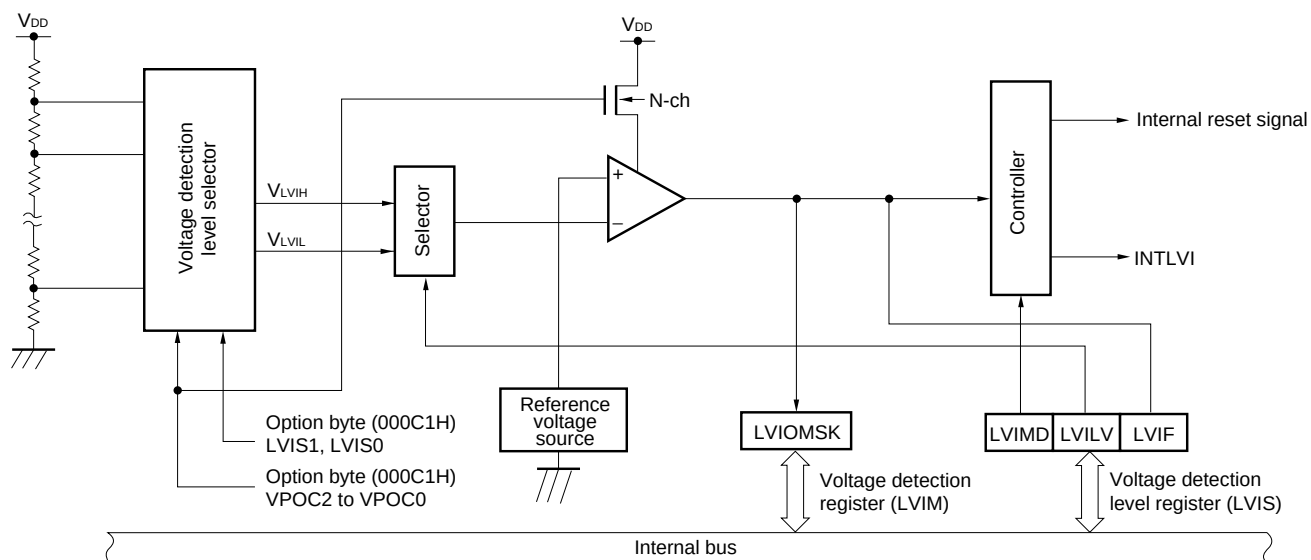
在电压检测电路工作时，可以通过读取电压检测标志(LVIF：电压检测寄存器 (LVIM)的位 0)，来检验电源电压或来自外部引脚的输入电压是大于还是小于检测电平。

如果发生复位，则复位控制标志寄存器 (RESF) 的位 0 (LVIRF) 将被设为 1。有关 RESF 寄存器的详情，请参阅 第二十四章 复位功能。

26.2 电压检测电路的配置

电压检测电路的框图如图 26-1 所示。

图 26-1. 电压检测电路的框图



26.3 控制电压检测电路的寄存器

利用如下的寄存器控制电压检测电路。

- 电压检测寄存器 (LVIM)
- 电压检测级别寄存器 (LVIS)

(1) 电压检测寄存器 (LVIM)

此寄存器用来设置电压检测级别寄存器 (LVIS) 的允许/禁止重写，确认 LVD 输出的屏蔽状态。

可利用 1 位或 8 位存储器操作指令来设置 LVIM 寄存器。

产生复位信号清除此寄存器至 00H。

图 26-2. 电压检测寄存器(LVIM)的格式

地址: FFFA9H 复位后: 00H^{注1} R/W^{注2}

符号	<7>	6	5	4	3	2	<1>	<0>
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	电压检测级别寄存器 (LVIS) 的允许/禁止重写的设置
0	禁止重写
1	允许重写 ^{注3}

LVIOMSK	LVD 输出的屏蔽状态标志
0	屏蔽无效
1	屏蔽有效 ^{注4}

LVIF	电压检测标志
0	电源电压 (V_{DD}) $\geq$ 检测电压 (V_{LVI}) 或当 LVD 操作被禁止时
1	电源电压 (V_{DD}) $<$ 检测电压 (V_{LVI})

- 注 1.** 复位值因复位源而异。
如果通过 LVD 使 LVIS 寄存器复位，则其不被复位而是保持当前值。
- 2.** 位 0 和位 1 为只读位。
- 3.** 仅在通过选项字节设置 LVIMDS1 和 LVIMDS0 为 1 和 0（中断和复位模式）时可以设置。
- 4.** 在以下期间内，LVIOMSK 位被自动设置为“1”，由 LVD 引起的复位或中断被屏蔽。
- LVISEN = 1 的期间
 - 从发生 LVD 中断开始到 LVD 检测电压稳定为止的等待时间
 - 从 LVILV 位的值发生变化到 LVD 检测电压稳定为止的等待时间

(2) 电压检测级别选择寄存器 (LVIS)

此寄存器用来选择电压检测级别。

可利用 1 位或 8 位存储器操作指令来设置 LVIS 寄存器。

产生复位信号设置此寄存器为 00H/01H/81H^{注1}。

图 26-3. 电压检测级别选择寄存器(LVIS)的格式

地址: FFFAAH 复位后: 00H/01H/81H^{注1} R/W

符号	<7>	6	5	4	3	2	1	<0>
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD ^{注2}	电压检测的操作模式
0	中断模式
1	复位模式

LVILV ^{注2}	LVD 检测级别
0	高电压检测级别 (V _{LVIH})
1	低电压检测级别 (V _{LVIL} 或 V _{LVL})

注 1. 复位值随复位源和选项字节设置而变化。

LVD 复位时，此寄存器不被清除(00H)。

LVD 以外的复位时，如下所示。

- 选项字节 LVIMDS1, LVIMDS0 = 1, 0 时: 00H
- 选项字节 LVIMDS1, LVIMDS0 = 1, 1 时: 81H
- 选项字节 LVIMDS1, LVIMDS0 = 0, 1 时: 01H

- 2.** 仅当 LVIMDS1 和 LVIMDS0 由选项字节设为 1 和 0（中断和复位模式）时，才可写入“0”。在其他情况下不允许写入操作，通过产生复位或中断来自动切换值。

注意事项 1. 重写 LVIS 寄存器时，请先将 LVISEN 位 (LVIM 寄存器的位 7) 设置为 1 后再进行。

- 2.** 可使用选项字节(000C1H)设置 LVD 操作模式和检测电压 (V_{LVIH}, V_{LVIL})。选项字节(000C1H)的设置如表 21-1 所示。有关选项字节的详情，请参阅**第二十九章 选项字节**。

表 26-1. 通过用户选项字节 (000C1H/010C1H) 设置 LVD 操作模式和检测电压

• 中断&复位模式时的设置

检测电压			选项字节设置值						
V _{LVIH}		V _{LVIL}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
上升	下降	下降							
1.77 V	1.73 V	1.63 V	1	0	0	0	0	1	0
1.88 V	1.84 V							0	1
2.92 V	2.86 V							0	0
1.98 V	1.94 V	1.84 V			0	0	1	1	0
2.09 V	2.04 V							0	1
3.13 V	3.06 V							0	0
2.61 V	2.55 V	2.45 V			0	1	0	1	0
2.71 V	2.65 V							0	1
3.75 V	3.67 V							0	0
2.92 V	2.86 V	2.75 V			0	1	1	1	0
3.02 V	2.96 V							0	1
4.06 V	3.98 V							0	0
上述以外			禁止设置						

注意事项 请在工作电压范围内设置检测电压(V_{LVIL})。工作电压范围由选项字节(000C2H/010C2H)的设置而定。
工作电压范围如下所示。

HS (高速主) 模式:

V_{DD} = 2.7 至 5.5 V@1 MHz 至 32 MHz

V_{DD} = 2.4 至 5.5 V@1 MHz 至 16 MHz

LS (低速主) 模式:

V_{DD} = 1.8 至 5.5 V@1 MHz 至 8 MHz

LV (低电压主) 模式:

V_{DD} = 1.6 至 5.5 V@1 MHz 至 4 MHz

• 复位模式时的设置

检测电压		选项字节设置值						
V _{LVI}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
上升	下降							
1.67 V	1.63 V	1	1	0	0	0	1	1
1.77 V	1.73 V			0	0	0	1	0
1.88 V	1.84 V			0	0	1	1	1
1.98 V	1.94 V			0	0	1	1	0
2.09 V	2.04 V			0	0	1	0	1
2.50 V	2.45 V			0	1	0	1	1
2.61 V	2.55 V			0	1	0	1	0
2.71 V	2.65 V			0	1	0	0	1
2.81 V	2.75 V			0	1	1	1	1
2.92 V	2.86 V			0	1	1	1	0
3.02 V	2.96 V			0	1	1	0	1
3.13 V	3.06 V			0	0	1	0	0
3.75 V	3.67 V			0	1	0	0	0
4.06 V	3.98 V			0	1	1	0	0
上述以外		禁止设置						

注意事项 请在工作电压范围内设置检测电压(V_{LVI})。工作电压范围由选项字节(000C2H/010C2H)的设置而定。
工作电压范围如下所示。

HS (高速主) 模式:

V_{DD} = 2.7 至 5.5 V@1 MHz 至 32 MHz

V_{DD} = 2.4 至 5.5 V@1 MHz 至 16 MHz

LS (低速主) 模式:

V_{DD} = 1.8 至 5.5 V@1 MHz 至 8 MHz

LV (低电压主) 模式:

V_{DD} = 1.6 至 5.5 V@1 MHz 至 4 MHz

• 中断模式时的设置

检测电压		选项字节设置值						
V _{LVI}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
上升	下降							
1.67 V	1.63 V	0	1	0	0	0	1	1
1.77 V	1.73 V			0	0	0	1	0
1.88 V	1.84 V			0	0	1	1	1
1.98 V	1.94 V			0	0	1	1	0
2.09 V	2.04 V			0	0	1	0	1
2.50 V	2.45 V			0	1	0	1	1
2.61 V	2.55 V			0	1	0	1	0
2.71 V	2.65 V			0	1	0	0	1
2.81 V	2.75 V			0	1	1	1	1
2.92 V	2.86 V			0	1	1	1	0
3.02 V	2.96 V			0	1	1	0	1
3.13 V	3.06 V			0	0	1	0	0
3.75 V	3.67 V			0	1	0	0	0
4.06 V	3.98 V			0	1	1	0	0
上述以外		禁止设置						

注意事项 请在工作电压范围内设置检测电压 (V_{LVI})。工作电压范围由选项字节(000C2H/010C2H)的设置而定。
工作电压范围如下所示。

HS (高速主) 模式: $V_{DD} = 2.7 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 32 \text{ MHz}$
 $V_{DD} = 2.4 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 16 \text{ MHz}$
LS (低速主) 模式: $V_{DD} = 1.8 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 8 \text{ MHz}$
LV (低电压主) 模式: $V_{DD} = 1.6 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 4 \text{ MHz}$

• LVDOFF 时的设置

检测电压		选项字节设置值						
V _{LVI}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
上升	下降							
-	-	0/1	1	1	×	×	×	×
上述以外		禁止设置						

注意事项 当 LVD 关闭时, 须执行外部复位。向 RESET 引脚输入 10 μs 或 10 μs 以上的低电平来引起外部复位。要在加电时执行外部复位, 则须在上电前向 RESET 引脚输入一个低电平, 并在电源电压处于工作电压范围内的期间, 使该低电平保持至少 10 μs , 然后输入一个高电平。加电后, 在电源电压不处于工作电压范围内的期间, 不得向 RESET 引脚输入高电平。工作电压范围由选项字节(000C2H/010C2H)的设置而定。工作电压范围如下所示。

HS (高速主) 模式: $V_{DD} = 2.7 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 32 \text{ MHz}$
 $V_{DD} = 2.4 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 16 \text{ MHz}$
LS (低速主) 模式: $V_{DD} = 1.8 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 8 \text{ MHz}$
LV (低电压主) 模式: $V_{DD} = 1.6 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 4 \text{ MHz}$

备注 ×: 忽略

26.4 电压检测电路的操作

26.4.1 使用复位模式时

- 开始操作时

在如下的初始设置的状态下开始。

可使用选项字节 000C1H/010C1H 设置操作模式 (复位模式 (LVIMDS1, LVIMDS0 = 1, 1)) 和检测电压 (V_{LVI})。

请在工作电压范围内设置检测电压(V_{LVI})。工作电压范围由选项字节(000C2H/010C2H)的设置而定。

工作电压范围如下所示。

HS (高速主) 模式: $V_{DD} = 2.7$ 至 5.5 V@1 MHz 至 32 MHz

$V_{DD} = 2.4$ 至 5.5 V@1 MHz 至 16 MHz

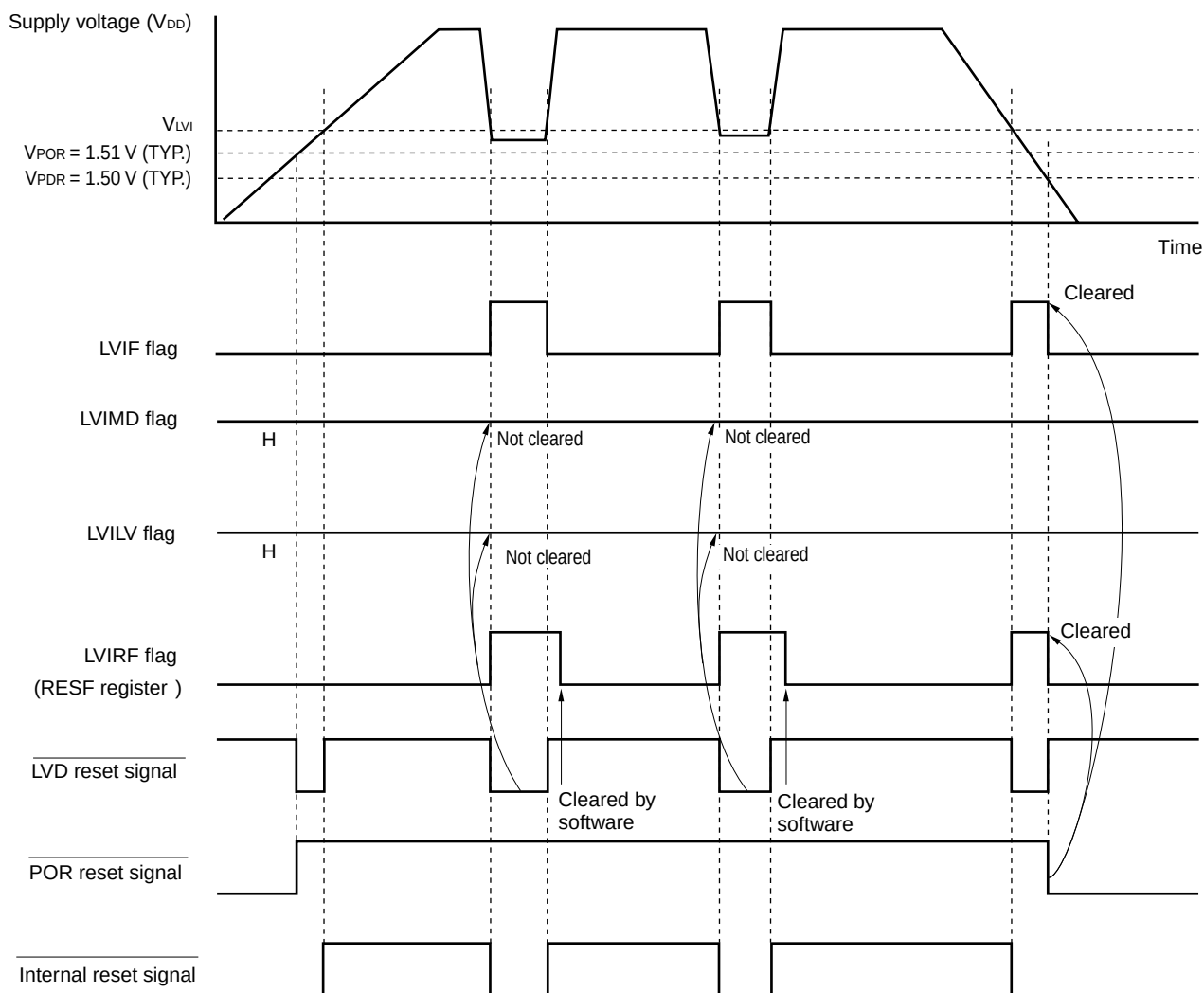
LS (低速主) 模式: $V_{DD} = 1.8$ 至 5.5 V@1 MHz 至 8 MHz

LV (低电压主) 模式: $V_{DD} = 1.6$ 至 5.5 V@1 MHz 至 4 MHz

- 设置电压检测寄存器 (LVIM)的位 7 (LVISEN) 为 0 (禁止电压检测级别寄存器 (LVIS)的重写)。
- 当选项字节 LVIMDS1 和 LVIMDS0 被设为 1 时, LVIS 寄存器的初始值被设为 81H。
 - 位 7 (LVIMD) 为 1 (复位模式)。
 - 位 0 (LVILV) 为 1 (低电压检测级别: V_{LVI})。

电压检测电路发生内部复位信号的时序如图 26-4 所示。

图 26-4. 电压检测电路发生内部复位信号的时序
(选项字节 LVIMDS1, LVIMDS0 = 1, 1)



备注 V_{POR} : POR 电源上升检测电压
 V_{PDR} : POR 电源下降检测电压

26.4.2 使用中断模式时

- 开始操作时

可使用选项字节 000C1H/010C1H 设置操作模式 (复位模式 (LVIMDS1, LVIMDS0 = 0, 1)) 和检测电压 (V_{LVI})。在电源电压不处于工作电压范围内的期间, 不得向 $\overline{\text{RESET}}$ 引脚输入高电平。在工作电压范围内设置检测电压 (V_{LVI})。工作电压范围由选项字节(000C2H/010C2H)的设置而定。

工作电压范围如下所示。

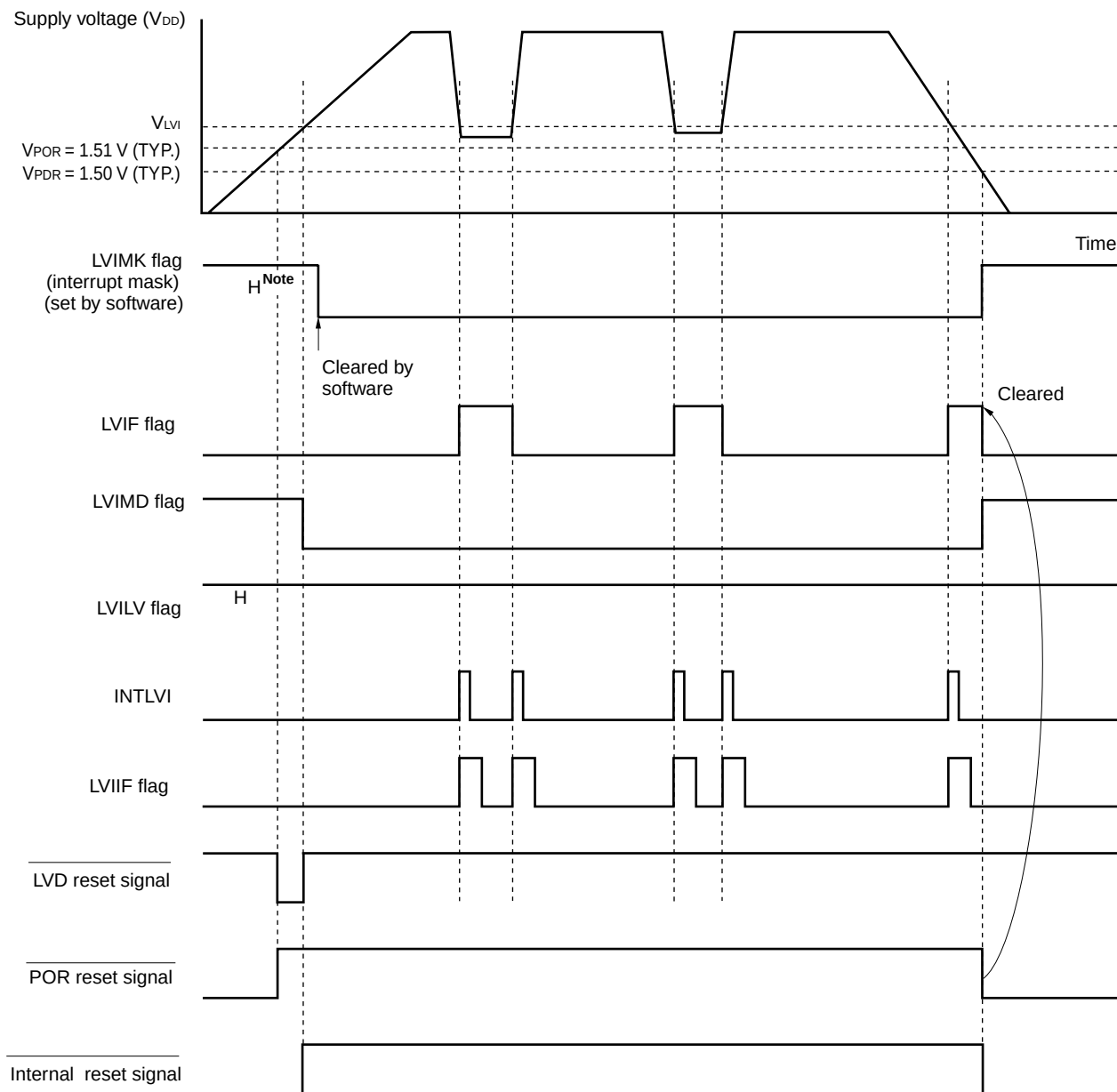
HS (高速主) 模式:	$V_{DD} = 2.7 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 32 \text{ MHz}$
	$V_{DD} = 2.4 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 16 \text{ MHz}$
LS (低速主) 模式:	$V_{DD} = 1.8 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 8 \text{ MHz}$
LV (低电压主) 模式:	$V_{DD} = 1.6 \text{ 至 } 5.5 \text{ V@1 MHz 至 } 4 \text{ MHz}$

在如下的初始设置的状态下开始。

- 设置电压检测寄存器 (LVIM) 的位 7 (LVISEN) 为 0 (禁止电压检测级别寄存器 (LVIS) 的重写)。
- 当选项字节 LVIMDS1 清零至 0 且 LVIMDS0 被设为 1 时, LVIS 寄存器的初始值被设为 00H。
 - 位 7 (LVIMD) 为 0 (中断模式)。
 - 位 0 (LVILV) 为 1 (低电压检测级别: V_{LVI})。

电压检测电路的发生内部复位信号的时序如图 26-5 所示。

图 26-5. 电压检测电路的发生内部复位信号的时序
(选项字节 LVIMDS1, LVIMDS0 = 0, 1)



注 通过发生复位信号，LVIMK 标志变为“1”。

备注 V_{POR} : POR 电源上升检测电压
 V_{PDR} : POR 电源下降检测电压

26.4.3 使用中断和复位模式时

- 开始操作时

可使用选项字节 000C1H/010C1H 设置操作模式 (复位模式 (LVIMDS1, LVIMDS0 = 1, 0)) 和检测电压 (V_{LVIH} , V_{LVIL})。

请在工作电压范围内设置检测电压(V_{LVIL})。工作电压范围由选项字节(000C2H/010C2H)的设置而定。

工作电压范围如下所示。

HS (高速主) 模式:	$V_{DD} = 2.7$ 至 5.5 V@1 MHz 至 32 MHz
	$V_{DD} = 2.4$ 至 5.5 V@1 MHz 至 16 MHz
LS (低速主) 模式:	$V_{DD} = 1.8$ 至 5.5 V@1 MHz 至 8 MHz
LV (低电压主) 模式:	$V_{DD} = 1.6$ 至 5.5 V@1 MHz 至 4 MHz

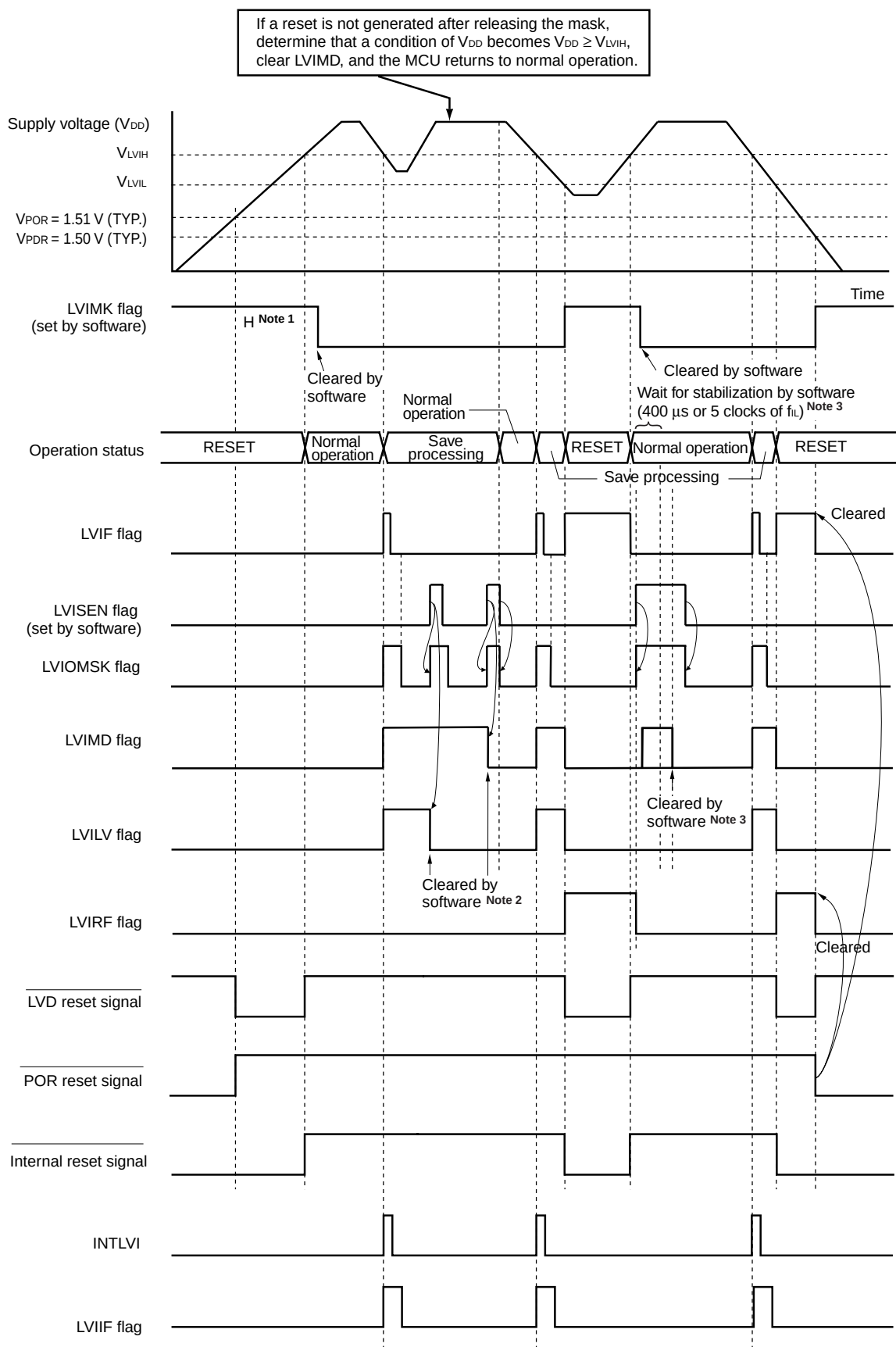
在如下的初始设置的状态下开始。

- 设置电压检测寄存器 (LVIM)的位 7 (LVISEN)为 0 (禁止电压检测级别寄存器 (LVIS)的重写)。
- 当选项字节 LVIMDS1 被设为 1 且 LVIMDS0 清零至 0 时, LVIS 寄存器的初始值被设为 00H。
 - 位 7 (LVIMD)为 0 (中断模式)。
 - 位 0 (LVILV)为 0 (高电压检测级别: V_{LVIH})。

电压检测电路的发生内部复位信号和中断信号的时序如图 26-6 所示。

请按照图 26-7 发生中断后的处理步骤, 图 26-8 中断和复位模式的初始设置所示的流程图的步骤执行。

图 26-6. 电压检测电路的发生内部复位信号和中断信号的时序
(选项字节 LVIMDS1, LVIMDS0 = 1, 0) (1/2)

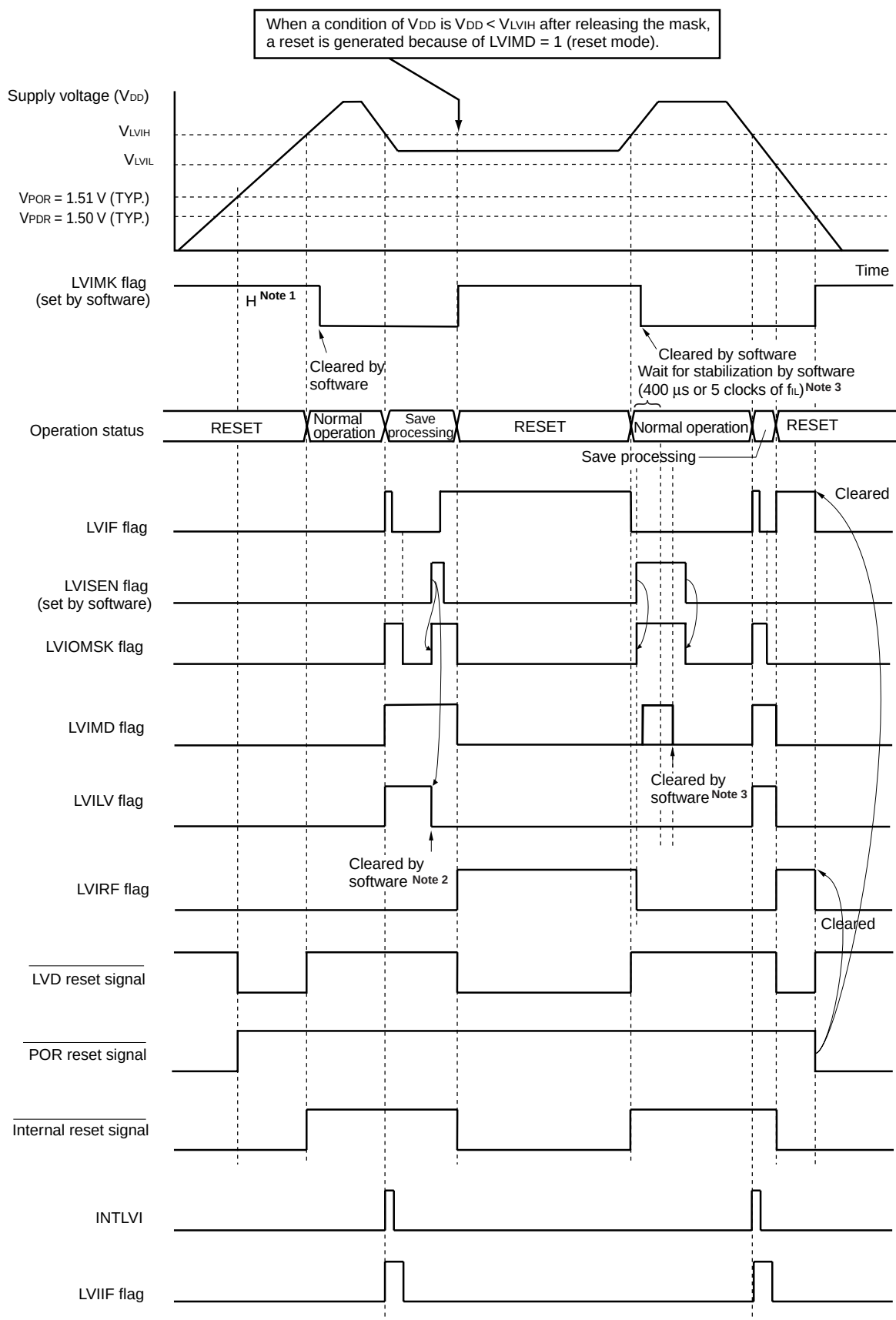


(注和备注如下页所示)

- 注 1. 通过发生复位信号，LVIMK 标志变为“1”。
2. 产生中断后，在中断和复位模式下根据 图 26-7 发生中断后的处理步骤 进行处理。
3. 解除复位后，在中断和复位模式下根据 图 26-8 中断和复位模式的初始设置 进行处理。

备注 V_{POR} : POR 电源上升检测电压
 V_{PDR} : POR 电源下降检测电压

图 26-6. 电压检测电路的发生内部复位信号和中断信号的时序
(选项字节 LVIMDS1, LVIMDS0 = 1, 0) (2/2)

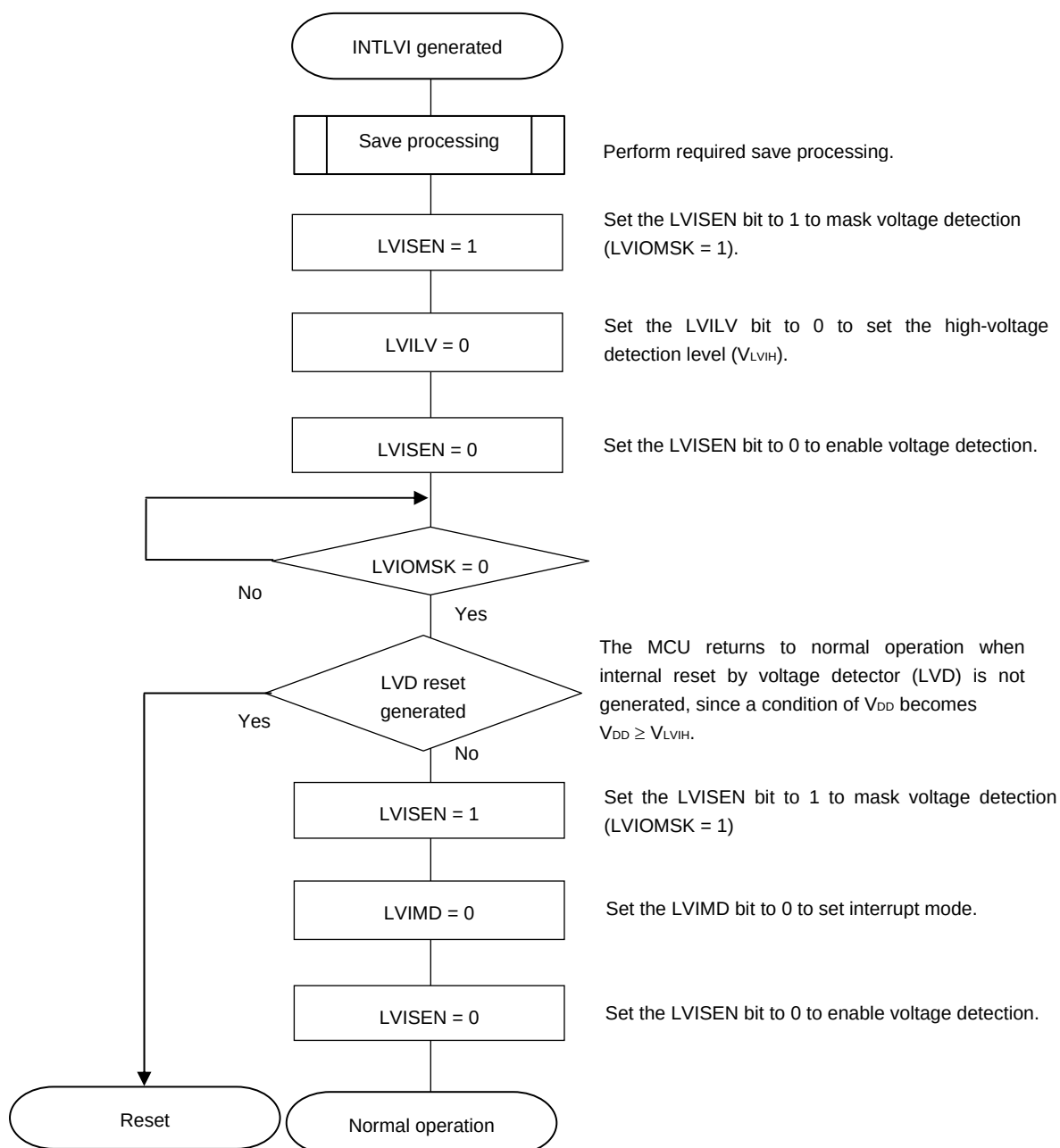


(注和备注如下页所示)

- 注 1. 通过发生复位信号，LVIMK 标志变为“1”。
2. 产生中断后，在中断和复位模式下根据 图 26-7 发生中断后的处理步骤 进行处理。
3. 解除复位后，在中断和复位模式下根据 图 26-8 中断和复位模式的初始设置 进行处理。

备注 V_{POR} : POR 电源上升检测电压
 V_{PDR} : POR 电源下降检测电压

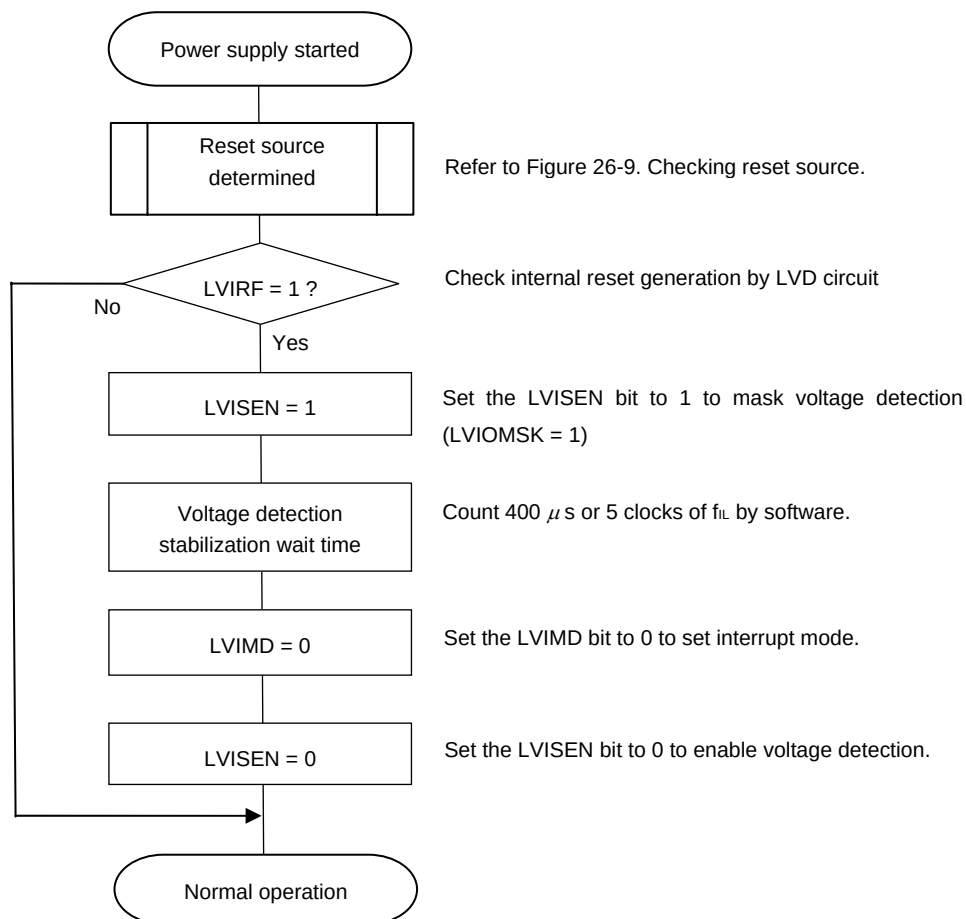
图 26-7. 发生中断后的处理步骤



当设置中断和复位模式(LVIMDS1, LVIMDS0 = 1, 0)时, 在解除 LVD 复位之后 (LVIRF = 1), 须有 400 μ s 或 5 个 f_{IL} 时钟的电压检测稳定等待时间。等到电压检测稳定之后, 以(0)清除 LVIMD 位, 使其初始化。当对电压检测稳定等待时间进行计数且重写 LVIMD 位之后, 将 LVISEN 设置为 1, 以屏蔽 LVD 引起的复位或中断发生。

中断和复位模式的初始设置的步骤如图 26-8 所示。

图 26-8. 中断和复位模式的初始设置



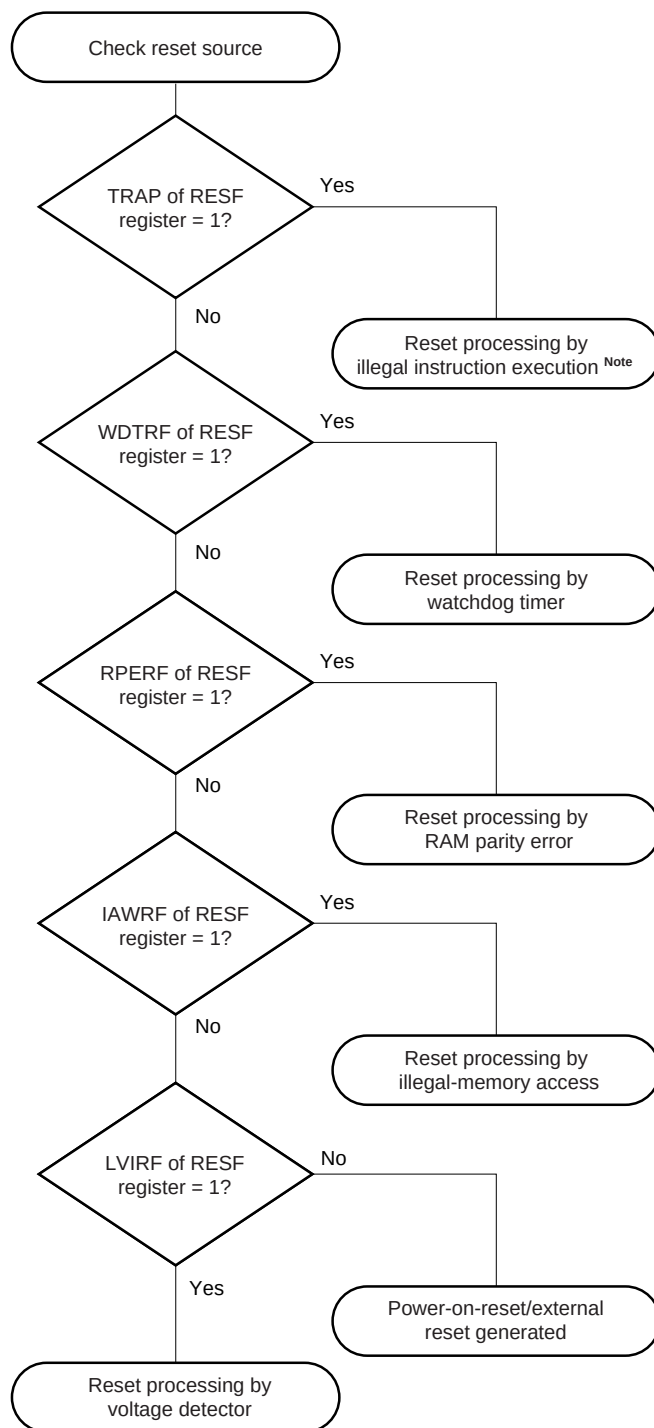
备注 f_{IL} : 低速片上振荡器的时钟频率

26.5 电压检测电路的注意事项

(1) 检验复位源

当发生复位时，通过以下方法检验复位源。

图 26-9. 检验复位源



注 当执行指令代码 FFH 时。

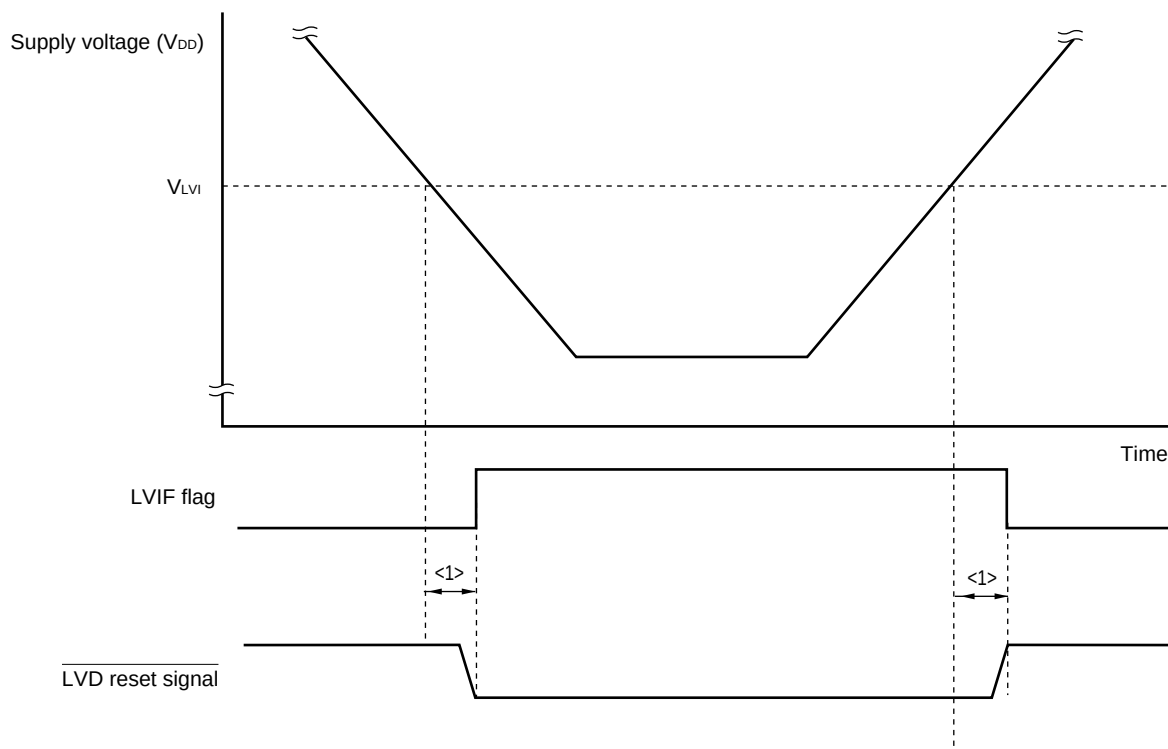
通过执行非法指令复位，该指令并非通过在线仿真器或片上调试仿真器的仿真发出。

(2) 从产生 LVD 复位源到产生或解除 LVD 复位为止的时间内的延迟

从电源电压 (V_{DD}) $<$ LVD 检测电压 (V_{LVI}) 到产生 LVD 复位的时间内有一定的延迟。

同理, 从 LVD 检测电压 (V_{LVI}) $\leq$ 电源电压 (V_{DD}) 到解除 LVD 复位的时间内也有一定的延迟 (参阅图 26-10)。

图 26-10. 从产生 LVD 复位源到产生或解除 LVD 复位的时间内的延迟



$<1>$: 检测延迟 (300 μ s (MAX.))

第二十七章 安全功能

27.1 安全功能的概述

RL78/G14 提供以下安全功能，符合 IEC60730 和 IEC61508 安全标准。
借助这些功能，微控制器可以自行诊断异常问题，并在检测到异常时停止工作。

(1) 闪存 CRC 运算功能(高速 CRC、通用 CRC)

通过执行 CRC 运算检测闪存中的数据错误。

RL78/G14 提供了两个 CRC 功能，可根据应用或用途加以使用。

- 高速 CRC: 在初始化程序执行过程中，可以停止 CPU，并在整个代码闪存区域执行高速检验。
- 通用 CRC: 在 CPU 运行期间，可以利用该功能检验代码闪存区域以外的各种数据。

(2) RAM 奇偶校验错误检测功能

当作为数据读取 RAM 时，检测奇偶校验错误。

(3) RAM 保护功能

防止当 CPU 失控时 RAM 数据被改写。

(4) SFR 保护功能

防止当 CPU 失控时 SFR 被改写。

(5) 非法存储器存取检测功能

检测非法存取非法存储器区域(诸如不存在存储器和被限存取的区域)。

(6) 频率检测功能

使用 TAU 可以检测振荡频率。

(7) A/D 测试功能

用于通过对内部基准电压执行 A/D 转换，从而对 A/D 转换执行自检。

(8) I/O 端口的数字输出信号等级检测功能

当 I/O 端口为输出模式(端口模式寄存器(PMm)的 PMm 位为 0)时，可以读取引脚的输出等级。

- 备注**
1. $m = 0$ 至 8, 10 至 12, 14, 15, $n = 0$ 至 7
 2. 有关 IEC60730 和 IEC61508 标准所要求的功能，请参阅应用手册（目前正在编写中）。

27.2 安全功能使用的寄存器

安全功能的各种功能使用如下的寄存器。

寄存器	安全功能的各种功能
- 闪存CRC控制寄存器(CRC0CTL) - 闪存CRC运算结果寄存器(PGCRCL)	闪存CRC运算功能 (高速CRC)
- CRC输入寄存器(CRCIN) - CRC数据寄存器(CRCD)	CRC运算功能 (通用CRC)
RAM奇偶校验错误控制寄存器(RPECTL)	RAM奇偶校验错误检测功能
非法存储器存取检测控制寄存器(IAWCTL)	RAM保护功能
	SFR保护功能
	非法存储器存取检测功能
定时器输入选择寄存器0 (TIS0)	频率检测功能
A/D测试寄存器(ADTES)	A/D测试功能
端口模式选择寄存器(PMS)	I/O 端口数字输出信号电平检测功能

各个寄存器的内容，在 **27.3 安全功能的操作** 中说明。

27.3 安全功能的操作

27.3.1 闪存 CRC 运算功能(高速 CRC)

IEC60730 标准要求对闪存中的数据进行检验，并建议利用 CRC 来实现。RL78/G14 提供的高速 CRC 可用于在初始化程序执行过程中，检验整个代码闪存区域。仅限通过 RAM 上的程序供应主系统时钟的 HALT 模式时，才可执行高速 CRC。

该检验的主要特点是所需时间不长。（例如，使用 32 MHz 时钟，只需 512 μ s 即可检验 64 KB 闪存。）

所用的生成 CRC 的多项式符合 CRC-16-CCITT 的“ $X^{16} + X^{12} + X^5 + 1$ ”。

高速 CRC 优先从 MSB 的位 31 到位 0 开始执行。

备注 高速 CRC 与通用 CRC 的操作结果是不一样的，因为通用 CRC 是优先从 LSB 开始执行的。

<控制寄存器>

(1) 闪存 CRC 控制寄存器(CRC0CTL)

该寄存器用于控制高速 CRC ALU 的操作，同时用于指定操作范围。

CRC0CTL 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号，将该寄存器清除为 00H。

图 27-1. 闪存 CRC 控制寄存器(CRC0CTL)的格式

地址: F02F0H 复位后: 00H R/W

符号	<7>	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	CRC ALU 的操作控制
0	停止操作
1	根据 HALT 命令的执行开始操作

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速 CRC 运算范围
0	0	0	0	0	0	00000H 至 3FFBH (16 K 至 4 字节)
0	0	0	0	0	1	00000H 至 7FFBH (32 K 至 4 字节)
0	0	0	0	1	0	00000H 至 BFFBH (48 K 至 4 字节)
0	0	0	0	1	1	00000H 至 FFFBH (64 K 至 4 字节)
0	0	0	1	0	0	00000H 至 13FFBH (80 K 至 4 字节)
0	0	0	1	0	1	00000H 至 17FFBH (96 K 至 4 字节)
0	0	0	1	1	0	00000H 至 1BFFBH (112 K 至 4 字节)
0	0	0	1	1	1	00000H 至 1FFFH (128 K 至 4 字节)
0	0	1	0	0	0	00000H 至 23FFBH (144 K 至 4 字节)
0	0	1	0	0	1	00000H 至 27FFBH (160 K 至 4 字节)
0	0	1	0	1	0	00000H 至 2BFFBH (176 K 至 4 字节)
0	0	1	0	1	1	00000H 至 2FFFH (192 K 至 4 字节)
0	0	1	1	0	0	00000H 至 33FFBH (208 K 至 4 字节)
0	0	1	1	0	1	00000H 至 37FFBH (224 K 至 4 字节)
0	0	1	1	1	0	00000H 至 3BFFBH (240 K 至 4 字节)
0	0	1	1	1	1	00000H 至 3FFFH (256 K 至 4 字节)
上述以外						禁止设置

备注 将用于比较的预期 CRC 运算结果值输入闪存的最低 4 个字节。注意, 运算范围将因此减少 4 个字节。

(2) 闪存 CRC 运算结果寄存器(PGCRCL)

这个寄存器用来存储高速 CRC 运算结果。

PGCRCL 寄存器可利用一条 16 位存储器操作指令进行设置。

通过产生复位信号，将该寄存器清除为 0000H。

图 27-2. 闪存 CRC 运算结果寄存器(PGCRCL)的格式

地址: F02F2H 复位后: 0000H R/W

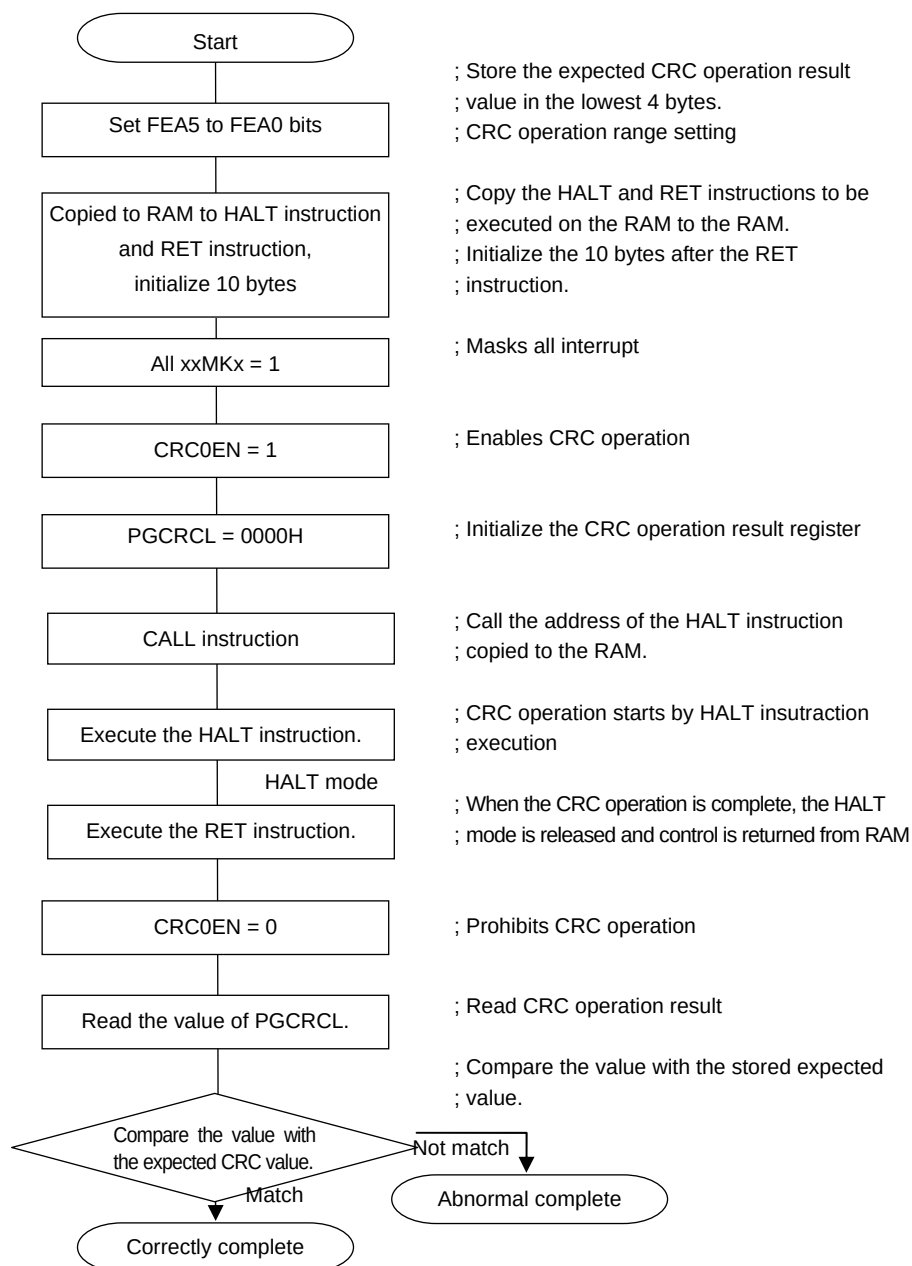
符号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15 至 0		高速 CRC 运算结果					
	0000H 至 FFFFH		存储高速 CRC 运算结果					

注意事项 仅当 **CRC0EN** (**CRC0CTL** 寄存器的位 7) = 1 时，才可对 **PGCRCL** 寄存器执行写入操作。

闪存 CRC 运算功能(高速 CRC)的流程图如图 27-3 所示。

<操作流程>

图 27-3. 闪存 CRC 运算功能(高速 CRC)的流程图



- 注意事项
1. 仅对代码闪存执行 CRC 运算。
 2. 将预期 CRC 运算值存储于代码闪存内运算范围以后的区域。
 3. 在执行 CRC 运算时，不会执行引导交换。
 4. 通过在 RAM 区域执行 HALT 指令，CRC 运算才能变为有效。
务必在 RAM 区域执行 HALT 指令。

预期 CRC 值可以利用 CubeSuite 开发环境等的工具来进行计算。（有关详情，请参阅 CubeSuite 用户手册。）

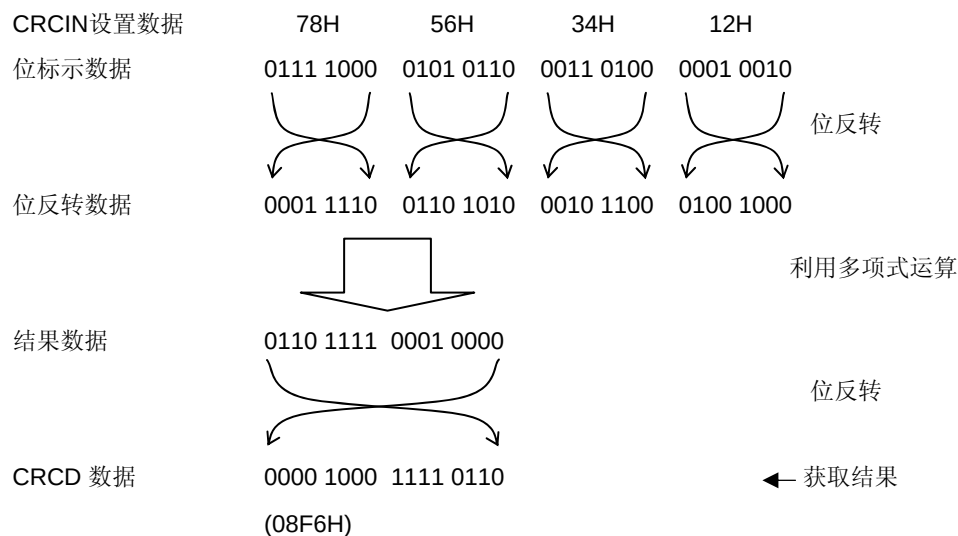
27.3.2 CRC 运算功能(通用 CRC)

为了保证操作过程中的安全，即使在 CPU 运行时 IEC61508 标准也要求检验数据。

在 RL78/G14 中，可以在 CPU 运行时，把通用 CRC 运算当作外围功能来执行。通用 CRC 可用于检验代码闪存区域以外的各种数据。待检验的数据可通过软件（用户创建的程序）来指定。

通用 CRC 运算可以在主系统时钟操作模式或子系统时钟操作模式下执行。

所用的生成 CRC 的多项式符合 CRC-16-CCITT 的“ $X^{16} + X^{12} + X^5 + 1$ ”。待输入的数据按位反转，然后进行计算以支持 LSB 优先的通信。例如，如果从 LSB 发送数据 12345678H，则写入 CRCIN 寄存器的值的顺序为 78H、56H、34H 和 12H，结果可从 CRCD 寄存器获取值 08F6H。这是针对将数据 12345678H 的位的排序反转后的位行（如下所示）执行 CRC 运算所获得的结果。



<控制寄存器>

(1) CRC 输入寄存器(CRCIN)

CRCIN 寄存器是设置通用 CRC 的 CRC 计算数据的 8 位寄存器。

可设置的范围为 00H 至 FFH。

CRCIN 寄存器可利用一条 8 位存储器操作指令进行设置。

通过产生复位信号，将该寄存器清除为 00H。

图 27-4. CRC 输入寄存器(CRCIN)的格式

地址: FFFACH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
CRCIN								
位 7 至 0				功能				
00H 至 FFH				数据输入				

(2) CRC 数据寄存器(CRCD)

这个寄存器用来存储通用 CRC 运算结果。

可设置的范围为 0000H 至 FFFFH。

从对 CRCIN 寄存器执行写入操作的时间开始经过 1 个 CPU/外围硬件时钟 (f_{CLK})的时钟周期之后, CRC 运算结果存储到 CRCD 寄存器中。

CRCD 寄存器可利用一条 16 位存储器操作指令进行设置。

通过产生复位信号, 将该寄存器清除为 0000H。

图 27-5. CRC 数据寄存器(CRCD)的格式

地址: F02FAH 复位后: 0000H R/W

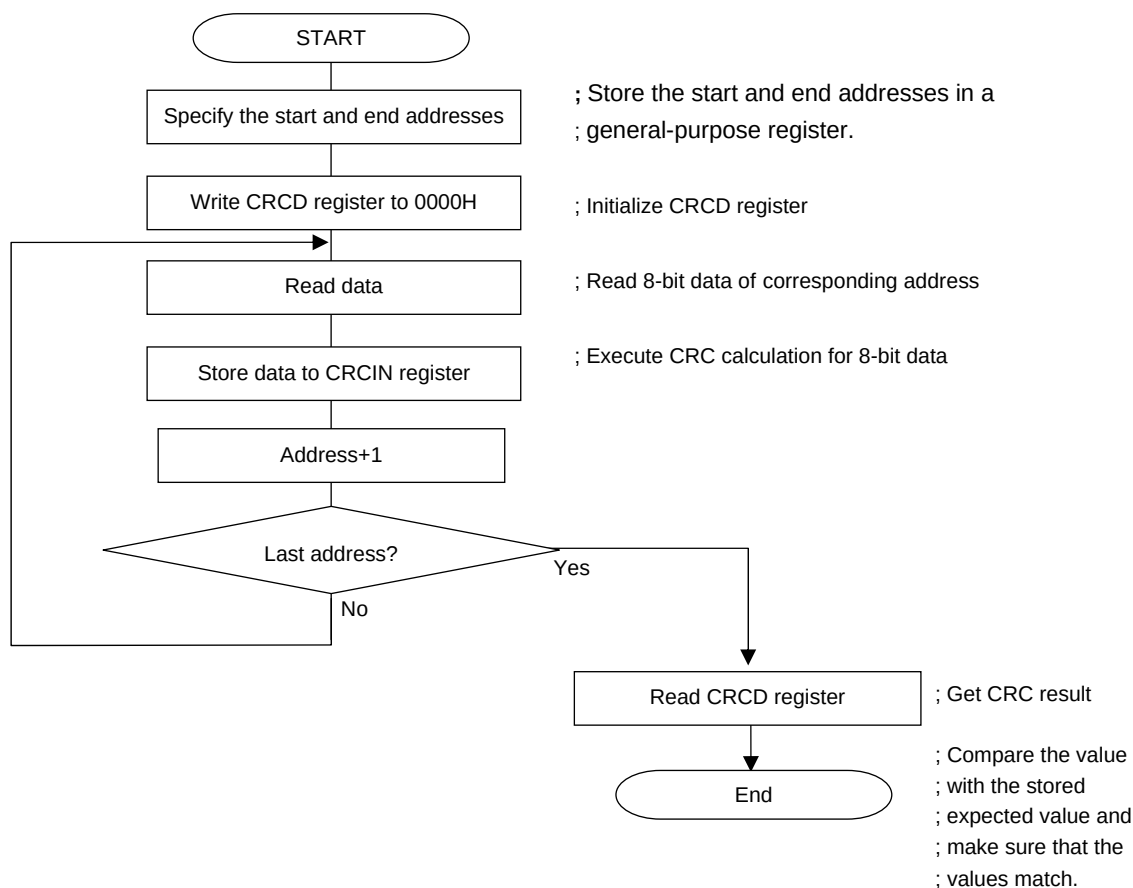
符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意事项 1. 在写入 CRCIN 寄存器之前, 须读取写入 CRCD 寄存器的值。

2. 如果向 CRCD 寄存器进行写入和存储运算结果发生冲突, 则写入操作将被忽略。

<操作流程>

图 27-6. CRC 运算功能(通用 CRC)的流程图



27.3.3 RAM 奇偶校验错误检测功能

IEC60730 标准要求对 RAM 数据进行检验。因而，对 RL78/G14 的 RAM 中的所有 8 位数据，都会添加由一个位构成的奇偶校验位。使用这个 RAM 奇偶校验错误检测功能，该奇偶校验位在写入数据时将被附加上去，并在读取数据时对该奇偶校验位进行检验。这个功能可以在发生奇偶校验错误时引起复位。

<控制寄存器>

• RAM 奇偶校验错误控制寄存器(RPECTL)

这个寄存器用来控制奇偶校验错误的发生检查位和因奇偶校验错误而导致的发生复位。

RPECTL 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号，将该寄存器清除为 00H。

图 27-7. RAM 奇偶校验错误控制寄存器(RPECTL)的格式

地址: F00F5H 复位后: 00H R/W

符号	<7>	6	5	4	3	2	1	<0>
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	奇偶校验错误复位屏蔽标志
0	允许奇偶校验错误发生复位
1	禁止奇偶校验错误发生复位

RPEF	奇偶校验错误状态标志
0	没有发生奇偶校验错误
1	已发生奇偶校验错误

注意事项 从 RAM 获取的指令代码，在执行过程中不受奇偶校验错误检测的影响。然而，RL78 的 CPU 因流水操作会执行预取，CPU 可能读取分配至所用 RAM 以外的未初始化的 RAM 区域，结果导致 RAM 奇偶校验错误。因此，当启用 RAM 奇偶校验错误结果 (RPERDIS = 0) 时，务必对所用 RAM 区域 + 10 字节的区域进行初始化。

此外，通过 RAM 的指令读取的 RAM 数据受奇偶校验错误检测的影响。

- 备注 1.** RAM 奇偶校验错误检查一直为 on，并且可通过 RPEF 标志来确认其结果。
- 2.** 初始状态下允许奇偶校验错误发生复位(RPERDIS = 0)。
即使设置为禁止奇偶校验错误发生复位(RPERDIS = 1)，发生奇偶校验错误时 RPEF 标志会被设为(1)。
- 3.** 因 RAM 奇偶校验错误 RPEF 标志被设为(1)，并通过写入 0 或任何复位源清零 (0)。当 RPEF = 1 时，即使读取的是未发生奇偶校验错误的 RAM，也会保留值。

27.3.4 RAM 保护功能

为了保证操作过程中的安全，即使在 CPU 停止运行时 IEC61508 标准也要求保护存储于 RAM 的重要数据。
这个 RAM 保护功能用来保护指定的存储器空间的数据。
若设为 RAM 保护功能，则写入指定的 RAM 空间变为无效，但可以照常从此空间读出。

<控制寄存器>

• 非法存储器存取检测控制寄存器(IAWCTL)

这个寄存器用来控制非法存储器存取的检测和 RAM/SFR 保护功能。
RAM 保护功能使用 GRAM1 和 GRAM0 位。
IAWCTL 寄存器可利用一条 8 位存储器操作指令进行设置。
通过产生复位信号，将该寄存器清除为 00H。

图 27-8. 非法存储器存取检测控制寄存器(IAWCTL)的格式

地址: F0078H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAM保护空间 ^注
0	0	无效。RAM 可以写入。
0	1	从低 RAM 地址开始的 128 字节
1	0	从低 RAM 地址开始的 256 字节
1	1	从低 RAM 地址开始的 512 字节

注 RAM 的开始地址因所用产品装载的 RAM 大小而异。

27.3.5 SFR 保护功能

为了保证操作过程中的安全，即使在 CPU 停止运行时 IEC61508 标准也要求保护重要的 SFR，使其免遭覆盖。

SFR 保护功能用来保护端口功能，中断功能，时钟控制功能，电压检测电路和 RAM 奇偶校验错误检测功能的控制寄存器的数据。

若设为 SFR 保护功能，则写入被保护的 SFR 变为无效，但可以照常进行读出。

<控制寄存器>

● 非法存储器存取检测控制寄存器(IAWCTL)

这个寄存器用来控制非法存储器存取的检测和 RAM/SFR 保护功能。

SFR 保护功能使用 GPORT、GINT 和 GCSC 位。

IAWCTL 寄存器可利用一条 8 位存储器操作指令进行设置。

通过产生复位信号，将该寄存器清除为 00H。

图 27-9. 非法存储器存取检测控制寄存器(IAWCTL)的格式

地址: F0078H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	端口功能的控制寄存器的保护
0	无效。可读出或写入端口功能的控制寄存器。
1	有效。写入端口功能的控制寄存器为无效。读出为有效。 [被保护的SFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIOR ^{注1}

GINT	中断功能的寄存器的保护
0	无效。可读出或写入中断功能的寄存器。
1	有效。写入中断功能的寄存器为无效。读出为有效。 [被保护的 SFR] IFxx, MKxx, PRxx, EGPx, EGNx

GCSC ^{注2}	时钟控制功能，电压检测电路和 RAM 奇偶校验错误检测功能的控制寄存器的保护
0	无效。可读出或写入时钟控制功能，电压检测电路和 RAM 奇偶校验错误检测功能的控制寄存器。
1	有效。写入时钟控制功能，电压检测电路和 RAM 奇偶校验错误检测功能的控制寄存器为无效。读出为有效。 [被保护的 SFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL

注 1. Pxx (端口寄存器)不被保护。

2. 在自编程时，清除 GCSC 位为 0。

27.3.6 非法存储器存取检测功能

IEC60730 标准要求检验 CPU 和中断均工作正常。

如果对指定为禁止存取的存储器空间进行存取，则非法存储器存取检测功能将触发复位。

非法存储器存取检测功能适用于图 27-10 中表示为 NG 的区域。

图 27-10. 非法存取检测空间

		Possibility access		Fetching instructions (execute)
		Read	Write	
FFFFFH	Special function register (SFR) 256 byte			NG
FFF00H	General-purpose register 32 byte		OK	OK
FFE00H				
FFEDFH	RAM ^{Note}	OK		
yyyyyH				
	Mirror			
	Data flash memory		NG	NG
F1000H	Reserved			OK
F0FFFH				
F0800H	Special function register (2nd SFR) 2 Kbyte		OK	NG
F07FFH				
F0000H				OK
FFFFFFH				
EF000H	Reserved	NG	NG	NG
EEFFFH				
xxxxxH	Code flash memory ^{Note}	OK		OK
00000H				

注 各产品的代码闪存和 RAM 地址如下所示。

产品	代码闪存 (00000H至xxxxxH)	RAM (yyyyyH至FFFFFFH)
R5F104xA (x = A至C, E至G)	16384 × 8位(00000H至03FFFH)	2560 × 8位(FF500H至FFFFFFH)
R5F104xC (x = A至C, E至G, J, L)	32768 × 8位(00000H至07FFFH)	4096 × 8位(FEF00H至FFFFFFH)
R5F104xD (x = A至C, E至G, J, L)	49152 × 8位(00000H至0BFFFH)	5632 × 8位(FE900H至FFFFFFH)
R5F104xE (x = A至C, E至G, J, L)	65536 × 8位(00000H至0FFFFH)	5632 × 8位(FE900H至FFFFFFH)
R5F104xF (x = A至C, E至G, J, L, M, P)	98304 × 8位(00000H至17FFFH)	12288 × 8位(FCF00H至FFFFFFH)
R5F104xG (x = A至C, E至G, J, L, M, P)	131072 × 8位(00000H至1FFFFH)	16384 × 8位(FBF00H至FFFFFFH)
R5F104xH (x = E至G, J, L, M, P)	196608 × 8位(00000H至2FFFFH)	20480 × 8位(FAF00H至FFFFFFH)
R5F104xJ (x = F, G, J, L, M, P)	262144 × 8位(00000H至3FFFFH)	24576 × 8位(F9F00H至FFFFFFH)

<控制寄存器>

• 非法存储器存取检测控制寄存器(IAWCTL)

这个寄存器用来控制非法存储器存取的检测和 RAM/SFR 保护功能。

非法存储器存取检测功能使用 IAWEN 位。

IAWCTL 寄存器可利用一条 8 位存储器操作指令进行设置。

通过产生复位信号，将该寄存器清除为 00H。

图 27-11. 非法存储器存取检测控制寄存器(IAWCTL)的格式

地址: F0078H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN ^註	非法存储器存取的检测控制
0	非法存储器存取的检测无效
1	非法存储器存取的检测有效

备注 若将选项字节指定为 WDTON = 1，则将始终启用非法存储器存取功能，不受 IAWEN 位的设置的影响。(有关详情，请参阅第二十九章选项字节)

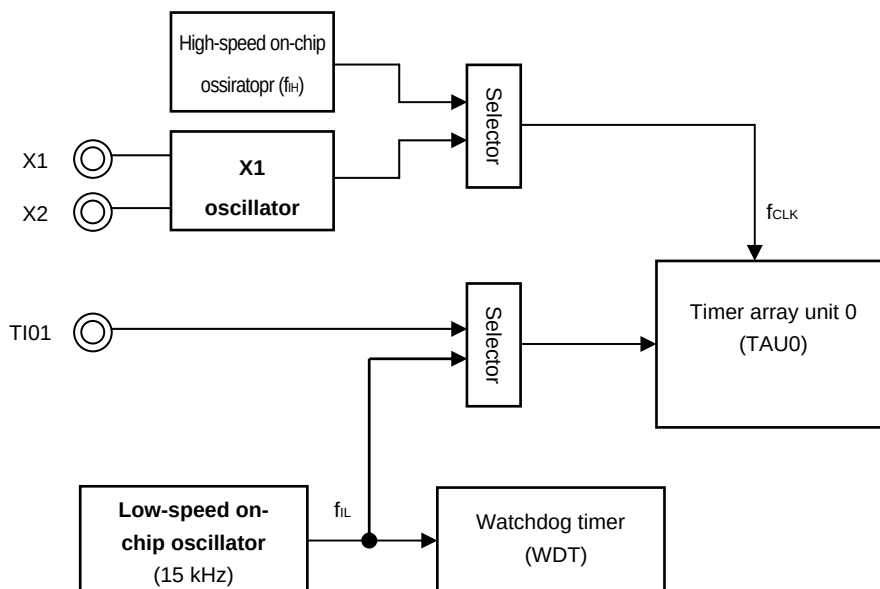
注 只能向 IAWEN 位写入 1，而不是在将其设为 1 之后向其写入 0。

27.3.7 频率检测功能

IEC60730 标准要求检验振荡频率正常。

频率检测功能可以检测时钟的工作频率是否异常，方法是内部高速振荡时钟或外部 X1 振荡时钟与内部低速振荡时钟 (15 kHz) 进行比较。

图 27-12. 频率检测功能的配置



<操作概述>

可以通过在以下条件下测量脉冲宽度来判断时钟频率是否正确：

- 将内部高速振荡时钟 (f_H) 或外部 X1 振荡时钟 (f_M) 选为 CPU/外围硬件时钟 (f_{CLK})。
- 将内部低速振荡时钟 (f_{IL} : 15 kHz) 选为定时器阵列单元 0 (TAU0) 通道 1 的定时器输入。

如果脉冲宽度测量得到异常值，则可得出结论认为，时钟频率异常。

若要了解如何执行脉冲宽度测量，请参阅 6.7.4 作为输入脉冲间隔测量的操作。

<控制寄存器>

• 定时器输入选择寄存器 0 (TIS0)

这个寄存器用来选择通道 1 的定时器输入。

通过将内部低速振荡时钟选为定时器输入，则可测量其脉冲宽度，以确定内部低速振荡时钟与定时器操作时钟之间的比例关系是否正确。

TIS0 寄存器可利用一条 8 位存储器操作指令进行设置。

通过产生复位信号，将该寄存器清除为 00H。

图 27-13. 定时器输入选择寄存器 0 (TIS0)的格式

地址: F0074H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00

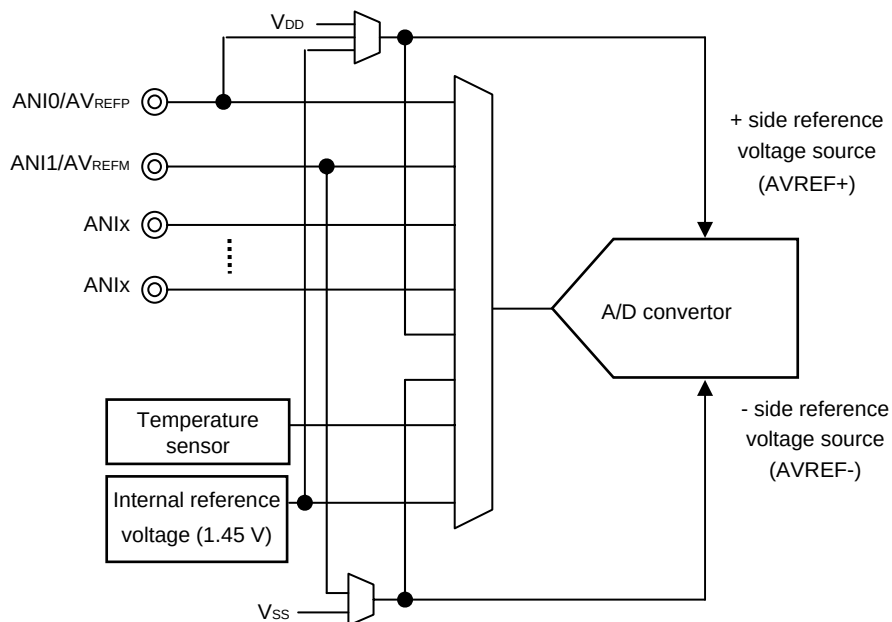
TIS04	选择通道0使用的定时器输入
0	定时器输入引脚(TI00)的输入信号
1	ELC的事件输入信号

TIS02	TIS01	TIS00	选择通道1使用的定时器输入
0	0	0	定时器输入引脚(TI01)的输入信号
0	0	1	ELC的事件输入信号
0	1	0	定时器输入引脚(TI01)的输入信号
0	1	1	定时器输入引脚(TI01)的输入信号
1	0	0	低速片上振荡器时钟 (f _{IL})
1	0	1	副系统时钟 (f _{SUB})
上述以外			禁止设置

27.3.8 A/D 测试功能

IEC60730 标准要求对 A/D 转换器进行测试。A/D 测试功能用于检验 A/D 转换器是否工作正常，方法是对 0 V 内部电压、AVREF 电压和内部基准电压(1.45 V) 执行 A/D 转换。

图 27-14. A/D 测试功能的配置



<控制寄存器>

(1) A/D 测试寄存器(ADTES)

该寄存器用于将 A/D 转换器的+端的基准电压 AV_{REFP} 、A/D 转换器的-端的基准电压 AV_{REFM} 或模拟输入通道(ANlxx)选为 A/D 转换的目标。

使用 A/D 测试功能时，指定以下的设置：

- 在转换内部 0 V 电压时，将 AV_{REFM} 选为 A/D 转换的目标。
- 在转换 AV_{REF} 时，将 AV_{REFP} 选为 A/D 转换的目标。
- 在转换内部基准电压 (1.45 V) 时，把 ANlxx 选为 A/D 转换的目标，并在 ADS 寄存器中把内部基准电压输出指定为输入源。

ADTES 寄存器可利用一条 8 位存储器操作指令进行设置。

通过产生复位信号，将该寄存器清除为 00H。

图 27-15. A/D 测试寄存器(ADTES)的格式

地址：F0013H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D 转换对象
0	0	ANlxx (指定使用模拟输入通道指定寄存器(ADS))
1	0	AV_{REFM}
1	1	AV_{REFP}
上述以外		禁止设置

(2) 模拟输入通道指定寄存器(ADS)

该寄存器用于指定将进行 A/D 转换的模拟电压的输入通道。

在转换内部基准电压 (1.45 V) 时, 通过 ADTS 寄存器把 ANIxx 选为 A/D 转换的目标, 并在模拟输入通道指定寄存器 (ADS) 寄存器中把内部基准电压输出指定为输入源。

ADS 寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

通过产生复位信号, 将该寄存器清除为 00H。

图 27-16. 模拟输入通道指定寄存器(ADS)的格式

地址: FFF31H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○选择模式 (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	模拟输入通道	输入源
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 引脚
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 引脚
0	0	0	0	1	0	ANI2	P22/ANI2 引脚
0	0	0	0	1	1	ANI3	P23/ANI3 引脚
0	0	0	1	0	0	ANI4	P24/ANI4 引脚
0	0	0	1	0	1	ANI5	P25/ANI5 引脚
0	0	0	1	1	0	ANI6	P26/ANI6 引脚
0	0	0	1	1	1	ANI7	P27/ANI7 引脚
0	0	1	0	0	0	ANI8	P150/ANI8 引脚
0	0	1	0	0	1	ANI9	P151/ANI9 引脚
0	0	1	0	1	0	ANI10	P152/ANI10 引脚
0	0	1	0	1	1	ANI11	P153/ANI11 引脚
0	0	1	1	0	0	ANI12	P154/ANI12 引脚
0	0	1	1	0	1	ANI13	P155/ANI13 引脚
0	0	1	1	1	0	ANI14	P156/ANI14 引脚
0	1	0	0	0	0	ANI16	P03/ANI16 引脚 ^{注1}
0	1	0	0	0	1	ANI17	P02/ANI17 引脚 ^{注2}
0	1	0	0	1	0	ANI18	P147/ANI18 引脚
0	1	0	0	1	1	ANI19	P120/ANI19 引脚
0	1	0	1	0	0	ANI20	P100/ANI20 引脚
1	0	0	0	0	0	—	温度传感器输出 ^{注3}
1	0	0	0	0	1	—	内部基准电压输出 (1.45 V)
上述以外						禁止设置	

注 1. 30、32 针产品: P01/ANI16 引脚

2. 30、32 针产品: P00/ANI17 引脚

3. 在具有 96 KB 或更大代码闪存的产品中, 如果选择温度传感器输出, 则不能将内部基准电压(1.45 V)选为比较器 0 和 1 的基准电压。

(注意事项如下页所示)

- 注意事项
1. 务必将位 5 和位 6 清除为 0。
 2. 仅当 A/D 电压比较器处于操作停止状态时（即当 A/D 转换器模式寄存器 0 (ADM0)的 ADCE 位为 0 时），才可重写 ADISS 位的值。
 3. 如果将 AV_{REFP} 用作 A/D 转换器的+ 端基准电压源，则不能将 ANI0 选为 A/D 转换通道。
 4. 如果将 AV_{REFM} 用作 A/D 转换器的- 端基准电压源，则不能将 ANI1 选为 A/D 转换通道。
 5. 如果将 ADISS 设为 1，则不能将内部基准电压 (1.45 V)用作+ 端基准电压源。

27.3.9 I/O 端口的数字输出信号等级检测功能

在 IEC60730 中，必须确认 I/O 功能正确运行。

通过使用 I/O 端口的数字输出信号电平检测功能，可以在端口被设置为输出模式（端口模式寄存器(PMm)中的 PMmn 位为 0）时读取该引脚的数字输出电平。

<控制寄存器>

• 端口模式选择寄存器(PMS)

该寄存器用于在端口为输出模式（端口模式寄存器(PMm)中的 PMmn 位为 0）时从输出锁存器电平或引脚输出电平中选择输出电平。

该寄存器可利用一条 1 位或 8 位存储器操作指令进行设置。

产生复位信号后，将该寄存器清除为 00H。

图 27-17. 端口模式选择寄存器(PMS)的格式

地址: F007BH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	选择端口为输出模式 (PMmn = 0)时读取的数据
0	读取 Pmn 寄存器的值
1	读取引脚的数字输出等级

备注 m = 0 至 8, 10 至 12, 14, 15
 n = 0 至 7

第二十八章 稳压器

28.1 稳压器的概述

RL78/G14 内置了一个可使器件内部以恒定电压操作的电路。此时，为了稳定稳压器输出电压，须通过一个电容(0.47 至 1 μ F)将 REGC 引脚连接至 V_{SS}。并且，要使用优质电容，因为其作用是稳定内部电压。

稳压器输出电压，请参阅表 28-1。

表 28-1. 稳压器输出电压条件

模式	输出电压	条件
低电压主模式	1.8 V	-
低速主模式		
高速主模式	1.8 V	STOP 模式时
		当高速系统时钟 (f _{MX}) 和高速片上振荡器时钟 (f _{IH}) 均在 CPU 以子系统时钟 (f _{XT}) 运行期间停止时
	2.1 V	当高速系统时钟 (f _{MX}) 和高速片上振荡器时钟 (f _{IH}) 均在 HALT 模式期间停止时（已将 CPU 设为以子系统时钟 (f _{XT}) 运行）
		上述以外 (包括OCD 模式) ^注

注 当在片上调试期间，切换至子系统时钟运行模式或 STOP 模式时，稳压器输出电压保持于 2.1 V（不会下降至 1.8 V）。

第二十九章 选项字节

29.1 选项字节的功能

RL78/G14 的闪存的地址 000C0H 至 000C3H 为选项字节区域。

选项字节由用户选项字节 (000C0H 至 000C2H)和片上调试选项字节 (000C3H)构成。

上电或从复位的启动时，将自动以一个选项字节为基准并设置指定的功能。在使用本产品时，务必利用选项字节来设置以下功能。

若要在自编程过程中使用引导交换操作时，由 010C0H 至 010C3H 与 000C0H 至 000C3H 替换。因此，须将 010C0H 至 010C3H 设置为与 000C0H 至 000C3H 相同的值。

29.1.1 用户选项字节 (000C0H 至 000C2H/010C0H 至 010C2H)

(1) 000C0H/010C0H

- 看门狗定时器的操作
 - HALT 或 STOP 模式时的操作停止或启用
- 看门狗定时器的溢出时间的设置
- 看门狗定时器的操作
 - 操作停止或启用。
- 看门狗定时器的窗口打开期间的设置
- 看门狗定时器的间隔中断的设置
 - 使用或不使用

注意事项 在使用引导交换操作时，由于 000C0H 与 010C0H 替换。因此，须将 010C0H 设置为与 000C0H 相同的值。

(2) 000C1H/010C1H

- 设置 LVD 操作模式
 - 中断&复位模式
 - 复位模式
 - 中断模式
- 设置 LVD 检测水平 (V_{LVIH} , V_{LVIL} , V_{LVI})

注意事项 在使用引导交换操作时，由于 000C1H 与 010C1H 替换。因此，须将 000C1H 设置为与 010C1H 相同的值。

(3) 000C2H/010C2H

- 设置 flash 操作模式
 - LV (低电压主)模式
 - LS (低速主)模式
 - HS (高速主)模式
- 设置高速片上振荡器的频率
 - 可从 1 MHz、4 MHz、8 MHz、12 MHz、16 MHz、24 MHz、32 MHz、48 MHz 和 64 MHz 中选择。

注意事项 在使用引导交换操作时，由于 000C2H 与 010C2H 切换。因此，须将 000C2H 设置为与 010C2H 相同的值。

29.1.2 片上调试选项字节 (000C3H/ 010C3H)

- 片上调试操作控制
 - 禁止/允许片上调试操作
- 在片上调试安全 ID 验证失败时处理闪存数据
 - 在片上调试安全 ID 验证失败时闪存的数据将被擦除或不被擦除。

注意事项 在使用引导交换操作时，由于 000C3H 与 010C3H 切换。因此，须将 000C3H 设置为与 010C3H 相同的值。

29.2 用户选项字节的格式

用户选项字节的格式如下所示。

图 29-1. 用户选项字节(000C0H/010C0H)的格式

地址: 000C0H/010C0H^{※1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	使用看门狗定时器的间隔中断						
0	不使用间隔中断。						
1	当达到溢出时间的 75%时，产生间隔中断。						
WINDOW1	WINDOW0	看门狗定时器的窗口打开期间 ^{註2}					
0	0	禁止设置					
0	1	50%					
1	0	75%					
1	1	100%					
WDTON	看门狗定时器的计数器的操作控制						
0	禁止计数器操作 (复位后停止计数)						
1	允许计数器操作 (复位后开始计数)						
WDCS2	WDCS1	WDCS0	看门狗定时器的溢出时间 (f _{IL} = 17.25 kHz (MAX.))				
0	0	0	2 ⁶ /f _{IL} (3.71 ms)				
0	0	1	2 ⁷ /f _{IL} (7.42 ms)				
0	1	0	2 ⁸ /f _{IL} (14.84 ms)				
0	1	1	2 ⁹ /f _{IL} (29.68 ms)				
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)				
1	0	1	2 ¹³ /f _{IL} (474.90 ms)				
1	1	0	2 ¹⁴ /f _{IL} (949.80 ms)				
1	1	1	2 ¹⁶ /f _{IL} (3799.19 ms)				
WDSTBYON	看门狗定时器的计数器的操作控制 (HALT/STOP 模式)						
0	HALT/STOP模式时，停止计数器操作 ^{註2}						
1	HALT/STOP 模式时，允许计数器操作						

注 1. 在使用引导交换操作时, 由于 000C0H 与 010C0H 替换。因此须将 000C0H 设置为与 010C0H 相同的值。

2. 当 WDSTBYON = 0 时, 窗口开启周期为 100%, 与 WINDOW1 和 WINDOW0 位的值无关。

注意事项 看门狗定时器将在 EEPROM 仿真过程中继续运行。处理过程中, 中断的受理时间将被延迟。在设置溢出时间和窗口尺寸时要考虑该延迟。

备注 f_{IL}: 低速片上振荡器时钟频率

图 29-2. 用户选项字节(000C1H/010C1H)的格式 (1/4)

地址: 000C1H/010C1H[※]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• 当用作中断&复位模式时

检测电压			选项字节设置值							
V _{LVIH}		V _{LVIL}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	
上升沿	下降沿	下降沿								
1.77 V	1.73 V	1.63 V	1	0	0	0	0	1	0	
1.88 V	1.84 V							0	1	
2.92 V	2.86 V							0	0	
1.98 V	1.94 V	1.84 V			0	0	1	1	0	
2.09 V	2.04 V							0	1	
3.13 V	3.06 V							0	0	
2.61 V	2.55 V	2.45 V			0	1	0	1	0	
2.71 V	2.65 V							0	1	
3.75 V	3.67 V							0	0	
2.92 V	2.86 V	2.75 V			0	1	1	1	0	
3.02 V	2.96 V							0	1	
4.06 V	3.98 V							0	0	
上述以外			禁止设置							

注 在使用引导交换操作时，由于 000C1H 与 010C1H 替换。因此须将 000C1H 设置为与 010C1H 相同的值。

- 注意事项**
- 务必要设置位 4 为“1”。
 - 请在工作电压范围内设置检测电压 (V_{LVIL})。工作电压范围由选项字节(000C2H/010C2H)的设置而定。
工作电压范围如下所示。
- HS (高速主) 模式: V_{DD} = 2.7 至 5.5 V@1 MHz 至 32 MHz
 V_{DD} = 2.4 至 5.5 V@1 MHz 至 16 MHz
- LS (低速主) 模式: V_{DD} = 1.8 至 5.5 V@1 MHz 至 8 MHz
- LV (低电压主) 模式: V_{DD} = 1.6 至 5.5 V@1 MHz 至 4 MHz

图 29-2. 用户选项字节(000C1H/010C1H)的格式 (2/4)

地址: 000C1H/010C1H[※]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• 当用作复位模式时

检测电压		选项字节设置值						
V _{LVI}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
上升沿	下降沿							
1.67 V	1.63 V	1	1	0	0	0	1	1
1.77 V	1.73 V			0	0	0	1	0
1.88 V	1.84 V			0	0	1	1	1
1.98 V	1.94 V			0	0	1	1	0
2.09 V	2.04 V			0	0	1	0	1
2.50 V	2.45 V			0	1	0	1	1
2.61 V	2.55 V			0	1	0	1	0
2.71 V	2.65 V			0	1	0	0	1
2.81 V	2.75 V			0	1	1	1	1
2.92 V	2.86 V			0	1	1	1	0
3.02 V	2.96 V			0	1	1	0	1
3.13 V	3.06 V			0	0	1	0	0
3.75 V	3.67 V			0	1	0	0	0
4.06 V	3.98 V			0	1	1	0	0
上述以外		禁止设置						

注 在使用引导交换操作时，由于 000C1H 与 010C1H 替换。因此须将 000C1H 设置为与 010C1H 相同的值。

- 注意事项 1. 务必要设置位 4 为“1”。
2. 请在工作电压范围内设置检测电压 (V_{LVI})。工作电压范围由选项字节(000C2H/010C2H)的设置而定。工作电压范围如下所示。
- | | |
|---------------|--|
| HS (高速主) 模式: | V _{DD} = 2.7 至 5.5 V@1 MHz 至 32 MHz |
| | V _{DD} = 2.4 至 5.5 V@1 MHz 至 16 MHz |
| LS (低速主) 模式: | V _{DD} = 1.8 至 5.5 V@1 MHz 至 8 MHz |
| LV (低电压主) 模式: | V _{DD} = 1.6 至 5.5 V@1 MHz 至 4 MHz |

图 29-2. 用户选项字节(000C1H/010C1H)的格式 (3/4)

地址: 000C1H/010C1H[※]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• 当用作中断模式时

检测电压		选项字节设置值						
V _{LVI}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
上升沿	下降沿							
1.67 V	1.63 V	0	1	0	0	0	1	1
1.77 V	1.73 V			0	0	0	1	0
1.88 V	1.84 V			0	0	1	1	1
1.98 V	1.94 V			0	0	1	1	0
2.09 V	2.04 V			0	0	1	0	1
2.50 V	2.45 V			0	1	0	1	1
2.61 V	2.55 V			0	1	0	1	0
2.71 V	2.65 V			0	1	0	0	1
2.81 V	2.75 V			0	1	1	1	1
2.92 V	2.86 V			0	1	1	1	0
3.02 V	2.96 V			0	1	1	0	1
3.13 V	3.06 V			0	0	1	0	0
3.75 V	3.67 V			0	1	0	0	0
4.06 V	3.98 V			0	1	1	0	0
上述以外		禁止设置						

注 在使用引导交换操作时，由于 000C1H 与 010C1H 替换。因此须将 000C1H 设置为与 010C1H 相同的值。

- 注意事项
1. 务必要设置位 4 为“1”。
 2. 请在工作电压范围内设置检测电压 (V_{LVI})。工作电压范围由选项字节(000C2H/010C2H)的设置而定。
工作电压范围如下所示。
- | | |
|---------------|--|
| HS (高速主) 模式: | V _{DD} = 2.7 至 5.5 V@1 MHz 至 32 MHz |
| | V _{DD} = 2.4 至 5.5 V@1 MHz 至 16 MHz |
| LS (低速主) 模式: | V _{DD} = 1.8 至 5.5 V@1 MHz 至 8 MHz |
| LV (低电压主) 模式: | V _{DD} = 1.6 至 5.5 V@1 MHz 至 4 MHz |

图 29-2. 用户选项字节(000C1H/010C1H)的格式 (4/4)

地址: 000C1H/010C1H[※]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• 当 LVD OFF 时

检测电压		选项字节设置值						
V _{LVI}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
上升沿	下降沿							
—	—	0/1	1	1	×	×	×	×
上述以外		禁止设置						

注 在使用引导交换操作时，由于 000C1H 与 010C1H 替换。因此须将 000C1H 设置为与 010C1H 相同的值。

注意事项 1. 务必要设置位 4 为“1”。

2. 当 LVD 关闭时，须执行外部复位。向 $\overline{\text{RESET}}$ 引脚输入 10 μs 或 10 μs 以上的低电平来引起外部复位。要在加电时执行外部复位，则须在上电前向 $\overline{\text{RESET}}$ 引脚输入一个低电平，并在电源电压处于工作电压范围内的期间，使该低电平保持至少 10 μs ，然后输入一个高电平。加电后，在电源电压不处于工作电压范围内的期间，不得向 $\overline{\text{RESET}}$ 引脚输入高电平。工作电压范围由选项字节(000C2H/010C2H)的设置而定。工作电压范围如下所示。

HS (高速主) 模式: $V_{\text{DD}} = 2.7 \text{ 至 } 5.5 \text{ V@}1 \text{ MHz 至 } 32 \text{ MHz}$

$V_{\text{DD}} = 2.4 \text{ 至 } 5.5 \text{ V@}1 \text{ MHz 至 } 16 \text{ MHz}$

LS (低速主) 模式: $V_{\text{DD}} = 1.8 \text{ 至 } 5.5 \text{ V@}1 \text{ MHz 至 } 8 \text{ MHz}$

LV (低电压主) 模式: $V_{\text{DD}} = 1.6 \text{ 至 } 5.5 \text{ V@}1 \text{ MHz 至 } 4 \text{ MHz}$

备注 ×: 忽略

图 29-3. 选项字节(000C2H/010C2H)的格式

地址: 000C2H/010C2H^注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	flash 操作模式的设置		
		工作频率范围	工作电压范围	
0	0	LV (低电压主) 模式	1 至 4 MHz	1.6 至 5.5 V
1	0	LS (低速主) 模式	1 至 8 MHz	1.8 至 5.5 V
1	1	HS (高速主) 模式	1 至 16 MHz	2.4 至 5.5 V
			1 至 32 MHz	2.7 至 5.5 V
上述以外		禁止设置		

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速片上振荡器的频率	
					f _{HOCO}	f _{IH}
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	1	0	1	1	4 MHz	4 MHz
0	1	1	0	1	1 MHz	1 MHz
上述以外					禁止设置	

注 在使用引导交换操作时，由于 000C2H 与 010C2H 替换。因此须将 000C2H 设置为与 010C2H 相同的值。

29.3 片上调试选项字节的格式

片上调试选项字节的格式如下所示。

图 29-4. 片上调试选项字节(000C3H/010C3H)的格式

地址: 000C3H/010C3H[#]

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	片上调试操作控制
0	0	禁止片上调试操作
0	1	禁止设置
1	0	允许片上调试操作。 在片上调试安全 ID 验证失败时擦除闪存数据。
1	1	允许片上调试操作。 在片上调试安全 ID 验证失败时不擦除闪存数据。

注 在使用引导交换操作时，由于 000C3H 与 010C3H 替换。因此须将 000C3H 设置为与 010C3H 相同的值。

注意事项 仅限位 7 和 0 (OCDENSET 和 OCDERSD)，可以指定值。
务必要设置 000010B 至位 6 至 1。

备注 位 3 至位 1 的值在使用 On-chip 调试功能时将被覆盖，因此在设置后将变得不稳定。
然而，请确保在设置时将位 3 至位 1 设为默认值（0、1 和 0）。

29.4 选项字节的设置

除通过描述源以外，用户选项字节和片上调试选项字节也可以通过编译器的连接器选项进行设置。设置时，利用连接器选项进行设置的内容优先，即使源中存在描述也是如此，如下所示。

以下为选项字节设置的软件描述示例。

OPT	CSEG	OPT_BYTE
	DB	36H ; 不使用看门狗定时器的间隔中断， ; 允许看门狗定时器操作， ; 看门狗定时器的窗口打开期间为 50%， ; 看门狗定时器的溢出时间为 $2^9/f_{IL}$ ， ; HALT/STOP 模式时，停止看门狗定时器操作
	DB	1AH ; 给 V_{LVIL} 选择 1.63 V ; 给 V_{LVIH} 选择上升沿 1.77 V, 选择下降沿 1.73 V ; LVD 操作模式选择中断&复位模式
	DB	2DH ; flash 操作模式选择 LV (低电压主)模式 高速片上振荡器频率选择 1 MHz
	DB	85H ; 允许片上调试操作，不擦除闪存 数据（当安全 ID 验证失败时）

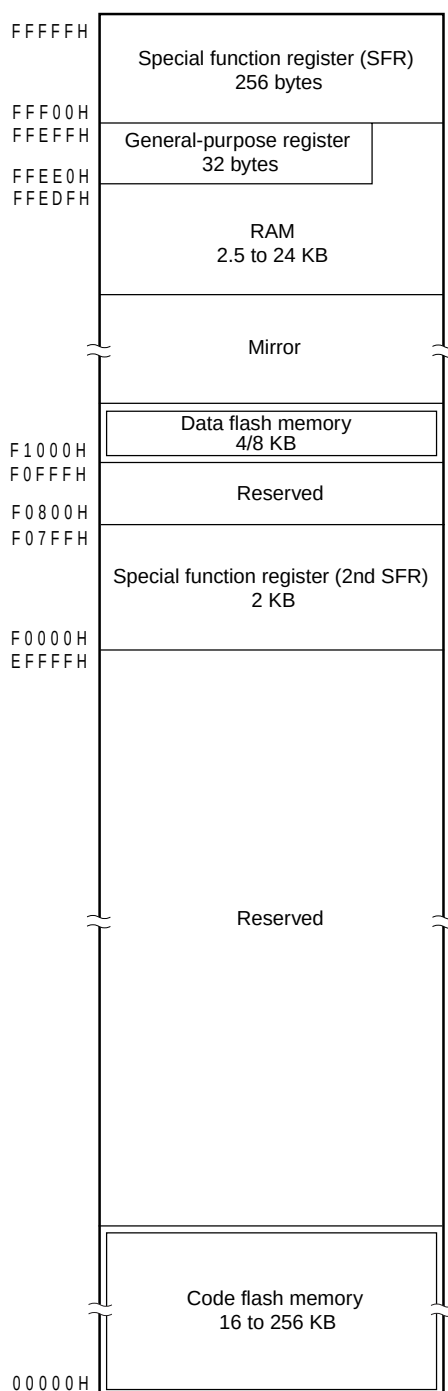
当在自编程过程中使用引导交换功能时，由于 000C0H 至 000C3H 与 010C0H 至 010C3H 替换。因此，须按以下方式将 010C0H 至 010C3H 设置为与 000C0H 至 000C3H 相同的值。

OPT2	CSEG	AT	010C0H
	DB		36H ; 不使用看门狗定时器的间隔中断 ; 允许看门狗定时器操作， ; 看门狗定时器的窗口打开期间为 50%， ; 看门狗定时器的溢出时间为 $2^{10}/f_{IL}$ ， ; HALT/STOP 模式时，停止看门狗定时器操作
	DB		1AH ; 给 V_{LVIL} 选择 1.63 V ; 给 V_{LVIH} 选择上升沿 1.77 V, 选择下降沿 1.73 V ; LVD 操作模式选择中断&复位模式
	DB		2DH ; flash 操作模式选择 LV (低电压主)模式 高速片上振荡器频率选择 1 MHz
	DB		85H ; 允许片上调试操作，不擦除闪存 数据（当安全 ID 验证失败时）

注意事项 用汇编语言指定选项字节，将 OPT_BYTE 用作 CSEG 伪指令的重定位属性。若要将选项字节指定给 010C0H 至 010C3H 以使用引导交换功能，须利用重定位属性 AT 来指定一个绝对地址。

第三十章 闪存

RL78/G14 内置闪存，安装在电路板上时可对其执行程序的写入、擦除和覆盖。闪存含有“代码闪存”，在其中可以执行程序，以及用于存储数据的“数据闪存”。



闪存区域的编程方法，共有如下 3 种：

- 使用闪存编程器写入闪存 (参阅 30.1)
- 使用外部器件写入闪存（内置的 UART）(参阅 30.2)
- 自编程 (参阅 30.7)

30.1 使用闪存编程器写入闪存

下列专用闪存编程器可用于将数据写入 RL78/G14 的内部闪存。

- PG-FP5, FL-PR5
- E1 内部调试仿真器

通过专用的闪存编程器，可以板上或板外向闪存写入数据。

(1) 板上编程

闪存的内容可以在将 RL78/G14 安装在目标系统之后重写。连接专用闪存编程器的连接器必须安装在目标系统中。

(2) 板外编程

在将 RL78/G14 安装到目标系统之前，可以用一个专用编程适配器（FA 系列）将数据写入闪存。

备注 FL-PR5 和 FA 系列为 Naito Densei Machida Mfg. Co., Ltd 的产品。

表 30-1. RL78/G14 和专用闪存编程器的布线表

专用闪存编程器的引脚配置				引脚名	引脚编号					
信号名		输入/输出	引脚功能		30 针	32 针	36 针	40 针	44 针	48 针
PG-FP5, FL-PR5	E1 内部调试仿真器				SSOP	WQFN (5x5), QFP (7x7)	FLGA (4x4)	WQFN (6x6)	LQFP (10x10)	LQFP (7x7), WQFN (7x7)
—	TOOL0	输入/输出	发送/接收信号	TOOL0/P40	5	1	6F	1	2	39
SI/RxD	—	输入/输出	发送/接收信号							
SCK	—	输出	—	—	—	—	—	—	—	—
CLK	—	输出	—	—	—	—	—	—	—	—
—	RESET	输出	复位信号	RESET	6	2	5E	2	3	40
/RESET	—	输出								
FLMD0	—	输出	模式信号	—	—	—	—	—	—	—
V _{DD}		输入/输出	V _{DD} 电压生成/电源监视	V _{DD}	12	8	6B	10	11	48
GND		—	接地	V _{SS}	11	7	5C	9	10	47
				EV _{SS0}	—	—	—	—	—	—
				REGC [‡]	10	6	5D	8	9	46
EMV _{DD}		—	TOOL0 引脚驱动电源	V _{DD}	12	8	6B	10	11	48

专用闪存编程器的引脚配置				引脚名	引脚编号					
					52 针	64 针		80 针	100 针	
信号名		输入/输出	引脚功能		LQFP (10x10)	LQFP (14x14), LQFP (12x12), LQFP (10x10)	FLGA (5x5)	LQFP (14x14), LQFP (12x12)	LQFP (14x14)	LQFP (14x20)
PG-FP5, FL-PR5	E1 内部调 试仿真器			–	TOOL0	4	5	6D	9	12
SI/RxD	–	输入/ 输出	发送/接收信号	–	–	–	–	–	–	–
SCK	–	输出	–	–	–	–	–	–	–	–
CLK	–	输出	–	–	–	–	–	–	–	–
–	RESET	输出	复位信号	RESET	5	6	7E	10	13	90
/RESET	–	输出		–	–	–	–	–	–	–
FLMD0	–	输出	模式信号	–	–	–	–	–	–	–
VDD		输入/ 输出	VDD 电压生成/ 电源监视	VDD	13	15	7B	19	22	99
GND		–	接地	VSS	12	13	7C	17	20	97
				EVSS0	–	14	8B	18	21, 43	98, 20
				REGC 註	11	12	7D	16	19	96
EMVDD		–	TOOL 引脚驱动 电源	VDD	13	–	–	–	–	–
				EVDD0	–	16	8A	20	23, 53	100, 30

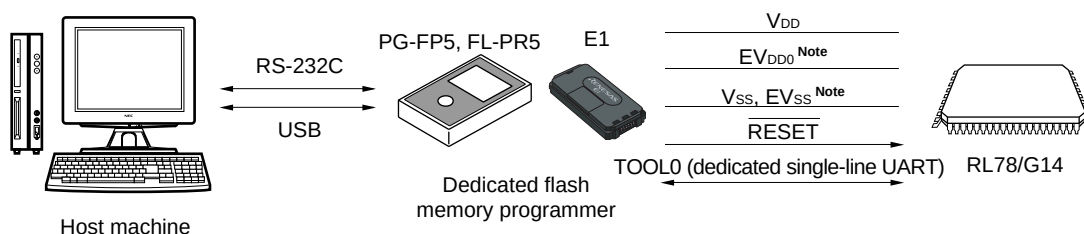
注 通过一个电容（默认：0.47 μ F）将 REGC 引脚接地。

备注 在利用闪存编程器进行 flash 编程时，上表未列出的引脚可以保持开路。

30.1.1 编程环境

将程序写入 RL78/G14 的闪存时所需环境如下所示。

图 30-1. 将程序写入闪存时所需环境



注 仅限 64 针、80 针和 100 针产品。

需要一台主机来控制专用闪存编程器。

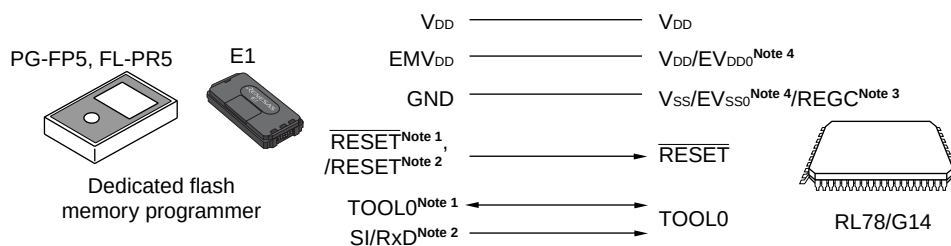
作为专用闪存编程器与 RL78/G14 之间的接口，通过专用的单线 UART 利用 TOOL0 引脚执行写入、擦除等操作。要板外写入闪存，需要用一个专用编程适配器（FA 系列）。

30.1.2 通信模式

专用闪存编程器与 RL78/G14 之间的通信是利用 TOOL0 引脚通过 RL78/G14 的专用单线 UART 以串行通信方式实现。

传送速率: 1 M, 500 k, 250 k, 115.2 kbps

图 30-2. 与专用闪存编程器的通信



- 注 1. 使用 E1 内部调试仿真器时。
 2. 使用 PG-FP5 或 FL-PR5 时。
 3. 通过一个电容（默认：0.47 μ F）将 REGC 引脚接地。
 4. 仅限 64, 80 和 100 针产品。

专用闪存编程器为 RL78/G14 产生以下信号。有关详情，请参阅 PG-FP5，FL-PR5 或 E1 内部调试仿真器的手册。

表 30-2. 引脚连接

专用闪存编程器				RL78/G14	连接
信号名		输入/输出	引脚功能	引脚名	
PG-FP5, FL-PR5	E1 内部调试仿 真器				
FLMD0	—	输出	模式信号	—	×
V _{DD}		输入/输出	V _{DD} 电压生成/电源监视	V _{DD}	⊙
GND		—	接地	V _{SS} , EV _{SS0} ^{注 2} , REGC ^{注 1}	⊙
EMV _{DD}		—	TOOL0 引脚驱动电源	V _{DD} , EV _{DD0} ^{注 2}	⊙
CLK	—	输出	时钟输出	—	×
/RESET	—	输出	复位信号	$\overline{\text{RESET}}$	⊙
—	$\overline{\text{RESET}}$	输出			
—	TOOL0	输入/输出	发送/接收信号	TOOL0	⊙
SI/RxD	—	输入/输出	发送/接收信号		
SCK	—	输出	传输时钟	—	×

注 1. 通过一个电容（默认：0.47 μ F）将 REGC 引脚接地。

2. 仅限 64, 80 和 100 针产品。

备注 ○: 请务必连接此引脚。

×: 不需要连接此引脚。

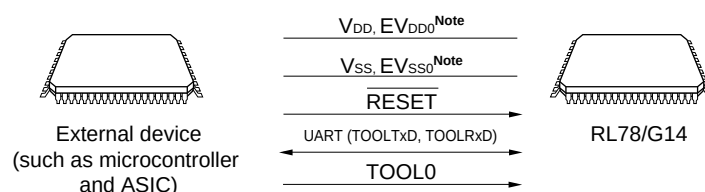
30.2 使用外部器件写入到闪存（内置的 UART）

利用 RL78/G14 以及连接至 UART 的外部器件（微控制器或 ASIC）可以实现对内部闪存的板上数据写操作。

30.2.1 编程环境

为了将程序写入到 RL78/G14 的闪存，须具备如下的环境。

图 30-3. 为了将程序写入到闪存的环境



注 仅限 64, 80 和 100 针产品。

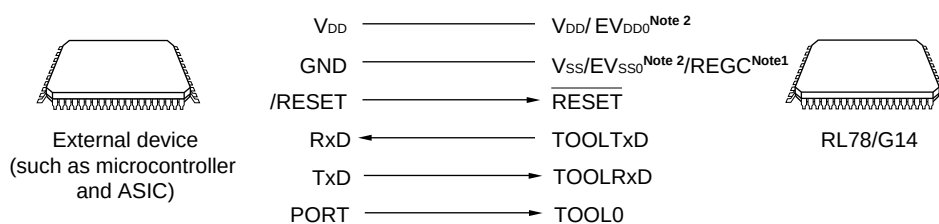
利用外部器件向 RL78/G14 写入数据或从其中删除数据的处理是板上进行的。不能板外写入。

30.2.2 通信模式

外部器件与 RL78/G14 之间的通信是利用 TOOLTxD 和 TOOLRxD 引脚通过 RL78/G14 的专用 UART 以串行通信方式实现。

传送速率: 1 M, 500 k, 250 k, 115.2 kbps

图 30-4. 与外部器件的通信



- 注 1. 通过一个电容（默认：0.47 μ F）将 REGC 引脚接地。
2. 仅限 64, 80 和 100 针产品。

注意事项 请将 EVDD 设置为与 VDD 相同的电位。

外部器件针对 RL78/G14 生成如下的信号。

表 30-3. 引脚连接

外部器件			RL78/G14	连接
信号名	输入/输出	引脚功能	引脚名	
VDD	输入/输出	VDD 电压生成/电源监视	VDD, EVDD0 ^{注 2}	○
GND	—	接地	VSS, EVSS0 ^{注 2} , REGC ^{注 1}	○
CLK	输出	时钟输出	—	×
RESETOUT	输出	复位信号输出	RESET	○
RxD	输入	接收信号	TOOLTxD	○
TxD	输出	发送信号	TOOLRxD	○
PORT	输出	模式信号	TOOL0	○
SCK	输出	传输时钟	—	×

- 注 1. 通过一个电容（默认：0.47 μ F）将 REGC 引脚接地。
2. 仅限 64, 80 和 100 针产品。

注意事项 请将 EVDD0 设置为与 VDD 相同的电位。

备注 ○: 请务必连接此引脚。

×: 不需要连接此引脚。

30.3 板上引脚连接

若要利用闪存编程器板上写入闪存，则目标系统上必须提供连接着专用闪存编程器的连接器。首先，电路板上要提供用于选择正常操作模式或闪存编程模式的功能。

当设置为闪存编程模式时，所有在闪存编程过程中未使用的引脚，其状态与复位后的瞬时状态相同。因此，如果外部器件未能在复位后立即识别出该状态，则必须按以下方式处理这些引脚。

30.3.1 P40/TOOL0 引脚

在闪存编程模式下，通过一个外部 $1\text{ k}\Omega$ 上拉电阻将该引脚连接至专用闪存编程器。

当该引脚用作端口引脚时，须按以下方式使用该引脚。

用作输入引脚时:	在引脚复位解除后，在 1 ms 之内禁止输入低电平。另外，当通过下拉电阻使用该引脚时，须使用 $500\text{ k}\Omega$ 或更大的电阻。
用作输出引脚时:	当通过下拉电阻使用该引脚时，须使用 $500\text{ k}\Omega$ 或更大的电阻。

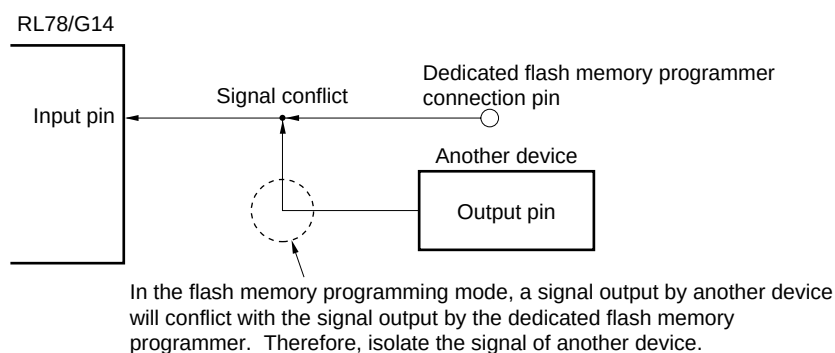
备注 SAU 和 IICA 引脚不用于 RL78/G14 和专用闪存编程器之间的通信，因为使用的是单线 UART（TOOL0 引脚）。

30.3.2 $\overline{\text{RESET}}$ 引脚

如果将专用闪存编程器和外部器件的复位信号连接至 $\overline{\text{RESET}}$ 引脚，而该引脚已经和板上的复位信号发生电路相连时，发生信号冲突。为避免这种冲突，须用复位信号发生电路隔离该连接。

在设置为闪存编程模式时，如果从用户系统输入复位信号，则不能对于闪存进行正确编程。不要输入专用闪存编程器和外部器件的复位信号之外的任何信号。

图 30-5. 信号冲突 ($\overline{\text{RESET}}$ 引脚)



30.3.3 端口引脚

在设置为闪存编程模式时，所有在闪存编程过程中未使用的引脚将进入与复位后的瞬时状态相同的状态。如果连接至端口的外部器件未能在复位后立即识别出端口状态，则必须通过一个电阻将端口引脚连接至V_{DD}或EV_{DD0}[※]，或V_{SS}或EV_{SS0}[※]。

注 仅限 64, 80 和 100 针产品。

30.3.4 REGC 引脚

按照和正常操作相同的方式通过一个电容（0.47 至 1 μ F）将 REGC 引脚连接至 GND。并且，要使用具有良好特性的电容，以稳定内部电压。

30.3.5 X1 和 X2 引脚

和正常操作模式时相同的状态下连接 X1 和 X2。

备注 在闪存编程模式下，使用高速片上振荡器时钟 (f_{IH})。

30.3.6 电源

若使用闪存编程器的电源电压输出，须将 V_{DD} 引脚连接至闪存编程器的 V_{DD}，并将 V_{SS} 引脚连接至闪存编程器的 GND。

若要使用板上电源电压，则须按正常操作模式连接。

然而，在利用闪存编程器向闪存进行写操作时，即使采用板上电源电压，也务必将 V_{DD} 和 V_{SS} 引脚连接至闪存编程器的 V_{DD} 和 GND，以在闪存编程器上使用电源监控功能。

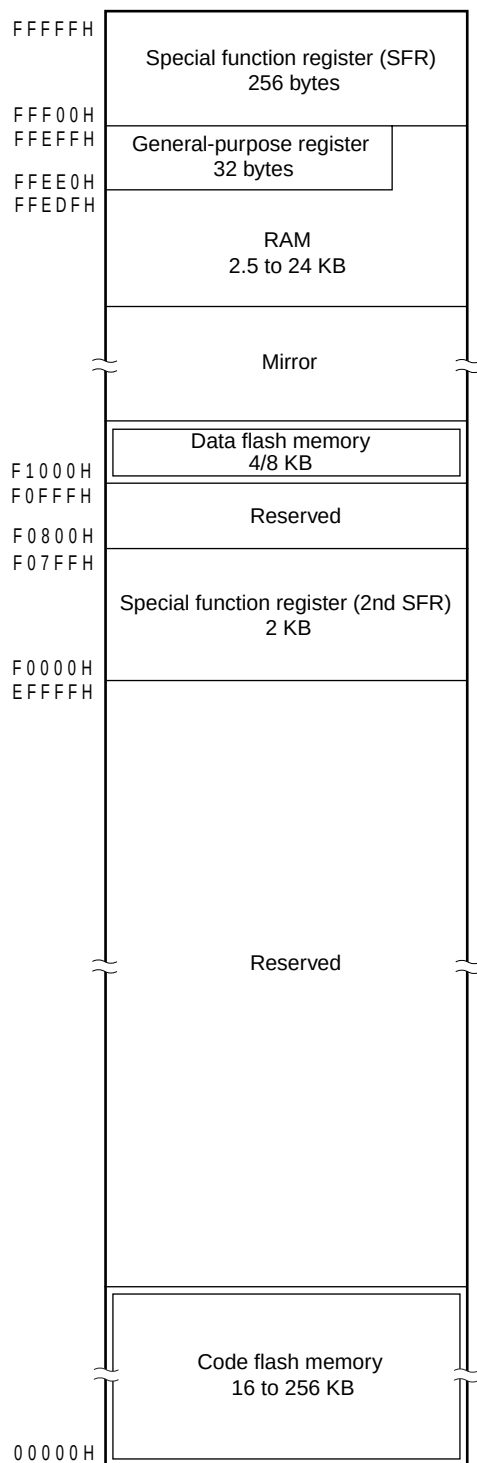
使其他电源(EV_{DD0}[※]、EV_{SS0}[※])与V_{DD}和V_{SS}相同。

注 仅限 64, 80 和 100 针产品。

30.4 数据闪存

30.4.1 数据闪存概述

搭载数据闪存的 RL78/G14 中，除了 16 至 256 KB 的代码闪存以外，还内置有 4/8 KB 的数据闪存以存储数据。



数据闪存的概述如下所示。

- 可以利用闪存编程器或外部器件对于数据闪存进行写操作
- 编程单位为8 位
- 可按1 块=1 KB 单位删除
- CPU 指令进行的唯一存取是字节读取（读取：四个时钟周期）
- 由于数据闪存是数据专用区域，因此不能用于执行指令（取代码）
- 可以在重写数据闪存的同时从代码闪存执行指令（即支持后台运行(BGO)）
- 在重写代码闪存（在自编程期间）时不能存取数据闪存
- 由于数据闪存在复位解除后将停止工作，所以必须设置数据闪存 控制寄存器 (DFLCTL) 以使用数据闪存
- 在重写数据闪存时，不能操作DFLCTL 寄存器
- 在存取数据闪存时，CPU 将等待三个时钟周期

30.4.2 控制数据闪存的寄存器

(1) 数据闪存控制寄存器(DFLCTL)

本寄存器用于允许或禁止存取数据闪存。

使用 1 位或 8 位存储器操作指令设置 DFLCTL 寄存器。

通过复位输入将此寄存器设置为 00H。

图 30-6.数据闪存的格式(DFLCTL)

地址: F0090H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	数据闪存的存取控制
0	禁止数据闪存存取
1	允许数据闪存存取

注意事项 在重写数据闪存时，不能操作 DFLCTL 寄存器。

30.4.3 存取数据闪存的步骤

复位解除后，数据闪存的初始状态为停止工作，不能被存取（读或编程）。若要存取该存储器，则须执行以下步骤：

<1> 在数据闪存控制寄存器 (DFLCTL)的位 0 (DFLEN)写入 1。

<2> 等待设置结束。

设置时间因主时钟的各模式而异。

<各主时钟模式下的设置时间>

- HS (高速主): 5 μ s
- LS (低速主): 720 ns
- LV (低电压主): 10 μ s

<3> 等待设置时间后，可以存取数据闪存。

注意事项 1. 设置时间中禁止存取数据闪存。

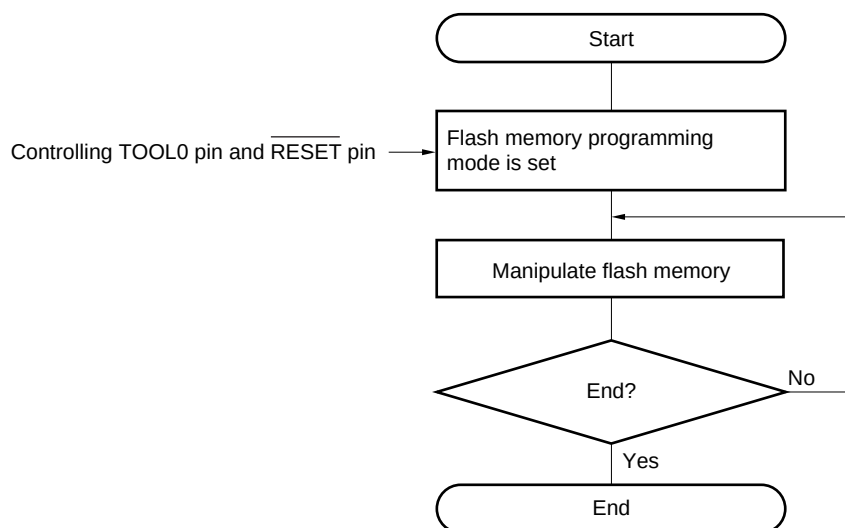
2. 设置时间中，在执行 STOP 指令之前，要暂时将 DFLEN 清除为 0。

30.5 编程方法

30.5.1 控制闪存

操作闪存的步骤，如下图所示。

图 30-7. 闪存的操作步骤



30.5.2 闪存编程模式

若要重写闪存的内容，须将 RL78/G14 设置为闪存编程模式。若要进入该模式，须按以下方式设置。

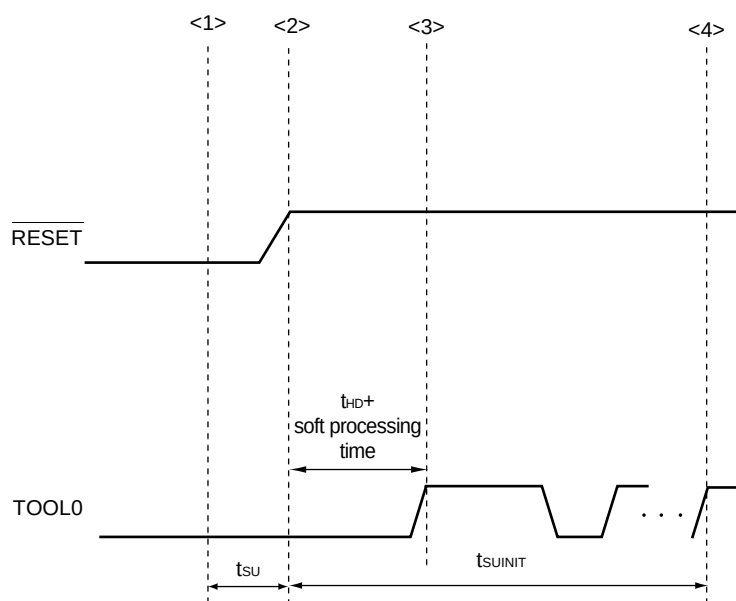
<使用专用闪存程序进行编程时>

执行来自专用闪存编程器的通信，以自动切换到闪存编程模式。

<使用外部器件进行编程时>

将 TOOL0 引脚设置为低电平，然后解除复位。从复位结束到 1 ms + 软件处理结束的这段时间内，使 TOOL0 引脚保持低电平，然后利用 UART 通信发送来自外部器件的数据“00H”。在复位结束后的 100 ms 内完成 UART 通信。

图 30-8. 设置闪存编程模式



<1> 在 TOOL0 引脚处输入低电位。

<2> 引脚复位解除 (在引脚复位解除前，POR 和 LVD 需复位解除)。

<3> 解除 TOOL0 引脚的低电位。

<4> 通过 UART 接收，闪存编程模式设置和波特率设置结束。

备注 t_{SUINIT} : 该段表示需要在外部和内部复位结束后的 100 ms 内完成初始通信设置的指定。

t_{SU} : 从 TOOL0 引脚被置于低电平到引脚复位结束所用的时间

t_{HD} : 从外部和内部复位结束起使 TOOL0 引脚保持低电平的时间

表 30-4. 复位解除时的 TOOL0 引脚和操作模式之间的关系

TOOL0	操作模式
V _{DD}	正常操作模式
0	闪存编程模式

有两种闪存编程模式，其可以写入、擦除或验证数据的电压范围不同。

表 30-5. 编程模式和可以写入、擦除或验证数据的电压

模式	可以写入、擦除或验证数据的电压
宽电压模式	1.8 V 至 5.5 V
全速模式 ^注	2.4 V 至 5.5 V
	2.7 V 至 5.5 V

注 仅限选项字节 000C2H 的 CMODE1 和 CMODE0 位等于 1 时，可以进行设置。

指定与写入数据所需电压范围相对应的模式。在利用专用闪存编程器编程时，依据 GUI 的电压设置自动选择模式。

备注 1. 同时使用宽电压模式和全速模式不会对写入、删除或验证形成限制。

2. 有关通信命令的详情，请参阅 30.5.4 通信命令。

30.5.3 选择通信模式

RL78/G14 的通信模式如下所示。

表 30-6. 通信模式

通信模式	标准设置 ^{注1}				使用引脚
	端口	速率 ^{注2}	频率	乘法率	
单线模式 (使用闪存编程器时)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
专用 UART0 (使用外部器件时)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRx

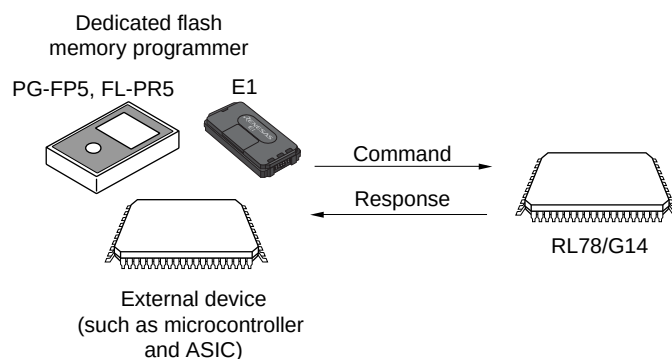
注 1. 闪存编程器的 GUI 标准设置的设置项目。

2. 由于波特率误差之外的因素（如信号波形压摆率）也会影响 UART 通信，因此要彻底评估压摆率和波特率误差。

30.5.4 通信命令

RL78/G14 通过命令与专用闪存编程器或外部器件进行通信。从闪存编程器或外部器件发送至 RL78/G14 的信号称为命令，从 RL78/G14 发送至专用闪存编程器或外部器件的信号称为响应。

图 30-9. 通信命令



RL78/G14 的闪存控制命令列于下表之中。所有这些命令都来自编程器或外部器件，RL78/G14 执行与各命令相对应的处理。

表 30-7. 闪存控制命令

分类	命令名	功能
验证	Verify	比较闪存中指定区域的内容和编程器发送的数据。
擦除	Block Erase	擦除闪存的指定区域。
Blank 检查	Block Blank Check	检查闪存的指定块是否已被正确擦除。
写入	Programming	将数据写入闪存的指定区域。
获取信息	Silicon Signature	获取 RL78/G14 的信息（例如部件编号、闪存配置或编程固件版本）。
	Checksum	获取指定区域的校验和数据。
安全	Security Set	设置安全信息。
	Security Get	获取安全信息。
	Security Release	解除写入禁止设置。
其他	Reset	用于检测通信同步状态。
	Baud Rate Set	选择 UART 通信模式时用于设置波特率。

对于专用闪存编程器或外部器件发出的命令，RL78/G14 返回一个响应。从 RL78/G14 发送出的响应名称如下表所示。

表 30-8. 响应名称

响应名称	功能
ACK	确认命令/数据。
NAK	确认非法的命令/数据。

30.5.5 签名数据的说明

执行“硅签字”命令时，可以获取 RL78/G14 信息（如部件编号、闪存配置、编程用固件版本）。

表 30-9 和表 30-10 列出了签名数据列表和签名数据示例。

表 30-9. 签名数据列表

字段名	说明	传输数据的数量
器件码	分配给该器件的序列号	3 字节
器件名	器件名 (ASCII 码)	10 字节
代码闪存区域最后地址	代码闪存区域的最后地址 (从下位地址发送。 例. 00000H 至 0FFFFH (64 KB) → FFH, 1FH, 00H)	3 字节
数据闪存区域最后地址	数据闪存区域的最后地址 (从下位地址发送。 例. F1000H 至 F1FFFH (4 KB) → FFH, 1FH, 0FH)	3 字节
固件版本	编程固件版本信息 (从上位地址发送。 例. Ver. 1.23 → 01H, 02H, 03H)	3 字节

表 30-10. 签名数据示例

字段名	说明	传输数据的数量	数据(十六进制)
器件码	序列号	3 字节	10 00 03
器件名	R5F104LE	10 字节	52 = "R" 35 = "5" 46 = "F" 31 = "1" 30 = "0" 34 = "4" 4C = "L" 45 = "E" 20 = " 20 = "
代码闪存区域最后地址	代码闪存区域 00000H 至 0FFFFH (64 KB)	3 字节	FF FF 00
数据闪存区域最后地址	数据闪存区域 F1000H 至 F1FFFH (4 KB)	3 字节	FF 1F 0F
固件版本	Ver.1.23	3 字节	01 02 03

30.6 安全设置

RL78/G14 支持安全功能，可以禁止对已经写入内部闪存的用户程序进行重写，因此，未经授权者不能更改程序。以下所示操作可以利用安全设置命令来执行。安全设置在下个模式设置为编程模式时有效。

- 禁止块擦除
板上/板外编程过程中，禁止对闪存中指定块执行块擦除命令。然而，可以通过自编程方式擦除块。
- 禁止写入
板上/板外编程过程中，禁止对闪存的所有块执行写命令。然而，可以通过自编程方式写入块。
- 禁止重写引导群集 0
在这种设置下，禁用对闪存的引导群集 0 (00000H 至 00FFFH) 执行块擦除命令和写命令。

在闪存出厂时，默认允许块擦除、写命令和重写引导群集 0。安全性可以通过板上/板外编程和自编程设置。各种安全设置均可组合使用。

表 30-11 展示了在允许 RL78/G14 安全功能时擦除命令与写命令之间的关系。

备注 若要在自编程过程中禁止写和擦除，须使用 flash 屏蔽窗口功能(详情参阅 30.7.2)。

表 30-11. 允许安全功能与命令之间的关系

(1) 板上/板外编程时

有效的安全	执行的命令	
	块擦除	写入
禁止块擦除	不能擦除块。	可以执行 ^注 。
禁止写入	可以擦除块。	不能执行。
禁止重写引导群集 0	不能擦除引导群集 0。	不能写入引导群集 0。

注 确认未向写区域写入数据。由于在禁用块擦除之后无法擦除数据，因此，如果尚未擦除数据，则不要写入数据。

(2) 自编程时

有效的安全	执行的命令	
	块擦除	
禁止块擦除	可以擦除块。	禁止块擦除
禁止写入		禁止写入
禁止重写引导群集 0	不能擦除引导群集 0。	禁止重写引导群集 0

备注 若要在自编程过程中禁止写入和擦除，须使用 flash 屏蔽窗口功能(详情参阅 30.7.2)。

表 30-12. 各编程模式下的安全设置

(1) 板上/板外编程

安全	安全设置	如何使安全设置无效
禁止块擦除	利用专用闪存编程器的 GUI 等设置。	设置后无法设置为无效。
禁止写入		执行安全发布命令
禁止重写引导群集 0		设置后无法设置为无效。

注意事项 仅当安全设置不为禁止块擦除、禁止重写引导群集 0，且代码闪存区和数据闪存区为空时，才可应用解除安全命令。

(2) 自编程

安全	安全设置	如何使安全设置无效
禁止块擦除	利用闪存自编程库设置。	设置后无法设置为无效。
禁止写入		在板上/板外编程时执行安全发布命令 (自编程时无法设置为无效)
禁止重写引导群集 0		设置后无法设置为无效。

30.7 通过自编程对闪存编程

RL78/G14 支持自编程功能，可用于通过用户程序重写闪存。由于该功能允许用户应用程序通过 RL78/G14 自编程库重写闪存，因此可用该功能来现场升级程序。

- 注意事项**
1. 当 CPU 以副系统时钟运行时不能使用自编程功能。
 2. 若要禁止在自编程过程中产生中断，就如正常操作模式一样，在 IE 标志由 DI 指令清除为(0)的状态下执行自编程库。若要允许中断，须将中断屏蔽标志清除为(0)，使其处于 IE 标志由 EI 指令设置为(1)的状态，然后执行自编程库。
 3. 当允许 RAM 奇偶校验错误复位(RPERDIS = 1)时，务必在覆盖前对所用 RAM 区 + 10 字节的区域进行初始化。

- 备注 1.** 有关自编程功能和 RL78/G14 自编程库的更多信息，请参阅 **RL78 微控制器自编程库 01 类用户手册 (R01AN0350E)**。
- 2.** 有关执行自编程所需时间的详情，请参阅随 flash 自编程库工具一起提供的使用笔记。

与利用闪存编程器写入数据时一样，有两种闪存编程模式，其可以写入、擦除或验证数据的电压范围不同。

表 30-13. 编程模式和可以写入、擦除或验证数据的电压

模式	可以写入、擦除或验证数据的电压	写入时钟频率
宽电压模式	1.8 V 至 5.5 V	8 MHz (MAX.)
全速模式 ^注	2.4 V 至 5.5 V	16 MHz (MAX.)
	2.7 V 至 5.5 V	32 MHz (MAX.)

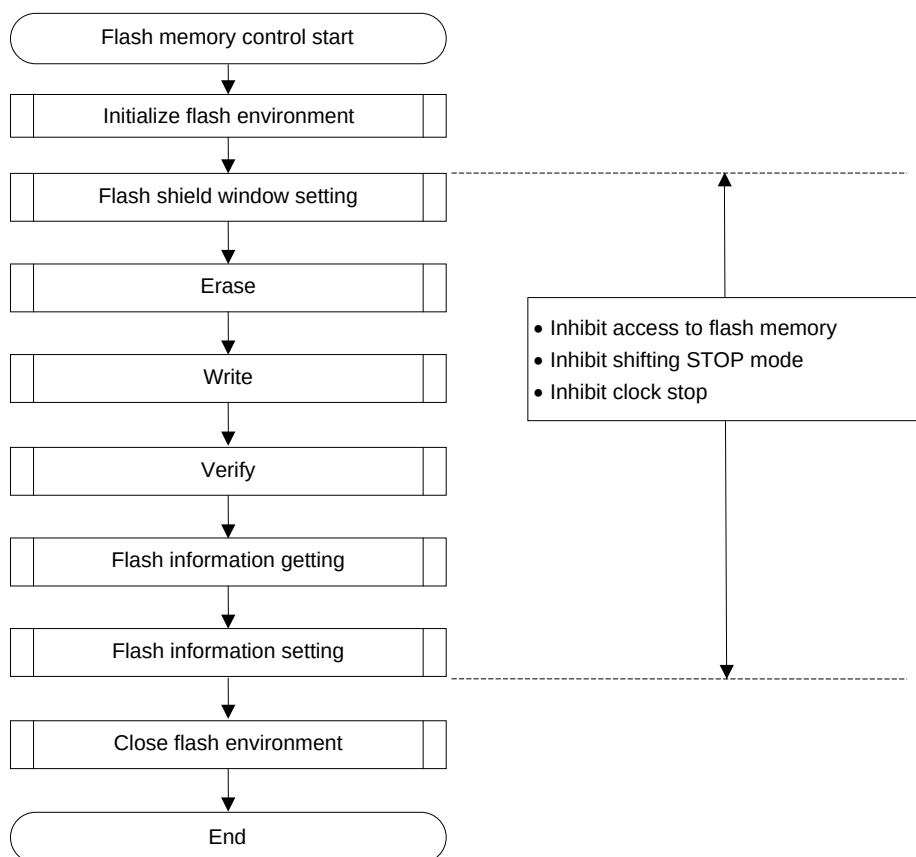
注 仅限选项字节 000C2H 的 CMODE1 和 CMODE0 位等于 1 时，可以进行设置。

指定与写入数据所需电压范围相对应的模式。在执行瑞萨电子提供的自编程库的 FSL_Init 功能时，如果自变量 fsl_flash_voltage_u08 不为 00H，则指定宽电压模式。如果自变量为 00H，则指定全速模式。

- 备注 1.** 同时使用宽电压模式和全速模式不会对写入、删除或验证形成限制。
- 2.** 有关自编程功能和 RL78/G14 自编程库的更多信息，请参阅 **RL78 微控制器自编程库 01 类用户手册 (R01AN0350E)**。

使用自编程库重写闪存的流程如下图所示。

图 30-10. 自编程流程 (重写闪存)



30.7.1 引导交换功能

如果因临时断电或其他原因导致重写引导区失败，以至于引导区数据遭到破坏，则通过复位或覆盖来重启程序的功能将被禁用。

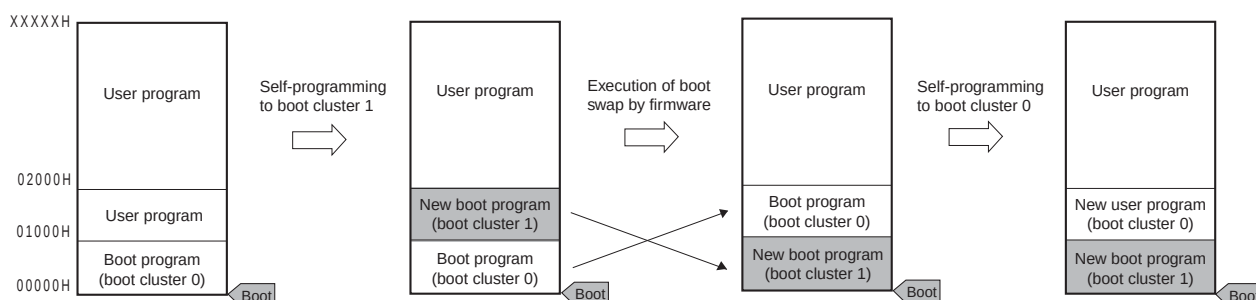
引导交换功能用于避免该问题。

在擦除引导群集 0*（为一引导程序区）之前，提前通过自编程向引导群集 1 写入一个新的引导程序。当程序已被正确写入引导群集 1 时，利用 RL78/G14 固件的设置信息功能来交换引导群集 1 和引导群集 0，以使引导群集 1 被用作引导区。此后，擦除或写入原始引导程序区，即引导群集 0。

结果，即使在重写引导编程区的过程中断电，也能够正确执行程序，因为当程序被复位并接着启动时，是从将被交换的引导群集 1 进行的引导。

注 引导群集是一个 4 KB 的区域，通过引导交换功能来交换引导群集 0 和 1。

Figure 30-11. Boot Swap Function

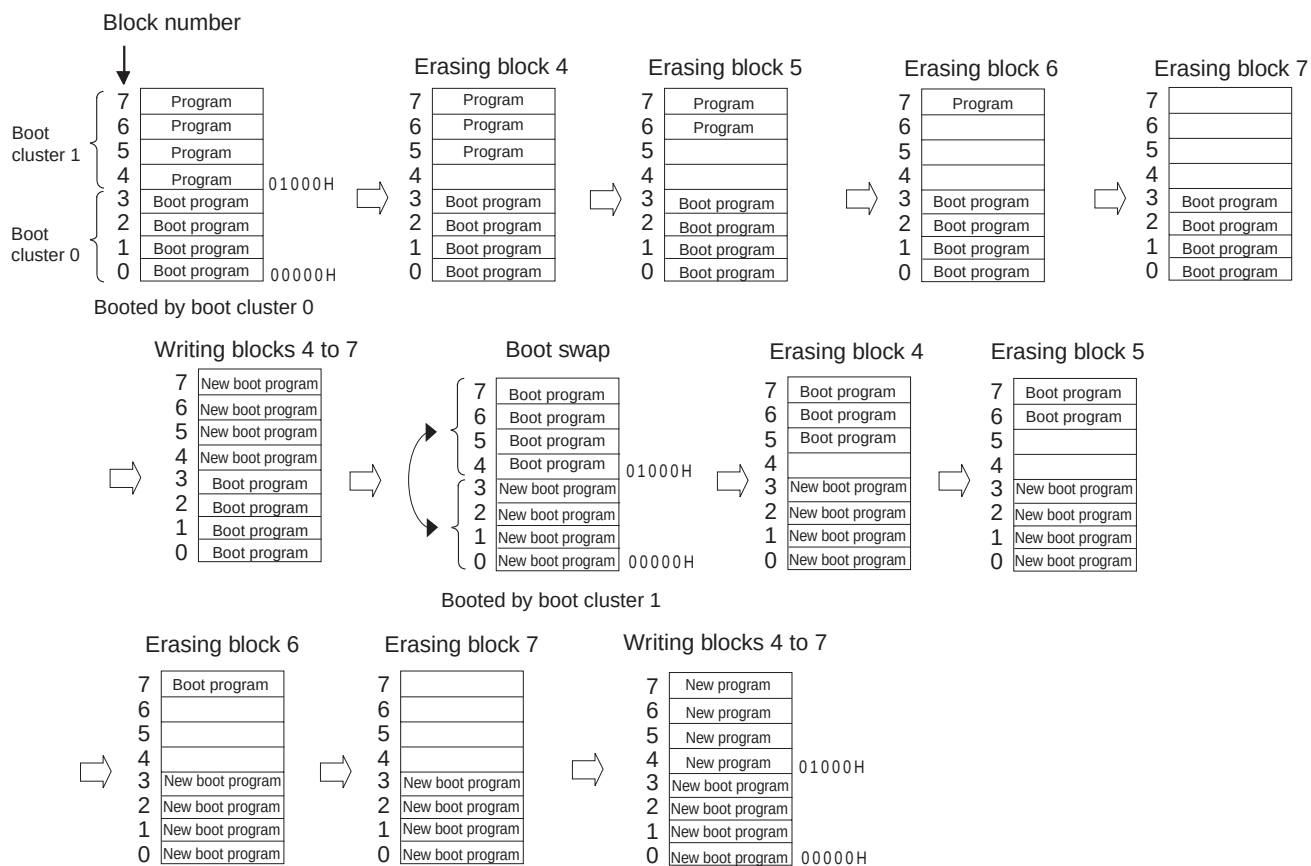


图的示例如下所示。

引导群集 0: 引导交换前的引导程序区

引导群集 1: 引导交换后的引导程序区

图 30-12. 执行引导交换的示例



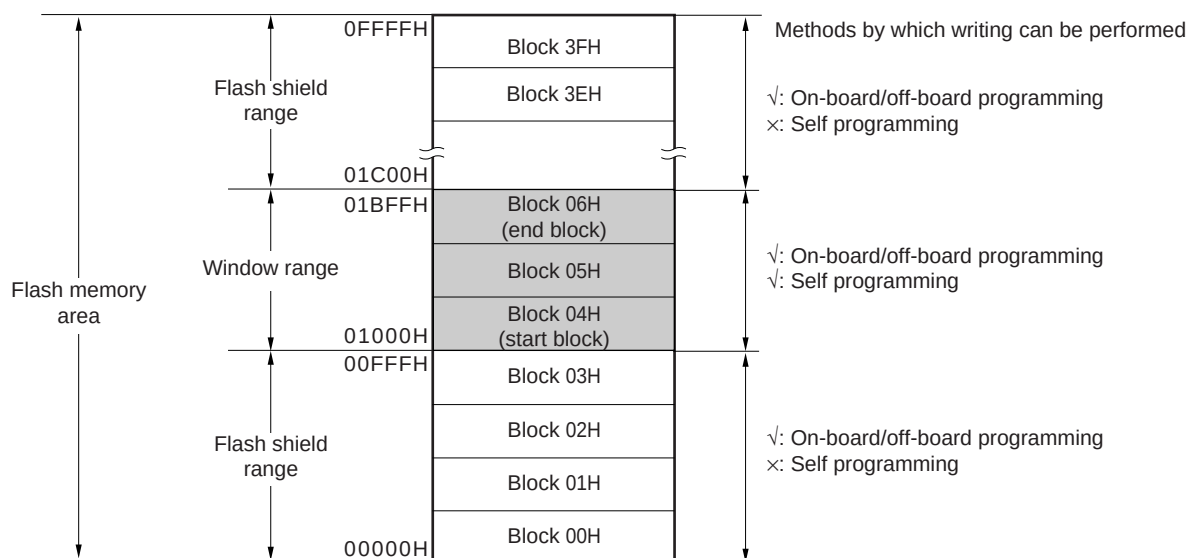
30.7.2 Flash 屏蔽窗口功能

Flash 屏蔽窗口功能被提供作为自编程的一种安全功能。该功能仅在自编程过程中，禁止写入和擦除被指定为窗口的范围之外的区域。

窗口范围可通过指定起始块和结束块来设置。可以在板上/板外编程和自编程过程中设置或更改窗口范围。

在自编程过程中，禁止写入和擦除窗口范围之外的区域。然而，板上/板外编程期间，可以写入和擦除被指定为窗口的范围之外的区域。

图 30-13. Flash 屏蔽窗口设置示例
(对象器件: R5F104LE, 开始块: 04H, 结束块: 06H)



- 注意事项**
1. 如果引导群集 0 的禁止重写区与 flash 屏蔽窗口范围重叠，则优先禁止重写引导群集 0。
 2. Flash 屏蔽窗口只能用作代码闪存（且不支持数据闪存）。

表 30-14. Flash屏蔽窗口功能设置/更改方法和命令之间的关系

编程条件	窗口范围设置/更改方法	执行的命令	
		块擦除	
自编程	通过闪存自编程库指定起始和结束块。	仅在窗口范围内允许块擦除。	自编程
板上/板外编程	通过专用闪存编程器的 GUI 等指定起始和结束块。	在窗口范围外也允许块擦除。	板上/板外编程

备注 要想禁止板上/板外编程时的写入/擦除时，请参阅 30.6 安全设置。

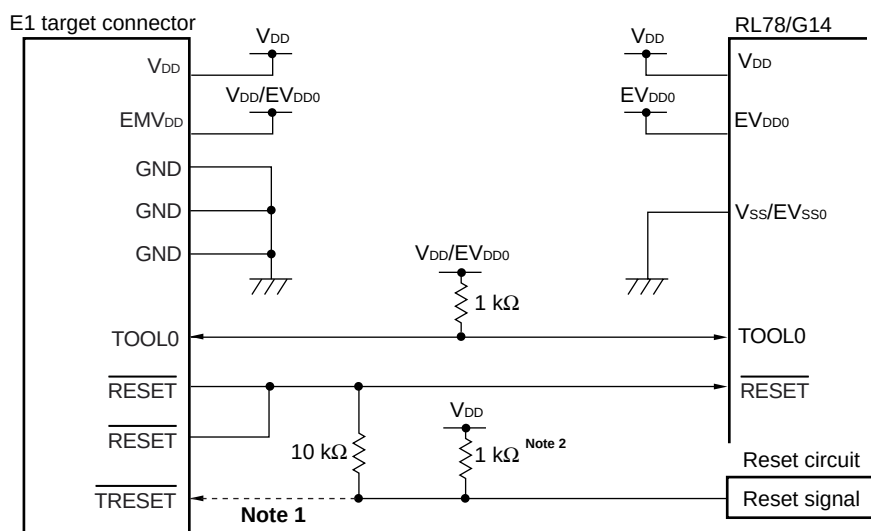
第三十一章 On-chip 调试功能

31.1 将 E1 片上调试仿真器连接至 RL78/G14

RL78/G14 用 V_{DD} 、 $\overline{\text{RESET}}$ 、 TOOL0 和 V_{SS} 引脚通过 E1 片上调试仿真器与主机进行通信。通过使用 TOOL0 引脚的单线 UART 实现串行通信。

注意事项 RL78/G14 提供用于开发和评估的 On-chip 调试功能。对于量产类产品，不得使用 On-chip 调试功能，因为在使用该功能时，可能会超过闪存的担保可重写次数，因而会使产品可靠性失去保障。对于使用 On-chip 调试功能时发生的问题，瑞萨电子不承担任何责任。

图 31-1. E1 片上调试仿真器和 RL78/G14 的连接示例



注 1. 在闪存编程期间，不需要连接虚线。

2. 如果目标系统中的复位电路不具有缓冲器并且只能通过电阻和电容产生复位信号，则没有必要使用该上拉电阻。

注意事项 该电路图假定从 N 沟道 O.D. 缓冲器输出复位信号（输出电阻：100 Ω 或更低）

31.2 片上调试安全 ID

RL78/G14 在闪存 000C3H 处有一个片上调试操作控制位（参阅**第二十九章 选项字节**），并在 000C4H 至 000CDH 处有一个片上调试安全 ID 设置区，用于防止第三方读取存储器内容。

在使用引导交换功能时，要提前设置一个与 010C3H 和 010C4H 至 010CDH 相同的值，因为 000C3H、000C4H 至 000CDH 和 010C3H，以及 010C4H 至 010CDH 被切换。

表 31-1. 片上调试安全 ID

地址	片上调试安全 ID
000C4H 至 000CDH	任意 10 个字节的 ID 码
010C4H 至 010CDH	

31.3 用户资源的确保

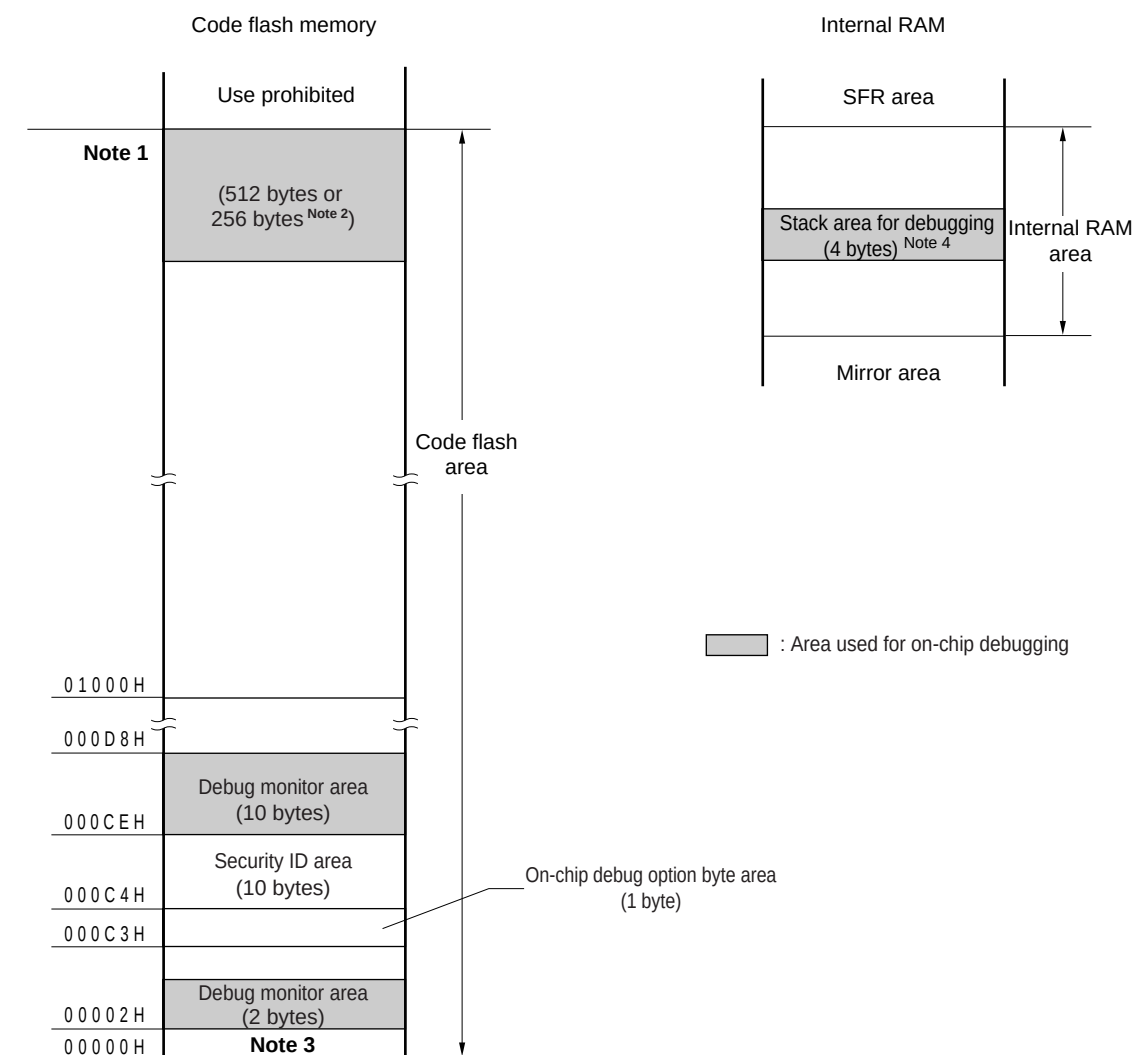
要实现 RL78/G14 与 E1 片上调试仿真器之间的通信以及各调试功能，需提前确保存储器区空间。

如果使用瑞萨电子的编译器，则可通过连接器选项来进行设置。

(1) 存储器空间的确保

图 31-2 中的阴影部分是预留区，用于放置调试监控程序，因此不能将用户程序或数据分配在该空间。在使用 On-chip 调试功能时，必须保证这些空间不被用户程序使用。另外，禁止通过用户程序重写该区域。

图 31-2. 调试监控程序的内存空间分配



注 1. 如下所示，地址因产品而异。

产品 (代码闪存容量)	注 1 的地址
R5F104xA (x = A 至 C, E 至 G)	03FFFFH
R5F104xC (x = A 至 C, E 至 G, J, L)	07FFFFH
R5F104xD (x = A 至 C, E 至 G, J, L)	0BFFFFH
R5F104xE (x = A 至 C, E 至 G, J, L)	0FFFFFFH
R5F104xF (x = A 至 C, E 至 G, J, L, M, P)	17FFFFH
R5F104xG (x = A 至 C, E 至 G, J, L, M, P)	1FFFFFFH
R5F104xH (x = E 至 G, J, L, M, P)	2FFFFFFH
R5F104xJ (x = F, G, J, L, M, P)	3FFFFFFH

2. 当未使用实时 RAM 监控(RRM)功能和动态存储器修改(DMM)功能时，为 256 字节。
3. 在调试中，复位向量被重写至分配给监控程序的地址。
4. 由于该区域刚好被分配在堆栈区之下，因此，该区域的地址随着堆栈的增减而变化。即，所用堆栈区将额外占用 4 字节。
使用自编程时，所用堆栈区将额外占用 12 字节。

第三十二章 十进制调整(BCD)电路

32.1 十进制调整电路的功能

可以通过该电路以 BCD 码格式获得 BCD 码（二进制编码的十进制）的加/减结果和 BCD 码。

通过执行以 A 寄存器为操作数的加/减运算，并对 BCD 校正结果寄存器(BCDADJ)执行加/减运算，来获得十进制校正运算结果。

32.2 十进制调整电路使用的寄存器

十进制调整电路使用如下的寄存器。

- BCD 校正结果寄存器(BCDADJ)

(1) BCD 校正结果寄存器(BCDADJ)

通过以 A 寄存器为操作数的加/减指令，获得 BCD 码的加/减结果所需要的校正值被存储于 BCDADJ 寄存器。

BCDADJ 寄存器的读取值因读取时 A 寄存器以及 CY 和 AC 标志的值而异。

使用 8 位存储器操作指令读取 BCDADJ 寄存器。

输入复位后，该寄存器被设置为未定义。

图 32-1. BCD 校正结果寄存器的格式 (BCDADJ)

地址: F00FEH 复位后: 未定义 R

符号	7	6	5	4	3	2	1	0
BCDADJ								

32.3 十进制调整电路的操作

十进制调整电路的基本操作如下所示。

(1) 加法: 以 BCD 码值计算出 BCD 码值与另一个 BCD 码值相加的结果

- <1> 被执行加法运算的 BCD 码值存储于 A 寄存器中。
- <2> 通过将 A 寄存器的值与第二个操作数（被加的另一个 BCD 码的值）在二进制格式下相加，二进制运算结果将存储于 A 寄存器中，校正值存储于 BCD 校正结果寄存器(BCDADJ) 中。
- <3> 通过在二进制格式下将 A 寄存器的值（二进制的加法运算结果）与 BCDADJ 寄存器（校正值）相加来实现十进制校正运算，校正结果存储于 A 寄存器和 CY 标志中。

注意事项 BCDADJ 寄存器的读取值因读取时 A 寄存器以及 CY 和 AC 标志的值而异。因此，在执行指令<2>之后，应该先执行指令<3>再执行其他指令。若要在中断允许状态下执行 BCD 校正，则须在执行中断功能的过程中保留和恢复 A 寄存器。通过 RETI 指令来恢复 PSW（CY 标志和 AC 标志）。

示例如下所示。

示例 1: $99 + 89 = 188$

指令	A 寄存器	CY 标志	AC 标志	BCDADJ 寄存器
MOV A, #99H ; <1>	99H	—	—	—
ADD A, #89H ; <2>	22H	1	1	66H
ADD A, !BCDADJ ; <3>	88H	1	0	—

示例 2: $85 + 15 = 100$

指令	A 寄存器	CY 标志	AC 标志	BCDADJ 寄存器
MOV A, #85H ; <1>	85H	—	—	—
ADD A, #15H ; <2>	9AH	0	0	66H
ADD A, !BCDADJ ; <3>	00H	1	1	—

示例 3: $80 + 80 = 160$

指令	A 寄存器	CY 标志	AC 标志	BCDADJ 寄存器
MOV A, #80H ; <1>	80H	—	—	—
ADD A, #80H ; <2>	00H	1	0	60H
ADD A, !BCDADJ ; <3>	60H	1	0	—

(2) 减法: 以 BCD 码值计算出从 BCD 码值减去另一个 BCD 码值的结果

- <1> 被执行减法运算的 BCD 码值存储于 A 寄存器中。
- <2> 在二进制格式下通过从 A 寄存器减去第二个操作数（被减的 BCD 码的值），二进制的运算结果将存储于 A 寄存器中，校正值存储于 BCD 校正结果寄存器(BCDADJ) 中。
- <3> 通过在二进制格式下从 A 寄存器（二进制的减运算结果）减去 BCDADJ 寄存器的值（校正值）来实现十进制校正运算，校正结果存储于 A 寄存器和 CY 标志中。

注意事项 BCDADJ 寄存器的读取值因读取时 A 寄存器以及 CY 和 AC 标志的值而异。因此，在执行指令<2>之后，应该先执行指令<3>再执行其他指令。若要在中断允许状态下执行 BCD 校正，则须在执行中断功能的过程中保留和恢复 A 寄存器。通过 RETI 指令来恢复 PSW（CY 标志和 AC 标志）。

示例如下所示。

示例: $91 - 52 = 39$

指令	A 寄存器	CY 标志	AC 标志	BCDADJ 寄存器
MOV A, #91H ; <1>	91H	—	—	—
SUB A, #52H ; <2>	3FH	0	1	06H
SUB A, !BCDADJ ; <3>	39H	0	0	—

第三十三章 指令集

本章列出 RL78 微控制器指令集中的指令。有关各操作和操作代码的详情，请参阅独立文档 **RL78 微控制器用户手册：软件**。

33.1 应用操作表

33.1.1 操作标识符和指定方法

操作数列于各指令的“操作数”一栏中，遵循指令操作数标识符的规范方法（详见编译器规范）。当存在两种或更多的规范方法时，选其一。大写字母以及#、!、!!、\$、\$!、[] 和 ES: 符号为关键字，描述时将保持原样。每个符号的含义如下。

- #: 立即数指定
- !: 16 位绝对地址指定
- !!: 20 位绝对地址指定
- \$: 8 位相对地址指定
- \$!: 16 位相对地址指定
- []: 间接地址指定
- ES:: 扩展地址指定

对于立即数，描述一个相应的数值或标签。使用标签时，也务必描述 #、!、!!、\$、\$!、[] 和 ES: 符号。

对于操作数的寄存器标识符 r 和 rp，可使用功能名称（X、A、C 等）或绝对名称（下表括号中名称，R0、R1、R2 等）进行描述。

表33-1. 操作标识符和指定方法

标识符	描述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊功能寄存器符号(SFR 符号)FFF00H 至 FFFFFH
sfrp	特殊功能寄存器符号 (16 位可操作 SFR 符号)仅用于偶数地址 ^注) FFF00H 至 FFFFFH
saddr	FFE20H 至 FFF1FH 立即数或标号
saddrp	FFE20H 至 FF1FH 立即数或标号(仅用于偶数地址 ^注)
addr20	00000H 至 FFFFFH 立即数或标号
addr16	0000H 至 FFFFH 立即数或标号 (16 位数据时仅用于偶数地址 ^注)
addr5	0080H 至 00BFH 立即数或标号 (仅用于偶数地址)
word	16 位立即数或标号
byte	8 位立即数或标号
bit	3 位立即数或标号
RBn	RB0 至 RB3

注 指定为奇数地址时位0 = 0。

备注 对于操作数 sfr，能以符号描述特殊功能寄存器。关于特殊功能寄存器的符号，请参阅表 3-5 SFR 列表。对于操作数!addr16，能以符号描述扩展特殊功能寄存器。关于扩展特殊功能寄存器的符号，请参阅表 3-6 扩展 SFR（2nd SFR）列表。

33.1.2 操作栏的说明

使用以下符号将执行指令时的操作列于“操作”栏中。

表33-2. “操作”栏的符号

符号	功能
A	A 寄存器; 8 位累加器
X	X 寄存器
B	B 寄存器
C	C 寄存器
D	D 寄存器
E	E 寄存器
H	H 寄存器
L	L 寄存器
ES	ES 寄存器
CS	CS 寄存器
AX	A 寄存器对; 16 位累加器
BC	BC 寄存器对
DE	DE 寄存器对
HL	HL 寄存器对
PC	程序计数器
SP	堆栈指针
PSW	程序状态字
CY	进位标志
AC	辅助进位标志
Z	零标志
RBS	寄存器组选择标志
IE	中断要求允许标志
()	()内的地址或寄存器的内容所指示的存储器的内容
X _H , X _L	16 位寄存器: X _H = 高 8 位, X _L = 低 8 位
X _S , X _H , X _L	20 位寄存器: X _S = (位 19 至 16), X _H = (位 15 至 8), X _L = (位 7 至 0)
^	逻辑(乘)积 (AND)
∨	逻辑和 (OR)
⊕	“异(或)” (exclusive OR)
–	反转数据
addr16	16 位立即数
addr20	20 位立即数
jdisp8	带符号的 8 位数据 (位移值)
jdisp16	带符号的 16 位数据 (位移值)

33.1.3 标志操作栏的说明

执行指令时标志值的变化使用以下符号列于“标志”栏中。

表33-3. “标志”栏的符号

符号	标志值的变化
(Blank)	无变化
0	清除为 0
1	设置为 1
×	根据结果设置/清除为 0
R	恢复以前保存的值

33.1.4 PREFIX 指令

通过把一个 PREFIX 操作代码作为具有“ES:”的指令的前缀，可以将可存取数据区域从 64 KB 空间（F0000H 至 FFFFFH）扩展至添加了 ES 寄存器值的 1 MB 空间（00000H 至 FFFFFH）。当将一个 PREFIX 操作代码作为前缀附加到目标指令上时，只有正好位于 PREFIX 操作代码之后的一条指令按照添加了 ES 寄存器值的地址被执行。

在 PREFIX 指令代码与紧随其后的指令之间，不受理中断和 DTC 传送。

表33-4. PREFIX操作代码示例

指令	操作代码				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意事项 在执行 PREFIX 指令之前，以 MOV ES、A 等设置 ES 寄存器值。

33.2 操作列表

表33-5. 操作列表 (1/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
8 位数据 传送	MOV	r, #byte	2	1	—	$r \leftarrow \text{byte}$			
		PSW, #byte	3	3	—	$\text{PSW} \leftarrow \text{byte}$	×	×	×
		CS, #byte	3	1	—	$\text{CS} \leftarrow \text{byte}$			
		ES, #byte	2	1	—	$\text{ES} \leftarrow \text{byte}$			
		!addr16, #byte	4	1	—	$(\text{addr16}) \leftarrow \text{byte}$			
		ES:!addr16, #byte	5	2	—	$(\text{ES}, \text{addr16}) \leftarrow \text{byte}$			
		saddr, #byte	3	1	—	$(\text{saddr}) \leftarrow \text{byte}$			
		sfr, #byte	3	1	—	$\text{sfr} \leftarrow \text{byte}$			
		[DE+byte], #byte	3	1	—	$(\text{DE}+\text{byte}) \leftarrow \text{byte}$			
		ES:[DE+byte], #byte	4	2	—	$((\text{ES}, \text{DE})+\text{byte}) \leftarrow \text{byte}$			
		[HL+byte], #byte	3	1	—	$(\text{HL}+\text{byte}) \leftarrow \text{byte}$			
		ES:[HL+byte], #byte	4	2	—	$((\text{ES}, \text{HL})+\text{byte}) \leftarrow \text{byte}$			
		[SP+byte], #byte	3	1	—	$(\text{SP}+\text{byte}) \leftarrow \text{byte}$			
		word[B], #byte	4	1	—	$(\text{B}+\text{word}) \leftarrow \text{byte}$			
		ES:word[B], #byte	5	2	—	$((\text{ES}, \text{B})+\text{word}) \leftarrow \text{byte}$			
		word[C], #byte	4	1	—	$(\text{C}+\text{word}) \leftarrow \text{byte}$			
		ES:word[C], #byte	5	2	—	$((\text{ES}, \text{C})+\text{word}) \leftarrow \text{byte}$			
		word[BC], #byte	4	1	—	$(\text{BC}+\text{word}) \leftarrow \text{byte}$			
		ES:word[BC], #byte	5	2	—	$((\text{ES}, \text{BC})+\text{word}) \leftarrow \text{byte}$			
		A, r ^{注3}	1	1	—	$\text{A} \leftarrow r$			
		r, A ^{注3}	1	1	—	$r \leftarrow \text{A}$			
		A, PSW	2	1	—	$\text{A} \leftarrow \text{PSW}$			
		PSW, A	2	3	—	$\text{PSW} \leftarrow \text{A}$	×	×	×
		A, CS	2	1	—	$\text{A} \leftarrow \text{CS}$			
		CS, A	2	1	—	$\text{CS} \leftarrow \text{A}$			
		A, ES	2	1	—	$\text{A} \leftarrow \text{ES}$			
		ES, A	2	1	—	$\text{ES} \leftarrow \text{A}$			
		A, !addr16	3	1	4	$\text{A} \leftarrow (\text{addr16})$			
		A, ES:!addr16	4	2	5	$\text{A} \leftarrow (\text{ES}, \text{addr16})$			
		!addr16, A	3	1	—	$(\text{addr16}) \leftarrow \text{A}$			
		ES:!addr16, A	4	2	—	$(\text{ES}, \text{addr16}) \leftarrow \text{A}$			
		A, saddr	2	1	—	$\text{A} \leftarrow (\text{saddr})$			
		saddr, A	2	1	—	$(\text{saddr}) \leftarrow \text{A}$			

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 除 r = A 以外。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (2/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
8 位数据 传送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (\text{DE})$			
		[DE], A	1	1	—	$(\text{DE}) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (\text{ES}, \text{DE})$			
		ES:[DE], A	2	2	—	$(\text{ES}, \text{DE}) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (\text{HL})$			
		[HL], A	1	1	—	$(\text{HL}) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (\text{ES}, \text{HL})$			
		ES:[HL], A	2	2	—	$(\text{ES}, \text{HL}) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (\text{DE} + \text{byte})$			
		[DE+byte], A	2	1	—	$(\text{DE} + \text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{DE}) + \text{byte})$			
		ES:[DE+byte], A	3	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (\text{HL} + \text{byte})$			
		[HL+byte], A	2	1	—	$(\text{HL} + \text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{HL}) + \text{byte})$			
		ES:[HL+byte], A	3	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (\text{SP} + \text{byte})$			
		[SP+byte], A	2	1	—	$(\text{SP} + \text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (\text{B} + \text{word})$			
		word[B], A	3	1	—	$(\text{B} + \text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((\text{ES}, \text{B}) + \text{word})$			
		ES:word[B], A	4	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (\text{C} + \text{word})$			
		word[C], A	3	1	—	$(\text{C} + \text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((\text{ES}, \text{C}) + \text{word})$			
		ES:word[C], A	4	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (\text{BC} + \text{word})$			
		word[BC], A	3	1	—	$(\text{BC} + \text{word}) \leftarrow A$			
		A, ES:word[BC]	4	2	5	$A \leftarrow ((\text{ES}, \text{BC}) + \text{word})$			
		ES:word[BC], A	4	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow A$			

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (3/18)

指令组	助记符	操作数	字节	时钟		时钟	标志
				注 1	注 2		Z AC CY
8 位数据 传送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$	
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$	
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$	
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$	
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$	
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$	
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$	
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$	
		X, !addr16	3	1	4	$X \leftarrow (addr16)$	
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$	
		X, saddr	2	1	—	$X \leftarrow (saddr)$	
		B, !addr16	3	1	4	$B \leftarrow (addr16)$	
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$	
		B, saddr	2	1	—	$B \leftarrow (saddr)$	
		C, !addr16	3	1	4	$C \leftarrow (addr16)$	
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$	
		C, saddr	2	1	—	$C \leftarrow (saddr)$	
		ES, saddr	3	1	—	$ES \leftarrow (saddr)$	
	XCH	A, r ^{※3}	1 (r = X) 2 (r = X除外)	1	—	$A \longleftrightarrow r$	
		A, !addr16	4	2	—	$A \longleftrightarrow (addr16)$	
		A, ES:!addr16	5	3	—	$A \longleftrightarrow (ES, addr16)$	
		A, saddr	3	2	—	$A \longleftrightarrow (saddr)$	
		A, sfr	3	2	—	$A \longleftrightarrow sfr$	
		A, [DE]	2	2	—	$A \longleftrightarrow (DE)$	
		A, ES:[DE]	3	3	—	$A \longleftrightarrow (ES, DE)$	
		A, [HL]	2	2	—	$A \longleftrightarrow (HL)$	
		A, ES:[HL]	3	3	—	$A \longleftrightarrow (ES, HL)$	
		A, [DE+byte]	3	2	—	$A \longleftrightarrow (DE + byte)$	
		A, ES:[DE+byte]	4	3	—	$A \longleftrightarrow ((ES, DE) + byte)$	
		A, [HL+byte]	3	2	—	$A \longleftrightarrow (HL + byte)$	
		A, ES:[HL+byte]	4	3	—	$A \longleftrightarrow ((ES, HL) + byte)$	

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 除 r = A 以外。

备注 时钟数是指程序存在于内部 ROM (闪存) 区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (4/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
8 位数据 传送	XCH	A, [HL+B]	2	2	—	$A \leftrightarrow (HL+B)$			
		A, ES:[HL+B]	3	3	—	$A \leftrightarrow ((ES, HL)+B)$			
		A, [HL+C]	2	2	—	$A \leftrightarrow (HL+C)$			
		A, ES:[HL+C]	3	3	—	$A \leftrightarrow ((ES, HL)+C)$			
	ONEB	A	1	1	—	$A \leftarrow 01H$			
		X	1	1	—	$X \leftarrow 01H$			
		B	1	1	—	$B \leftarrow 01H$			
		C	1	1	—	$C \leftarrow 01H$			
		!addr16	3	1	—	$(addr16) \leftarrow 01H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 01H$			
		saddr	2	1	—	$(saddr) \leftarrow 01H$			
	CLRB	A	1	1	—	$A \leftarrow 00H$			
		X	1	1	—	$X \leftarrow 00H$			
		B	1	1	—	$B \leftarrow 00H$			
		C	1	1	—	$C \leftarrow 00H$			
		!addr16	3	1	—	$(addr16) \leftarrow 00H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 00H$			
		saddr	2	1	—	$(saddr) \leftarrow 00H$			
	MOVS	[HL+byte], X	3	1	—	$(HL+byte) \leftarrow X$	×		×
		ES:[HL+byte], X	4	2	—	$(ES, HL+byte) \leftarrow X$	×		×
16 位数据 传送	MOVW	rp, #word	3	1	—	$rp \leftarrow word$			
		saddrp, #word	4	1	—	$(saddrp) \leftarrow word$			
		sfrp, #word	4	1	—	$sfrp \leftarrow word$			
		AX, rp ^{注3}	1	1	—	$AX \leftarrow rp$			
		rp, AX ^{注3}	1	1	—	$rp \leftarrow AX$			
		AX, !addr16	3	1	4	$AX \leftarrow (addr16)$			
		!addr16, AX	3	1	—	$(addr16) \leftarrow AX$			
		AX, ES:!addr16	4	2	5	$AX \leftarrow (ES, addr16)$			
		ES:!addr16, AX	4	2	—	$(ES, addr16) \leftarrow AX$			
		AX, saddrp	2	1	—	$AX \leftarrow (saddrp)$			
		saddrp, AX	2	1	—	$(saddrp) \leftarrow AX$			
		AX, sfrp	2	1	—	$AX \leftarrow sfrp$			
		sfrp, AX	2	1	—	$sfrp \leftarrow AX$			

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 除 r = A 以外。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (5/18)

指令组	助记符	操作数	字节	时钟		时钟	标志
				注 1	注 2		Z AC CY
16 位数 数据传送	MOVW	AX, [DE]	1	1	4	AX ← (DE)	
		[DE], AX	1	1	–	(DE) ← AX	
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)	
		ES:[DE], AX	2	2	–	(ES, DE) ← AX	
		AX, [HL]	1	1	4	AX ← (HL)	
		[HL], AX	1	1	–	(HL) ← AX	
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)	
		ES:[HL], AX	2	2	–	(ES, HL) ← AX	
		AX, [DE+byte]	2	1	4	AX ← (DE+byte)	
		[DE+byte], AX	2	1	–	(DE+byte) ← AX	
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)	
		ES:[DE+byte], AX	3	2	–	((ES, DE) + byte) ← AX	
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)	
		[HL+byte], AX	2	1	–	(HL + byte) ← AX	
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)	
		ES:[HL+byte], AX	3	2	–	((ES, HL) + byte) ← AX	
		AX, [SP+byte]	2	1	–	AX ← (SP + byte)	
		[SP+byte], AX	2	1	–	(SP + byte) ← AX	
		AX, word[B]	3	1	4	AX ← (B + word)	
		word[B], AX	3	1	–	(B + word) ← AX	
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)	
		ES:word[B], AX	4	2	–	((ES, B) + word) ← AX	
		AX, word[C]	3	1	4	AX ← (C + word)	
		word[C], AX	3	1	–	(C + word) ← AX	
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)	
		ES:word[C], AX	4	2	–	((ES, C) + word) ← AX	
		AX, word[BC]	3	1	4	AX ← (BC + word)	
		word[BC], AX	3	1	–	(BC + word) ← AX	
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)	
		ES:word[BC], AX	4	2	–	((ES, BC) + word) ← AX	

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (6/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
16 位数据传送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	–	BC ← (saddrp)			
		DE, saddrp	2	1	–	DE ← (saddrp)			
		HL, saddrp	2	1	–	HL ← (saddrp)			
	XCHW	AX, rp ^{注3}	1	1	–	AX ↔ rp			
	ONEW	AX	1	1	–	AX ← 0001H			
		BC	1	1	–	BC ← 0001H			
	CLRW	AX	1	1	–	AX ← 0000H			
		BC	1	1	–	BC ← 0000H			
8 位操作	ADD	A, #byte	2	1	–	A, CY ← A + byte	x	x	x
		saddr, #byte	3	2	–	(saddr), CY ← (saddr)+byte	x	x	x
		A, r ^{注4}	2	1	–	A, CY ← A + r	x	x	x
		r, A	2	1	–	r, CY ← r + A	x	x	x
		A, !addr16	3	1	4	A, CY ← A + (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	x	x	x
		A, saddr	2	1	–	A, CY ← A + (saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A + (HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A + (HL+byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL)+byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A + (HL+B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL)+B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A + (HL+C)	x	x	x
		A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	x	x	x

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 除 rp = AX 以外。

4. 除 r = A 以外。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (7/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
8 位操作	ADDC	A, #byte	2	1	–	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	–	$(saddr), CY \leftarrow (saddr) + \text{byte} + CY$	x	x	x
		A, r ^{注3}	2	1	–	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	–	$r, CY \leftarrow r + A + CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (ES, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	–	$A, CY \leftarrow A + (saddr) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (HL) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (ES, HL) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (HL + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (HL + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (HL + C) + CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + C) + CY$	x	x	x
	SUB	A, #byte	2	1	–	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	–	$(saddr), CY \leftarrow (saddr) - \text{byte}$	x	x	x
		A, r ^{注3}	2	1	–	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	–	$r, CY \leftarrow r - A$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES, \text{addr16})$	x	x	x
		A, saddr	2	1	–	$A, CY \leftarrow A - (saddr)$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL)$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (ES, HL)$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (HL + \text{byte})$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + \text{byte})$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (HL + B)$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + B)$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (HL + C)$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + C)$	x	x	x

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 除 r = A 以外。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (8/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
8 位操作	SUBC	A, #byte	2	1	–	$A, CY \leftarrow A - \text{byte} - CY$	x	x	x
		saddr, #byte	3	2	–	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	x	x	x
		A, r ^{注3}	2	1	–	$A, CY \leftarrow A - r - CY$	x	x	x
		r, A	2	1	–	$r, CY \leftarrow r - A - CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES, \text{addr16}) - CY$	x	x	x
		A, saddr	2	1	–	$A, CY \leftarrow A - (saddr) - CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL) - CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (ES, HL) - CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (HL+\text{byte}) - CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((ES, HL)+\text{byte}) - CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (HL+B) - CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((ES, HL)+B) - CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (HL+C) - CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((ES:HL)+C) - CY$	x	x	x
	AND	A, #byte	2	1	–	$A \leftarrow A \wedge \text{byte}$	x		
		saddr, #byte	3	2	–	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	x		
		A, r ^{注3}	2	1	–	$A \leftarrow A \wedge r$	x		
		r, A	2	1	–	$R \leftarrow r \wedge A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (ES:\text{addr16})$	x		
		A, saddr	2	1	–	$A \leftarrow A \wedge (saddr)$	x		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (HL)$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (ES:HL)$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \wedge (HL+\text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \wedge ((ES:HL)+\text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \wedge (HL+B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \wedge ((ES:HL)+B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \wedge (HL+C)$	x		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((ES:HL)+C)$	x		

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 除 r = A 以外。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (9/18)

指令组	助记符	操作数	字节	时钟		时钟	标志
				注 1	注 2		Z AC CY
8 位操作	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	×
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×
		A, r ^{注 3}	2	1	—	$A \leftarrow A \vee r$	×
		r, A	2	1	—	$r \leftarrow r \vee A$	×
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	×
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	×
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	×
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{H})$	×
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	×
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	×
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{B})$	×
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{B})$	×
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{C})$	×
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{C})$	×
	XOR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	×
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×
		A, r ^{注 3}	2	1	—	$A \leftarrow A \vee r$	×
		r, A	2	1	—	$r \leftarrow r \vee A$	×
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	×
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	×
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	×
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	×
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	×
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	×
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{B})$	×
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{B})$	×
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{C})$	×
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{C})$	×

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 除 r = A 以外。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (10/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
8 位操作	CMP	A, #byte	2	1	–	A – byte	x	x	x
		!addr16, #byte	4	1	4	(addr16) – byte	x	x	x
		ES:!addr16, #byte	5	2	5	(ES:addr16) – byte	x	x	x
		saddr, #byte	3	1	–	(saddr) – byte	x	x	x
		A, r ^{注3}	2	1	–	A – r	x	x	x
		r, A	2	1	–	r – A	x	x	x
		A, !addr16	3	1	4	A – (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A – (ES:addr16)	x	x	x
		A, saddr	2	1	–	A – (saddr)	x	x	x
		A, [HL]	1	1	4	A – (HL)	x	x	x
		A, ES:[HL]	2	2	5	A – (ES:HL)	x	x	x
		A, [HL+byte]	2	1	4	A – (HL+byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A – ((ES:HL)+byte)	x	x	x
		A, [HL+B]	2	1	4	A – (HL+B)	x	x	x
		A, ES:[HL+B]	3	2	5	A – ((ES:HL)+B)	x	x	x
		A, [HL+C]	2	1	4	A – (HL+C)	x	x	x
		A, ES:[HL+C]	3	2	5	A – ((ES:HL)+C)	x	x	x
	CMP0	A	1	1	–	A – 00H	x	x	x
		X	1	1	–	X – 00H	x	x	x
		B	1	1	–	B – 00H	x	x	x
		C	1	1	–	C – 00H	x	x	x
		!addr16	3	1	4	(addr16) – 00H	x	x	x
		ES:!addr16	4	2	5	(ES:addr16) – 00H	x	x	x
	CMP5	saddr	2	1	–	(saddr) – 00H	x	x	x
		X, [HL+byte]	3	1	4	X – (HL+byte)	x	x	x
		X, ES:[HL+byte]	4	2	5	X – ((ES:HL)+byte)	x	x	x

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 除 r = A 以外。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (11/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
16 位 操作	ADDW	AX, #word	3	1	–	AX, CY ← AX+word	x	x	x
		AX, AX	1	1	–	AX, CY ← AX+AX	x	x	x
		AX, BC	1	1	–	AX, CY ← AX+BC	x	x	x
		AX, DE	1	1	–	AX, CY ← AX+DE	x	x	x
		AX, HL	1	1	–	AX, CY ← AX+HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX+(addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX+(ES:addr16)	x	x	x
		AX, saddrp	2	1	–	AX, CY ← AX+(saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX+(HL+byte)	x	x	x
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX+((ES:HL)+byte)	x	x	x
	SUBW	AX, #word	3	1	–	AX, CY ← AX – word	x	x	x
		AX, BC	1	1	–	AX, CY ← AX – BC	x	x	x
		AX, DE	1	1	–	AX, CY ← AX – DE	x	x	x
		AX, HL	1	1	–	AX, CY ← AX – HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX – (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX – (ES:addr16)	x	x	x
		AX, saddrp	2	1	–	AX, CY ← AX – (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX – (HL+byte)	x	x	x
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX – ((ES:HL)+byte)	x	x	x
	CMPW	AX, #word	3	1	–	AX – word	x	x	x
		AX, BC	1	1	–	AX – BC	x	x	x
		AX, DE	1	1	–	AX – DE	x	x	x
		AX, HL	1	1	–	AX – HL	x	x	x
		AX, !addr16	3	1	4	AX – (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX – (ES:addr16)	x	x	x
		AX, saddrp	2	1	–	AX – (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX – (HL+byte)	x	x	x
		AX, ES:[HL+byte]	4	2	5	AX – ((ES:HL)+byte)	x	x	x
Multiply	MULU	X	1	1	–	AX ← A×X			

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (12/18)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
乘除法器 和乘加器	MULU	X	1	1	–	$AX \leftarrow A \times X$			
	MULHU		3	2	–	$BCAX \leftarrow AX \times BC$ (无符号)			
	MULH		3	2	–	$BCAX \leftarrow AX \times BC$ (带符号)			
	DIVHU		3	9	–	AX (商), DE (余数) $\leftarrow AX \div DE$ (无符号)			
	DIVWU		3	17	–	$BCAX$ (商), $HLDE$ (余数) $\leftarrow BCAX \div HLDE$ (无符号)			
	MACHU		3	3	–	$MACR \leftarrow MACR + AX \times BC$ (无符号)	×		×
	MACH		3	3	–	$MACR \leftarrow MACR + AX \times BC$ (带符号)	×		×

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

备注 1. 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

2. MACR: 乘法累加运算寄存器(MACRH, MACRL)。

表33-5. 操作列表 (13/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
递增/ 递减	INC	r	1	1	—	$r \leftarrow r+1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)+1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$	×	×	
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r-1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)-1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)-1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)-1$	×	×	
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)-1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp+1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)+1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$			
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$			
	DECW	rp	1	1	—	$rp \leftarrow rp-1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)-1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)-1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)-1$			
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)-1$			
Shift	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
	SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

备注 1. 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

2. cnt 为位移位数。

表33-5. 操作列表 (14/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
Rotate	ROR	A, 1	2	1	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX,1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
		BC,1	2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×
位操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY,[HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×
		ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY,[HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \vee (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (15/18)

指令组	助记符	操作数	字节	时钟		时钟	标志		
				注 1	注 2		Z	AC	CY
位操作	XOR1	CY, A.bit	2	1	–	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	–	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	–	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	–	$CY \leftarrow CY \vee sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \vee (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×
	SET1	A.bit	2	1	–	$A.bit \leftarrow 1$			
		PSW.bit	3	4	–	$PSW.bit \leftarrow 1$	×	×	×
		!addr16.bit	4	2	–	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	–	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	–	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	–	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	–	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	–	$(ES, HL).bit \leftarrow 1$			
	CLR1	A.bit	2	1	–	$A.bit \leftarrow 0$			
		PSW.bit	3	4	–	$PSW.bit \leftarrow 0$	×	×	×
		!addr16.bit	4	2	–	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	–	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	–	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	–	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	–	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	–	$(ES, HL).bit \leftarrow 0$			
	SET1	CY	2	1	–	$CY \leftarrow 1$			1
	CLR1	CY	2	1	–	$CY \leftarrow 0$			0
	NOT1	CY	2	1	–	$CY \leftarrow CY$			×

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (16/18)

指令组	助记符	操作数	字节	时钟		时钟	标志
				注 1	注 2		Z AC CY
调用 / 返回	CALL	rp	2	3	–	$(SP - 2) \leftarrow (PC+2)_S, (SP - 3) \leftarrow (PC+2)_H,$ $(SP - 4) \leftarrow (PC+2)_L, PC \leftarrow CS, rp,$ $SP \leftarrow SP - 4$	
		\$!addr20	3	3	–	$(SP - 2) \leftarrow (PC+3)_S, (SP - 3) \leftarrow (PC+3)_H,$ $(SP - 4) \leftarrow (PC+3)_L, PC \leftarrow PC+3+jdisp16,$ $SP \leftarrow SP - 4$	
		!addr16	3	3	–	$(SP - 2) \leftarrow (PC+3)_S, (SP - 3) \leftarrow (PC+3)_H,$ $(SP - 4) \leftarrow (PC+3)_L, PC \leftarrow 0000, addr16,$ $SP \leftarrow SP - 4$	
		!!addr20	4	3	–	$(SP - 2) \leftarrow (PC+4)_S, (SP - 3) \leftarrow (PC+4)_H,$ $(SP - 4) \leftarrow (PC+4)_L, PC \leftarrow addr20,$ $SP \leftarrow SP - 4$	
	CALLT	[addr5]	2	5	–	$(SP - 2) \leftarrow (PC+2)_S, (SP - 3) \leftarrow (PC+2)_H,$ $(SP - 4) \leftarrow (PC+2)_L, PC_S \leftarrow 0000,$ $PC_H \leftarrow (0000, addr5+1),$ $PC_L \leftarrow (0000, addr5),$ $SP \leftarrow SP - 4$	
	BRK	-	2	5	–	$(SP - 1) \leftarrow PSW, (SP - 2) \leftarrow (PC+2)_S,$ $(SP - 3) \leftarrow (PC+2)_H, (SP - 4) \leftarrow (PC+2)_L,$ $PC_S \leftarrow 0000,$ $PC_H \leftarrow (0007FH), PC_L \leftarrow (0007EH),$ $SP \leftarrow SP - 4, IE \leftarrow 0$	
	RET	-	1	6	–	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1),$ $PC_S \leftarrow (SP+2), SP \leftarrow SP+4$	
	RETI	-	2	6	–	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1),$ $PC_S \leftarrow (SP+2), PSW \leftarrow (SP+3),$ $SP \leftarrow SP+4$	R R R
	RETB	-	2	6	–	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1),$ $PC_S \leftarrow (SP+2), PSW \leftarrow (SP+3),$ $SP \leftarrow SP+4$	R R R

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (17/18)

指令组	助记符	操作数	字节	时钟		时钟	标志
				注 1	注 2		Z AC CY
堆栈操作	PUSH	PSW	2	1	–	(SP – 1) ← PSW, (SP – 2) ← 00H, SP ← SP – 2	
		rp	1	1	–	(SP – 1) ← rp _H , (SP – 2) ← rp _L , SP ← SP – 2	
	POP	PSW	2	3	–	PSW ← (SP+1), SP ← SP + 2	R R R
		rp	1	1	–	rp _L ← (SP), rp _H ← (SP+1), SP ← SP + 2	
	MOVW	SP, #word	4	1	–	SP ← word	
		SP, AX	2	1	–	SP ← AX	
		AX, SP	2	1	–	AX ← SP	
		HL, SP	3	1	–	HL ← SP	
		BC, SP	3	1	–	BC ← SP	
		DE, SP	3	1	–	DE ← SP	
	ADDW	SP, #byte	2	1	–	SP ← SP + byte	
	SUBW	SP, #byte	2	1	–	SP ← SP – byte	
无条件分支	BR	AX	2	3	–	PC ← CS, AX	
		\$addr20	2	3	–	PC ← PC + 2 + jdisp8	
		!\$addr20	3	3	–	PC ← PC + 3 + jdisp16	
		!addr16	3	3	–	PC ← 0000, addr16	
		!!addr20	4	3	–	PC ← addr20	
有条件分支	BC	\$addr20	2	2/4 ^{注3}	–	PC ← PC + 2 + jdisp8 if CY = 1	
	BNC	\$addr20	2	2/4 ^{注3}	–	PC ← PC + 2 + jdisp8 if CY = 0	
	BZ	\$addr20	2	2/4 ^{注3}	–	PC ← PC + 2 + jdisp8 if Z = 1	
	BNZ	\$addr20	2	2/4 ^{注3}	–	PC ← PC + 2 + jdisp8 if Z = 0	
	BH	\$addr20	3	2/4 ^{注3}	–	PC ← PC + 3 + jdisp8 if (Z∨CY)=0	
	BNH	\$addr20	3	2/4 ^{注3}	–	PC ← PC + 3 + jdisp8 if (Z∨CY)=1	
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	–	PC ← PC + 4 + jdisp8 if (saddr).bit = 1	
		sfr.bit, \$addr20	4	3/5 ^{注3}	–	PC ← PC + 4 + jdisp8 if sfr.bit = 1	
		A.bit, \$addr20	3	3/5 ^{注3}	–	PC ← PC + 3 + jdisp8 if A.bit = 1	
		PSW.bit, \$addr20	4	3/5 ^{注3}	–	PC ← PC + 4 + jdisp8 if PSW.bit = 1	
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1	
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1	

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 表示“当不符合条件/符合条件时”的时钟数。

备注 时钟数是指程序存在于内部 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表33-5. 操作列表 (18/18)

指令组	助记符	操作数	字节	时钟		时钟	标志
				注 1	注 2		Z AC CY
有条件分支	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0	
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0	
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC + 3 + jdisp8 if A.bit = 0	
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0	
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0	
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0	
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit	
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit	
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit	
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	× × ×
		[HL].bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit	
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit	
条件跳跃	SKC	—	2	1	—	Next instruction skip if CY = 1	
	SKNC	—	2	1	—	Next instruction skip if CY = 0	
	SKZ	—	2	1	—	Next instruction skip if Z = 1	
	SKNZ	—	2	1	—	Next instruction skip if Z = 0	
	SKH	—	2	1	—	Next instruction skip if (Z∨CY)=0	
	SKNH	—	2	1	—	Next instruction skip if (Z∨CY)=1	
CPU 控制	SEL ^{注4}	RBn	2	1	—	RBS[1:0] ← n	
	NOP	—	1	1	—	无操作	
	EI	—	3	4	—	IE ← 1 (允许中断)	
	DI	—	3	4	—	IE ← 0 (禁止中断)	
	HALT	—	2	3	—	设置 HALT 模式	
	STOP	—	2	3	—	设置 STOP 模式	

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数(f_{CLK})。

2. 程序存储器区域被存取时的 CPU 时钟数 (f_{CLK})。

3. 表示“当不符合条件/符合条件时”的时钟数。

4. n 为寄存器组编号 (n = 0 至 3)。

备注 时钟数是指程序存在于内部 ROM (闪存) 区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

第三十四章 电特性

- 注意事项**
1. RL78/G14 具有用于开发和评估的 On-chip 调试功能。对于量产类产品，不得使用 On-chip 调试功能，因为在使用该功能时，可能会超过内存的担保可重写次数，因而会使产品可靠性失去保障。对于使用 On-chip 调试功能时发生的问题，瑞萨电子不承担任何责任。
 2. 如下所示，安装的引脚视具体产品而定。

34.1 安装的引脚（具体视产品而定）

34.1.1 端口功能

请参阅 2.1.1 30 针产品 至 2.1.10 100 针产品。

34.1.2 端口以外的引脚

请参阅 2.1.11 各种产品的引脚（端口引脚以外的引脚）。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.2 最大绝对额定值

最大绝对额定值 (T_A = 25°C) (1/2)

参数	符号	条件	额定值	单位
电源电压	V _{DD}		−0.5 至 +6.5	V
	EV _{DD0} , EV _{DD1}	EV _{DD0} = EV _{DD1}	−0.5 至 +6.5	V
	V _{SS}		−0.5 至 +0.3	V
	EV _{SS0} , EV _{SS1}	EV _{SS0} = EV _{SS1}	−0.5 至 +0.3	V
REGC 引脚输入电压	V _{I REGC}	REGC	−0.3 至 +2.8 和 −0.3 至 V _{DD} + 0.3 ^{注1}	V
输入电压	V _{I1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P140 至 P147	−0.3 至 EV _{DD0} + 0.3 和 −0.3 至 V _{DD} + 0.3 ^{注2}	V
	V _{I2}	P60 至 P63 (N 沟道开路漏极)	−0.3 至 +6.5	V
	V _{I3}	P20 至 P27, P121 至 P124, P137, P150 至 P156, EXCLK, EXCLKS, RESET	−0.3 至 V _{DD} + 0.3 ^{注2}	V
输出电压	V _{O1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P60 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P130, P140 至 P147	−0.3 至 EV _{DD0} + 0.3 和 −0.3 至 V _{DD} + 0.3 ^{注2}	V
	V _{O2}	P20 至 P27, P150 至 P156	−0.3 至 V _{DD} + 0.3	V
模拟输入电压	V _{AI1}	ANI16 至 ANI20	−0.3 至 EV _{DD0} + 0.3 ^{注2}	V
	V _{AI2}	ANI0 至 ANI14	−0.3 至 V _{DD} + 0.3 ^{注2}	V

注 1. 通过一个电容 (0.47 至 1 μF) 将 REGC 引脚连接至 V_{SS}。该值调节 REGC 引脚的最大绝对额定值。不得在施加电压时使用该引脚。

2. 必须为 6.5 V 或更低。

注意事项 任何参数如果超过最大额定值，即使只有一瞬间超过也可能损坏产品质量。也就是说，最大绝对额定值是对产品造成物理损坏的临界值，因此必须确保在不超过最大绝对额定值下使用产品。

备注 除非另有说明，否则复用功能引脚的特性与端口引脚的特性相同。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

最大绝对额定值 (TA = 25°C) (2/2)

参数	符号	条件		额定值	单位
输出电流，高电位	IOH1	每个引脚	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P130, P140 至 P147	-40	mA
		所有引脚共计 -170 mA	P00 至 P04, P40 至 P47, P102, P120, P130, P140 至 P145	-70	mA
			P05, P06, P10 至 P17, P30, P31, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100, P101, P110, P111, P146, P147	-100	mA
	IOH2	每个引脚	P20 至 P27, P150 至 P156	-0.5	mA
		所有引脚共计		-2	mA
输出电流，低电位	IOL1	每个引脚	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P130, P140 至 P147	40	mA
		所有引脚共计 170 mA	P00 至 P04, P40 至 P47, P102, P120, P130, P140 至 P145	70	mA
			P05, P06, P10 至 P17, P30, P31, P50 至 P57, P60 至 P67, P70 至 P77, P80 至 P87, P100, P101, P110, P111, P146, P147	100	mA
	IOL2	每个引脚	P20 至 P27, P150 至 P156	1	mA
		所有引脚共计		5	mA
工作环境温度	TA	在正常操作模式下		-40 至 +85	°C
		在内存编程模式下			
存储温度	Tstg			-65 至 +150	°C

注意事项 任何参数如果超过最大额定值，即使只有一瞬间超过也可能损坏产品质量。也就是说，最大绝对额定值是对产品造成物理损坏的临界值，因此必须确保在不超过最大绝对额定值下使用产品。

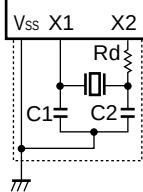
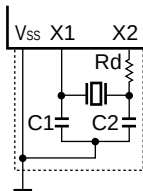
备注 除非另有说明，否则复用功能引脚的特性与端口引脚的特性相同。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.3 振荡电路特性

34.3.1 主系统时钟振荡电路特性

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq E_{VDD0} = E_{VDD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = E_{VSS0} = E_{VSS1} = 0\text{ V}$)

谐振器	推荐电路	参数	条件	最小值	典型值	最大值	单位
陶瓷谐振器		X1 时钟振荡频率 (f_x) ^注	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.0		20.0	MHz
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.0		8.0	MHz
			$1.6\text{ V} \leq V_{DD} < 1.8\text{ V}$	1.0		4.0	MHz
晶体谐振器		X1 时钟振荡频率 (f_x) ^注	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.0		20.0	MHz
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.0		8.0	MHz
			$1.6\text{ V} \leq V_{DD} < 1.8\text{ V}$	1.0		4.0	MHz

注 仅表示振荡电路特性。关于指令执行时间，请参阅“AC 特性”。

注意事项 1. 使用 X1 振荡电路时，按照下面的要求在上图中虚线框起来的区域进行布线，从而避免布线电容的副作用。

- 布线要保证尽可能短。
 - 不要和其他的信号线交叉。
 - 请勿将布线靠近通过大波动电流的信号线。
 - 始终保持振荡电路电容的接地点与 V_{SS} 具有相同电位。
 - 请勿将电容的接地点连接在大电流通过的接地布局。
 - 请勿从振荡电路取信号。
2. 解除复位后，使用高速片上振荡器时钟来启动 CPU，因此，用户须通过振荡稳定时间计数器状态寄存器 (OSTC) 来确认 X1 时钟振荡稳定时间。使用谐振器对于振荡稳定时间进行充分评估后，确定 OSTC 寄存器和振荡稳定时间选择寄存器 (OSTS) 的振荡稳定时间。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.3.2 片上振荡器特性

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

振荡器	参数	条件		最小值	典型值	最大值	单位
高速片上振荡器时钟频率 ^{注1}	f_{IH}			1		32	MHz
高速片上振荡器时钟频率精度 ^{注2}		-20 至 $+85^\circ\text{C}$	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	-1		+1	%
			$1.6\text{ V} \leq V_{DD} < 1.8\text{ V}$	-5		+5	%
		-40 至 -20°C	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	-1.5		+1.5	%
			$1.6\text{ V} \leq V_{DD} < 1.8\text{ V}$	-5.5		+5.5	%
低速片上振荡器时钟频率	f_{IL}				15		kHz
低速片上振荡器时钟频率精度				-15		+15	%

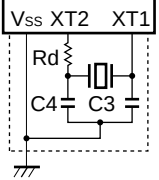
注 1. 可通过选项字节(000C2H/010C2H)的位 0 至 4 和 HOCODIV 寄存器的位 0 至 2 来选择高速片上振荡器时钟频率。

2. 仅表示振荡电路特性。关于指令执行时间，请参阅“AC 特性”。

在 SSOP (30 针)、WQFN (32、40、48 针)、FLGA (36 针)、LQFP (7 × 7) (48 针)、LQFP (10 × 10) (52 针)、LQFP (12 × 12) (64、80 针)、LQFP (14 × 14) (80、100 针)、LQFP (14 × 20) (100 针) 产品中，这些规格表示目标值，器件评估后可能改变。

34.3.3 副系统时钟振荡器特性

(T_A = -40 至 +85°C, 1.6 V ≤ E_{VDD0} = E_{VDD1} ≤ 5.5 V, V_{SS} = E_{VSS0} = E_{VSS1} = 0 V)

谐振器	推荐电路	项目	条件	最小值	典型值	最大值	单位
晶体谐振器		XT1 时钟振荡频率 (f _{XT}) [※]		32	32.768	35	kHz

注 仅表示振荡电路特性。关于指令执行时间，请参阅“AC 特性”。

注意事项 1. 使用 XT1 振荡器时，按照下面的要求在上图中虚线框起来的区域进行布线，从而避免布线电容的副作用。

- 布线要保证尽可能短。
 - 不要和其他的信号线交叉。
 - 请勿将布线靠近通过大波动电流的信号线。
 - 始终保持振荡电路电容的接地点与 V_{SS} 具有相同电位。
 - 请勿将电容的接地点连接在大电流通过的接地布局。
 - 请勿从振荡电路取信号。
2. 为了降低功耗，XT1 振荡电路设采用低振幅电路，与 X1 振荡电路相比，更容易诱发噪声导致的误操作。因此，使用 XT 时钟时，应特别注意布线方法。

备注 有关谐振器的选择和振荡电路常数，需要用户自行评估振荡特性或者委托谐振器生产商提供评估。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.4 DC 特性

34.4.1 引脚特性

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

项目	符号	条件	最小值	典型值	最大值	单位
输出电流，高电位 ^{注1}	I _{OH1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P130, P140 至 P147 的每个引脚	$1.6\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		-10.0 ^{注2}	mA
		P00 至 P04, P40 至 P47, P102, P120, P130, P140 至 P145 的共计 (当 duty = 70%时 ^{注3})	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		-55.0	mA
			$2.7\text{ V} \leq \text{EV}_{\text{DD}0} < 4.0\text{ V}$		-10.0	mA
			$1.8\text{ V} \leq \text{EV}_{\text{DD}0} < 2.7\text{ V}$		-5.0	mA
			$1.6\text{ V} \leq \text{EV}_{\text{DD}0} < 1.8\text{ V}$		-2.5	mA
		P05, P06, P10 至 P17, P30, P31, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100, P101, P110, P111, P146, P147 的共计 (当 duty = 70%时 ^{注3})	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		-80.0	mA
			$2.7\text{ V} \leq \text{EV}_{\text{DD}0} < 4.0\text{ V}$		-19.0	mA
			$1.8\text{ V} \leq \text{EV}_{\text{DD}0} < 2.7\text{ V}$		-10.0	mA
			$1.6\text{ V} \leq \text{EV}_{\text{DD}0} < 1.8\text{ V}$		-5.0	mA
		所有引脚总和 (当 duty = 70%时 ^{注3})	$1.6\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		-135.0	mA
	I _{OH2}	P20 至 P27, P150 至 P156 的每个引脚	$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		-0.1 ^{注2}	mA
		所有引脚总和 (当 duty = 70%时 ^{注3})	$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		-1.5	mA

注 1. 即使电流从 EV_{DD0}、EV_{DD1}、V_{DD} 引脚流向输出引脚时也可保证器件正常工作的电流值。

2. 但不得超过总电流值。

3. 占空比为 70% 的条件下的规格。

改变了占空比的输出电流值可以用以下表达式算出（使占空比从 70% 变成 n% 时）。

- 所有引脚的输出电流共计 = $(I_{\text{OH}} \times 0.7)/(n \times 0.01)$

<示例> 当 n = 50% 和 I_{OH} = -10.0 mA 时

所有引脚的输出电流共计 = $(-10.0 \times 0.7)/(50 \times 0.01) = -14.0\text{ mA}$

然而，允许流进引脚的电流并不因占空比而变化。高于最大绝对额定值的电流不得流入引脚。

注意事项 在 N 沟道开路漏极模式下，P00, P02 至 P04, P10, P11, P13 至 P15, P17, P30, P43 至 P45, P50 至 P55, P71, P74, P80 至 P82 和 P142 至 P144 不能输出高电位。

备注 除非另有说明，否则复用功能引脚的特性与端口引脚的特性相同。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

项目	符号	条件	最小值	典型值	最大值	单位
输出电流, 低电平 ^{注1}	I _{OL1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P130, P140 至 P147 的每个引脚			20.0 ^{注2}	mA
		Per pin for P60 至 P63			15.0 ^{注2}	mA
		Total of P00 至 P04, P40 至 P47, P102, P120, P130, P140 至 P145 的共计 (当 duty = 70%时 ^{注3})	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		70.0	mA
			$2.7\text{ V} \leq \text{EV}_{\text{DD}0} < 4.0\text{ V}$		15.0	mA
			$1.8\text{ V} \leq \text{EV}_{\text{DD}0} < 2.7\text{ V}$		9.0	mA
			$1.6\text{ V} \leq \text{EV}_{\text{DD}0} < 1.8\text{ V}$		4.5	mA
		P05, P06, P10 至 P17, P30, P31, P50 至 P57, P60 至 P67, P70 至 P77, P80 至 P87, P100, P101, P110, P111, P146, P147 的共计 (当 duty = 70%时 ^{注3})	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		80.0	mA
			$2.7\text{ V} \leq \text{EV}_{\text{DD}0} < 4.0\text{ V}$		35.0	mA
			$1.8\text{ V} \leq \text{EV}_{\text{DD}0} < 2.7\text{ V}$		20.0	mA
			$1.6\text{ V} \leq \text{EV}_{\text{DD}0} < 1.8\text{ V}$		10.0	mA
		所有引脚共计 (当 duty = 70%时 ^{注3})			150.0	mA
	I _{OL2}	P20 至 P27, P150 至 P156 的每个引脚			0.4 ^{注2}	mA
		所有引脚共计 (当 duty = 70%时 ^{注3})	$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		5.0	mA

注 1. 即使电流从输出引脚流向 EV_{SS0}、EV_{SS1} 和 V_{SS} 引脚时也可保证器件正常工作的电流值。

2. 但不得超过总电流值。

3. 占空比为 70% 的条件下的规格。

改变了占空比的输出电流值可以用以下表达式算出（使占空比从 70% 变成 n% 时）。

• 所有引脚的输出电流共计 = $(I_{OL} \times 0.7)/(n \times 0.01)$

<示例> 当 n = 50% 和 I_{OH} = -10.0 mA 时

所有引脚的输出电流共计 = $(10.0 \times 0.7)/(50 \times 0.01) = 14.0\text{ mA}$

然而，允许流进引脚的电流并不因占空比而变化。高于最大绝对额定值的电流不得流入引脚。

备注 除非另有说明，否则复用功能引脚的特性与端口引脚的特性相同。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{ V}$)

项目	符号	条件	最小值	典型值	最大值	单位
输入电压，高电平	V_{IH1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P140 至 P147	正常输入缓冲器	$0.8\text{EV}_{\text{DD0}}$	EV_{DD0}	V
	V_{IH2}	P01, P03, P04, P10, P14 至 P17, P30, P31, P43, P44, P50, P53 至 P55, P80, P81, P142, P143	TTL 输入缓冲器 $4.0\text{ V} \leq \text{EV}_{\text{DD0}} \leq 5.5\text{ V}$	2.2	EV_{DD0}	V
			TTL 输入缓冲器 $3.3\text{ V} \leq \text{EV}_{\text{DD0}} < 4.0\text{ V}$	2.0	EV_{DD0}	V
			TTL 输入缓冲器 $1.6\text{ V} \leq \text{EV}_{\text{DD0}} < 3.3\text{ V}$	1.50	EV_{DD0}	V
	V_{IH3}	P20 至 P27, P150 至 P156	0.7V_{DD}		V_{DD}	V
	V_{IH4}	P60 至 P63	$0.7\text{EV}_{\text{DD0}}$		6.0	V
	V_{IH5}	P121 至 P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$	0.8V_{DD}		V_{DD}	V
输入电压，低电平	V_{IL1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P140 至 P147	正常输入缓冲器	0	$0.2\text{EV}_{\text{DD0}}$	V
	V_{IL2}	P01, P03, P04, P10, P14 至 P17, P30, P31, P43, P44, P50, P53 至 P55, P80, P81, P142, P143	TTL 输入缓冲器 $4.0\text{ V} \leq \text{EV}_{\text{DD0}} \leq 5.5\text{ V}$	0	0.8	V
			TTL 输入缓冲器 $2.7\text{ V} \leq \text{EV}_{\text{DD0}} < 4.0\text{ V}$	0	0.5	V
			TTL 输入缓冲器 $1.6\text{ V} \leq \text{EV}_{\text{DD0}} < 2.7\text{ V}$	0	0.32	V
	V_{IL3}	P20 至 P27, P150 至 P156	0		0.3V_{DD}	V
	V_{IL4}	P60 至 P63	0		$0.3\text{EV}_{\text{DD0}}$	V
	V_{IL5}	P121 至 P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$	0		0.2V_{DD}	V

注意事项 在 N 沟道开路漏极模式时，P00, P02 至 P04, P10, P11, P13 至 P15, P17, P30, P43 至 P45, P50 至 P55, P71, P74, P80 至 P82, 和 P142 至 P144 引脚的 V_{IH} 的最大值为 EV_{DD0} 。

备注 除非另有说明，否则复用功能引脚的特性与端口引脚的特性相同。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

项目	符号	条件	最小值	典型值	最大值	单位
输出电压，高电位	V _{OH1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P130, P140 至 P147	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OH}1} = -10.0\text{ mA}$	$\text{EV}_{\text{DD}0} - 1.5$		V
			$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OH}1} = -3.0\text{ mA}$	$\text{EV}_{\text{DD}0} - 0.7$		V
			$1.8\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OH}1} = -1.5\text{ mA}$	$\text{EV}_{\text{DD}0} - 0.5$		V
			$1.6\text{ V} \leq \text{EV}_{\text{DD}0} < 1.8\text{ V}$, $\text{I}_{\text{OH}1} = -1.0\text{ mA}$	$\text{EV}_{\text{DD}0} - 0.5$		V
	V _{OH2}	P20 至 P27, P150 至 P156	$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{I}_{\text{OH}2} = -100\text{ }\mu\text{A}$	$\text{V}_{\text{DD}} - 0.5$		V
输出电压，低电位	V _{OL1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P130, P140 至 P147	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}1} = 20\text{ mA}$		1.3	V
			$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}1} = 8.5\text{ mA}$		0.7	V
			$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}1} = 4.0\text{ mA}$		0.4	V
			$2.7\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}1} = 1.5\text{ mA}$		0.4	V
			$1.8\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}1} = 0.6\text{ mA}$		0.4	V
			$1.6\text{ V} \leq \text{EV}_{\text{DD}0} < 1.8\text{ V}$, $\text{I}_{\text{OL}1} = 0.3\text{ mA}$		0.4	V
	V _{OL2}	P20 至 P27, P150 至 P156	$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}2} = 400\text{ }\mu\text{A}$		0.4	V
	V _{OL3}	P60 至 P63	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}3} = 15.0\text{ mA}$		2.0	V
			$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}3} = 5.0\text{ mA}$		0.4	V
			$2.7\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}3} = 3.0\text{ mA}$		0.4	V
			$1.8\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}3} = 2.0\text{ mA}$		0.4	V
			$1.6\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $\text{I}_{\text{OL}3} = 1.0\text{ mA}$		0.4	V

注意事项 在 N 沟道开路漏极模式下，P00, P02 至 P04, P10, P11, P13 至 P15, P17, P30, P43 至 P45, P50 至 P55, P71, P74, P80 至 P82 和 P142 至 P144 不能输出高电位。

备注 除非另有说明，否则复用功能引脚的特性与端口引脚的特性相同。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

项目	符号	条件	最小值	典型值	最大值	单位		
输入泄漏电流， 高电位	I _{LH1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P140 至 P147	V _I = EV _{DD0}		1	μA		
	I _{LH2}	P20 至 P27, P137, P150 至 P156, RESET	V _I = V _{DD}		1	μA		
	I _{LH3}	P121 至 P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	V _I = V _{DD}	在输入端口或外部时钟输入时	1	μA		
				在谐振器连接时	10	μA		
输入泄漏电流， 低电位	I _{LIL1}	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110, P111, P120, P140 至 P147	V _I = EV _{SS0}		−1	μA		
	I _{LIL2}	P20 至 P27, P137, P150 至 P156, RESET	V _I = V _{SS}		−1	μA		
	I _{LIL3}	P121 至 P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	V _I = V _{SS}	在输入端口或外部时钟输入时	−1	μA		
				在谐振器连接时	−10	μA		
片上上拉电阻	R _U	P00 至 P06, P10 至 P17, P30, P31, P40 至 P47, P50 至 P57, P64 至 P67, P70 至 P77, P80 至 P87, P100 至 P102, P110 至 P111, P120, P140 至 P147	V _I = EV _{SS0} , 在输入端口时		10	20	100	kΩ

备注 除非另有说明，否则复用功能引脚的特性与端口引脚的特性相同。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.4.2 电源电流特性

(1) 30 至 64 针产品的 Flash ROM: 16 至 64 KB 的产品

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq V_{DD0} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = V_{SS0} = 0\text{ V}$)

(1/2)

参数	符号	条件					最小值	典型值	最大值	单位
电源电流 注 1	I _{DD1}	操作模式	高速操作 ^{注 3,5}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz	基本操作	V _{DD} = 5.0 V		2.4		mA
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz	基本操作	V _{DD} = 3.0 V		2.4		
						V _{DD} = 5.0 V		2.1		
						V _{DD} = 3.0 V		2.1		
			高速操作 ^{注 3,5}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz	正常操作	V _{DD} = 5.0 V		5.2	8.7	mA
						V _{DD} = 3.0 V		5.2	8.7	
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz	正常操作	V _{DD} = 5.0 V		4.8	8.1	
						V _{DD} = 3.0 V		4.8	8.1	
				f _{HOCO} = 48 MHz, f _{IH} = 24 MHz	正常操作	V _{DD} = 5.0 V		4.1	6.9	
						V _{DD} = 3.0 V		4.1	6.9	
				f _{HOCO} = 24 MHz, f _{IH} = 24 MHz	正常操作	V _{DD} = 5.0 V		3.8	6.3	
						V _{DD} = 3.0 V		3.8	6.3	
			低速操作 ^{注 3,5}	f _{HOCO} = 8 MHz, f _{IH} = 8 MHz	正常操作	V _{DD} = 3.0 V		1.3	2.0	mA
						V _{DD} = 2.0 V		1.3	2.0	
			低电压操作 ^{注 3,5}	f _{HOCO} = 4 MHz, f _{IH} = 4 MHz	正常操作	V _{DD} = 3.0 V		1.3	1.8	mA
						V _{DD} = 2.0 V		1.3	1.8	
			高速操作 ^{注 2,5}	f _{MX} = 20 MHz, V _{DD} = 5.0 V	正常操作	方波输入		3.3	5.3	mA
						谐振器连接		3.5	5.5	
				f _{MX} = 20 MHz, V _{DD} = 3.0 V	正常操作	方波输入		3.3	5.3	
						谐振器连接		3.5	5.5	
				f _{MX} = 10 MHz, V _{DD} = 5.0 V	正常操作	方波输入		2.0	3.1	
						谐振器连接		2.1	3.2	
				f _{MX} = 10 MHz, V _{DD} = 3.0 V	正常操作	方波输入		2.0	3.1	
						谐振器连接		2.1	3.2	
			低速操作 ^{注 2,5}	f _{MX} = 8 MHz, V _{DD} = 3.0 V	正常操作	方波输入		1.2	1.9	mA
						谐振器连接		1.2	2.0	
				f _{MX} = 8 MHz, V _{DD} = 2.0 V	正常操作	方波输入		1.2	1.9	
						谐振器连接		1.2	2.0	
			副系统时钟操作 ^{注 4}	f _{SUB} = 32.768 kHz T _A = -40°C	正常操作	方波输入		4.7		μA
						谐振器连接		4.7		
				f _{SUB} = 32.768 kHz T _A = +25°C	正常操作	方波输入		4.7	6.1	
						谐振器连接		4.7	6.1	
				f _{SUB} = 32.768 kHz T _A = +50°C	正常操作	方波输入		4.8	6.7	
						谐振器连接		4.8	6.7	
				f _{SUB} = 32.768 kHz T _A = +70°C	正常操作	方波输入		4.8	7.5	
						谐振器连接		4.8	7.5	
			副系统时钟操作 ^{注 4}	f _{SUB} = 32.768 kHz T _A = +85°C	正常操作	方波输入		5.4	8.9	μA
						谐振器连接		5.4	8.9	

(注和备注如下页所述。)

- 注 1.** 流入 V_{DD} 和 EV_{DD0} 的总电流，包括输入引脚电平固定至 V_{DD} 、 EV_{DD0} 或 V_{SS} 、 EV_{SS0} 时的输入漏电流。最大值栏下方的值包括外围操作电流（后台操作(BGO)除外）。然而，不包括流入 A/D 转换器、LVD 电路、I/O 端口和片上上拉/下拉电阻的电流。
2. 当高速片上振荡器和副系统时钟停止工作时。
 3. 当高速系统时钟和副系统时钟停止工作时。
 4. 当高速片上振荡器和高速系统时钟停止工作时。当时计数器和看门狗定时器停止工作时。当 $AMPHS1 = 1$ 时(超低功耗振荡)。
 5. 工作电压宽度、CPU 操作频率和操作模式之间的关系如下所示。
- | | |
|--------|---|
| 高速操作: | $V_{DD} = 2.7\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }32\text{ MHz}$ |
| | $V_{DD} = 2.4\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }16\text{ MHz}$ |
| 低速操作: | $V_{DD} = 1.8\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }8\text{ MHz}$ |
| 低电压操作: | $V_{DD} = 1.6\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }4\text{ MHz}$ |

- 备注 1.** f_{MX} : 高速系统时钟频率 (X1 时钟振荡频率或外部主系统时钟频率)
2. f_{HOCO} : 高速片上振荡器时钟频率 (64 MHz max.)
 3. f_{IH} : 高速片上振荡器时钟频率 (32 MHz max.)[※]
 4. f_{SUB} : 副系统时钟频率 (XT1 时钟振荡频率)
 5. 除副系统时钟操作以外的典型值值的温度条件为 $T_A = 25^\circ\text{C}$

注 f_{HOCO} 为 64 MHz 或 48 MHz 时，通过硬件将 f_{IH} 设置为 f_{HOCO} 的 2 分频； f_{HOCO} 等于或低于 32 MHz 时，则设置与 f_{HOCO} 相同的时钟频率。向定时器 RD 提供 64 MHz 或 48 MHz 时，将 f_{CLK} 设置为 f_{IH} 。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(1) 30 至 64 针产品的 Flash ROM: 16 至 64 KB 的产品

($T_A = -40$ 至 $+85^{\circ}\text{C}$, $1.6\text{ V} \leq E_{VDD0} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = E_{VSS0} = 0\text{ V}$)

(2/2)

参数	符号		条件			最小值	典型值	最大值	单位		
电源电流 注 1	IDD2 注 2	HALT 模式	高速操作 注 4,7	fHOCO = 64 MHz, fIH = 32 MHz	VDD = 5.0 V		0.80	3.09	mA		
					VDD = 3.0 V		0.80	3.09			
				fHOCO = 32 MHz, fIH = 32 MHz	VDD = 5.0 V		0.54	2.40			
					VDD = 3.0 V		0.54	2.40			
				fHOCO = 48 MHz, fIH = 24 MHz	VDD = 5.0 V		0.62	2.40			
					VDD = 3.0 V		0.62	2.40			
				fHOCO = 24 MHz, fIH = 24 MHz	VDD = 5.0 V		0.44	1.83			
					VDD = 3.0 V		0.44	1.83			
				fHOCO = 16 MHz, fIH = 16 MHz	VDD = 5.0 V		0.40	1.38			
					VDD = 3.0 V		0.40	1.38			
			低速操作 注 4,7	fHOCO = 8 MHz, fIH = 8 MHz	VDD = 3.0 V		260	710	μA		
					VDD = 2.0 V		260	710			
			低电压操作 注 4,7	fHOCO = 4 MHz, fIH = 4 MHz	VDD = 3.0 V		420	700	μA		
					VDD = 2.0 V		420	700			
			高速操作 注 3,7	fMX = 20 MHz, VDD = 5.0 V	方波输入		0.28	1.55	mA		
					谐振器连接		0.53	1.74			
				fMX = 20 MHz, VDD = 3.0 V	方波输入		0.28	1.55			
					谐振器连接		0.49	1.74			
				fMX = 10 MHz, VDD = 5.0 V	方波输入		0.19	0.86			
					谐振器连接		0.30	0.93			
				fMX = 10 MHz, VDD = 3.0 V	方波输入		0.19	0.86			
					谐振器连接		0.30	0.93			
				低速操作 注 3,7	fMX = 8 MHz, VDD = 3.0 V	方波输入		95		550	μA
						谐振器连接		145		590	
			fMX = 8 MHz, VDD = 2.0 V		方波输入		95	550			
					谐振器连接		145	590			
			副系统时钟操作 注 5	fSUB = 32.768 kHz, TA = -40°C	方波输入		0.25		μA		
					谐振器连接		0.44				
				fSUB = 32.768 kHz, TA = +25°C	方波输入		0.30	0.57			
					谐振器连接		0.49	0.76			
				fSUB = 32.768 kHz, TA = +50°C	方波输入		0.33	1.17			
					谐振器连接		0.52	1.36			
				fSUB=32.768 kHz, TA = +70°C	方波输入		0.36	1.97			
					谐振器连接		0.55	2.16			
				fSUB = 32.768 kHz, TA = +85°C	方波输入		0.97	3.37			
					谐振器连接		0.16	3.56			
	IDD3	STOP 模式 注 6	TA = -40°C					0.18		μA	
			TA = +25°C					0.24	0.51		
			TA = +50°C					0.26	1.10		
			TA = +70°C					0.29	1.90		
			TA = +85°C					0.90	3.30		

(注和备注如下页所述。)

- 注 1.** 流入 V_{DD} 和 EV_{DD0} 的总电流, 包括输入引脚电平固定至 V_{DD} 、 EV_{DD0} 或 V_{SS} 、 EV_{SS0} 时的输入漏电流。最大值栏下方的值包括外围操作电流。然而, 不包括流入 A/D 转换器、LVD 电路、I/O 端口和片上上拉/下拉电阻的电流。
2. 通过内存执行 HALT 指令时。
 3. 当高速片上振荡器和副系统时钟停止工作时。
 4. 当高速系统时钟和副系统时钟停止工作时。
 5. 当操作实时时钟(RTC)且设置为超低功耗($AMPHS1 = 1$)时。当高速片上振荡器和高速系统时钟停止工作时。当看门狗定时器停止工作时。最大值栏下方的值包括漏电流。
 6. 当高速片上振荡器、高速系统时钟和副系统时钟停止工作时。当看门狗定时器停止工作时。最大值栏下方的值包括漏电流。
 7. 工作电压宽度、CPU 操作频率和操作模式之间的关系如下所示。
- | | |
|--------|---|
| 高速操作: | $V_{DD} = 2.7\text{ V 至 } 5.5\text{ V}@1\text{ MHz 至 } 32\text{ MHz}$ |
| | $V_{DD} = 2.4\text{ V 至 } 5.5\text{ V}@1\text{ MHz 至 } 16\text{ MHz}$ |
| 低速操作: | $V_{DD} = 1.8\text{ V 至 } 5.5\text{ V}@1\text{ MHz 至 } 8\text{ MHz}$ |
| 低电压操作: | $V_{DD} = 1.6\text{ V 至 } 5.5\text{ V}@1\text{ MHz 至 } 4\text{ MHz}$ |

- 备注 1.** f_{MX} : 高速系统时钟频率 (X1 时钟振荡频率或外部主系统时钟频率)
2. f_{HOCO} : 高速片上振荡器时钟频率 (64 MHz max.)
 3. f_{IH} : 高速片上振荡器时钟频率 (32 MHz max.)[※]
 4. f_{SUB} : 副系统时钟频率 (XT1 时钟振荡频率)
 5. 除副系统时钟操作和 STOP 模式以外的典型值 值的温度条件为 $T_A = 25^\circ\text{C}$

注 f_{HOCO} 为 64 MHz 或 48 MHz 时, 通过硬件将 f_{IH} 设置为 f_{HOCO} 的 2 分频; f_{HOCO} 等于或低于 32 MHz 时, 则设置与 f_{HOCO} 相同的时钟频率。向定时器 RD 提供 64 MHz 或 48 MHz 时, 将 f_{CLK} 设置为 f_{IH} 。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(2) 30 至 100 针产品的 Flash ROM: 96 至 256 KB 的产品

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq E_{VDD0} = E_{VDD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = E_{VSS0} = E_{VSS1} = 0\text{ V}$)

(1/2)

参数	符号	条件						最小值	典型值	最大值	单位
电源电流 注1	I _{DD1}	操作模式	高速操作 ^{注3,5}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz	基本操作	V _{DD} = 5.0 V		2.6			mA
						V _{DD} = 3.0 V		2.6			
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz	基本操作	V _{DD} = 5.0 V		2.3			
						V _{DD} = 3.0 V		2.3			
			高速操作 ^{注3,5}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz	正常操作	V _{DD} = 5.0 V		5.8	10.2		mA
						V _{DD} = 3.0 V		5.8	10.2		
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz	正常操作	V _{DD} = 5.0 V		5.4	9.6		
						V _{DD} = 3.0 V		5.4	9.6		
				f _{HOCO} = 48 MHz, f _{IH} = 24 MHz	正常操作	V _{DD} = 5.0 V		4.5	7.8		
						V _{DD} = 3.0 V		4.5	7.8		
				f _{HOCO} = 24 MHz, f _{IH} = 24 MHz	正常操作	V _{DD} = 5.0 V		4.2	7.4		
						V _{DD} = 3.0 V		4.2	7.4		
				f _{HOCO} = 16 MHz, f _{IH} = 16 MHz	正常操作	V _{DD} = 5.0 V		3.1	5.3		
						V _{DD} = 3.0 V		3.1	5.3		
			低速操作 ^{注3,5}	f _{HOCO} = 8 MHz, f _{IH} = 8 MHz	正常操作	V _{DD} = 3.0 V		1.4	2.3		mA
						V _{DD} = 2.0 V		1.4	2.3		
			低电压操作 ^{注3,5}	f _{HOCO} = 4 MHz, f _{IH} = 4 MHz	正常操作	V _{DD} = 3.0 V		1.4	1.9		mA
						V _{DD} = 2.0 V		1.4	1.9		
			高速操作 ^{注2,5}	f _{MX} = 20 MHz, V _{DD} = 5.0 V	正常操作	方波输入		3.7	6.2		mA
						谐振器连接		3.9	6.4		
				f _{MX} = 20 MHz, V _{DD} = 3.0 V	正常操作	方波输入		3.7	6.2		
						谐振器连接		3.9	6.4		
				f _{MX} = 10 MHz, V _{DD} = 5.0 V	正常操作	方波输入		2.2	3.6		
						谐振器连接		2.3	3.7		
				f _{MX} = 10 MHz, V _{DD} = 3.0 V	正常操作	方波输入		2.2	3.6		
						谐振器连接		2.3	3.7		
			低速操作 ^{注2,5}	f _{MX} = 8 MHz, V _{DD} = 3.0 V	正常操作	方波输入		1.3	2.2		mA
						谐振器连接		1.3	2.3		
				f _{MX} = 8 MHz, V _{DD} = 2.0 V	正常操作	方波输入		1.3	2.2		
						谐振器连接		1.3	2.3		
			副系统时钟操作 ^{注4}	f _{SUB} = 32.768 kHz T _A = -40°C	正常操作	方波输入		5.0			μA
						谐振器连接		5.0			
				f _{SUB} = 32.768 kHz T _A = +25°C	正常操作	方波输入		5.0	7.1		
						谐振器连接		5.0	7.1		
				f _{SUB} = 32.768 kHz T _A = +50°C	正常操作	方波输入		5.1	8.8		
						谐振器连接		5.1	8.8		
				f _{SUB} = 32.768 kHz T _A = +70°C	正常操作	方波输入		5.5	10.5		
						谐振器连接		5.5	10.5		
				f _{SUB} = 32.768 kHz T _A = +85°C	正常操作	方波输入		6.5	14.5		
						谐振器连接		6.5	14.5		

(注和备注如下页所述。)

- 注 1.** 流入 V_{DD} 、 EV_{DD0} 和 EV_{DD1} 的总电流，包括输入引脚电平固定至 V_{DD} 、 EV_{DD0} 或 V_{SS} 、 EV_{SS0} 时的输入漏电流。最大值栏下方的值包括外围操作电流（后台操作(BGO)除外）。然而，不包括流入 A/D 转换器、LVD 电路、I/O 端口和片上上拉/下拉电阻的电流。
2. 当高速片上振荡器和副系统时钟停止工作时。
 3. 当高速系统时钟和副系统时钟停止工作时。
 4. 当高速片上振荡器和高速系统时钟停止工作时。当实时计数器和看门狗定时器停止工作时。当 $AMPHS1 = 1$ 时(超低功耗振荡)。
 5. 工作电压宽度、CPU 操作频率和操作模式之间的关系如下所示。
- | | |
|--------|---|
| 高速操作: | $V_{DD} = 2.7\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }32\text{ MHz}$ |
| | $V_{DD} = 2.4\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }16\text{ MHz}$ |
| 低速操作: | $V_{DD} = 1.8\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }8\text{ MHz}$ |
| 低电压操作: | $V_{DD} = 1.6\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }4\text{ MHz}$ |

- 备注 1.** f_{MX} : 高速系统时钟频率 (X1 时钟振荡频率或外部主系统时钟频率)
2. f_{HOCO} : 高速片上振荡器时钟频率 (64 MHz max.)
 3. f_{IH} : 高速片上振荡器时钟频率 (32 MHz max.)[※]
 4. f_{SUB} : 副系统时钟频率 (XT1 时钟振荡频率)
 5. 除副系统时钟操作以外的典型值值的温度条件为 $T_A = 25^\circ\text{C}$

注 f_{HOCO} 为 64 MHz 或 48 MHz 时，通过硬件将 f_{IH} 设置为 f_{HOCO} 的 2 分频； f_{HOCO} 等于或低于 32 MHz 时，则设置与 f_{HOCO} 相同的时钟频率。向定时器 RD 提供 64 MHz 或 48 MHz 时，将 f_{CLK} 设置为 f_{IH} 。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(2) 30 至 100 针产品的 Flash ROM: 96 至 256 KB

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

(2/2)

参数	符号		条件		最小值	典型值	最大值	单位		
电源电流 注 1	IDD2	HALT 模式 注 2	高速操作 注 4, 7	fHOCO = 64 MHz, fIH = 32 MHz	VDD = 5.0 V		0.88	3.32	mA	
					VDD = 3.0 V		0.88	3.32		
				fHOCO = 32 MHz, fIH = 32 MHz	VDD = 5.0 V		0.62	2.63		
					VDD = 3.0 V		0.62	2.63		
				fHOCO = 48 MHz, fIH = 24 MHz	VDD = 5.0 V		0.68	2.57		
					VDD = 3.0 V		0.68	2.57		
				fHOCO = 24 MHz, fIH = 24 MHz	VDD = 5.0 V		0.50	2.00		
					VDD = 3.0 V		0.50	2.00		
			fHOCO = 16 MHz, fIH = 16 MHz	VDD = 5.0 V		0.44	1.49			
				VDD = 3.0 V		0.44	1.49			
			低速操作 注 4, 7	fHOCO = 8 MHz, fIH = 8 MHz	VDD = 3.0 V		290	800	μA	
					VDD = 2.0 V		290	800		
			低电压操作 注 4, 7	fHOCO = 4 MHz, fIH = 4 MHz	VDD = 3.0 V		440	755	μA	
					VDD = 2.0 V		440	755		
			高速操作 注 3, 7	fMX = 20 MHz, VDD = 5.0 V	方波输入		0.31	1.63	mA	
					谐振器连接		0.50	1.85		
					fMX = 20 MHz, VDD = 3.0 V	方波输入		0.31		1.63
						谐振器连接		0.50		1.85
					fMX = 10 MHz, VDD = 5.0 V	方波输入		0.21		0.89
						谐振器连接		0.30		0.97
					fMX = 10 MHz, VDD = 3.0 V	方波输入		0.21		0.89
						谐振器连接		0.30		0.97
				低速操作 注 3, 7	fMX = 8 MHz, VDD = 3.0 V	方波输入		110	580	μA
						谐振器连接		160	630	
					fMX = 8 MHz, VDD = 2.0 V	方波输入		110	580	
						谐振器连接		160	630	
				副系统时钟操作 注 5	fSUB = 32.768 kHz, TA = −40°C	方波输入		0.28		μA
						谐振器连接		0.47		
					fSUB = 32.768 kHz, TA = +25°C	方波输入		0.34	0.66	
						谐振器连接		0.53	0.85	
			fSUB = 32.768 kHz, TA = +50°C		方波输入		0.37	2.35		
					谐振器连接		0.56	2.54		
			fSUB = 32.768 kHz, TA = +70°C		方波输入		0.61	4.08		
					谐振器连接		0.80	4.27		
			fSUB = 32.768 kHz, TA = +85°C	方波输入		1.55	8.09			
				谐振器连接		1.74	8.28			
	IDD3	STOP 模式 注 6	TA = −40°C					0.19		μA
			TA = +25°C					0.25	0.57	
			TA = +50°C					0.28	2.26	
			TA = +70°C					0.52	3.99	
			TA = +85°C					1.46	8.00	

(注和备注如下页所述。)

- 注 1.** 流经 V_{DD} , EV_{DD0} 和 EV_{DD1} 的总电流。包括输入引脚固定在 V_{DD} , EV_{DD0} , EV_{DD1} 或 V_{SS} , EV_{SS0} , EV_{SS1} 的输入漏泄电流。另外, 最大值包括外围操作电路。但不包括 A/D 转换器、D/A 转换器、比较器、LVD 电流、I/O 端口和内部上拉/下拉电阻器。
2. 通过闪存执行 HALT 指令时。
 3. 当高速片上振荡器和副系统时钟停止工作时。
 4. 当高速系统时钟和副系统时钟停止工作时。
 5. 运行实时时钟(RTC)和设置超低消耗电流振荡 (AMPHS1 = 1)时。停止高速片上振荡器和高速系统时钟时。停止看门狗定时器时。另外, 最大值包括漏泄电流。
 6. 停止高速片上振荡器、高速系统时钟、子系统时钟时。停止看门狗定时器时。另外, 最大值包括漏泄电流。
 7. 工作电压宽度、CPU 操作频率和操作模式之间的关系如下所示。
- | | |
|--------|---|
| 高速操作: | $V_{DD} = 2.7\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }32\text{ MHz}$ |
| | $V_{DD} = 2.4\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }16\text{ MHz}$ |
| 低速操作: | $V_{DD} = 1.8\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }8\text{ MHz}$ |
| 低电压操作: | $V_{DD} = 1.6\text{ V 至 }5.5\text{ V}@1\text{ MHz 至 }4\text{ MHz}$ |

- 备注 1.** f_{MX} : 高速系统时钟频率 (X1 时钟振荡频率或外部主系统时钟频率)
2. f_{HOCO} : 高速片上振荡器时钟频率 (64 MHz max.)
 3. f_{IH} : 高速片上振荡器时钟频率 (32 MHz max.)[※]
 4. f_{SUB} : 副系统时钟频率 (XT1 时钟振荡频率)
 5. 除副系统时钟操作以外的典型值值的温度条件为 $T_A = 25^\circ\text{C}$

注 f_{HOCO} 为 64 MHz 或 48 MHz 时, 通过硬件将 f_{IH} 设置为 f_{HOCO} 的 2 分频; f_{HOCO} 等于或低于 32 MHz 时, 则设置与 f_{HOCO} 相同的时钟频率。向定时器 RD 提供 64 MHz 或 48 MHz 时, 将 f_{CLK} 设置为 f_{IH} 。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(3) RL78/G14 所有产品共同

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq E_{VDD0} = E_{VDD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = E_{VSS0} = E_{VSS1} = 0\text{ V}$)

参数	符号	条件		最小值	典型值	最大值	单位
RTC 操作电流	I_{RTC} 注 1,2	$f_{SUB} = 32.768\text{ kHz}$	实时时钟操作		0.02		μA
			12 位间隔定时器操作		0.02		
看门狗定时器 操作电流	I_{WDT} 注 2,3	$f_{IL} = 15\text{ kHz}$			0.22		μA
A/D 转换器 操作电流	I_{ADC} 注 4	最高速转换时	标准模式, $AV_{REFP} = V_{DD} = 5.0\text{ V}$		1.3	1.7	mA
			低电压模式, $AV_{REFP} = V_{DD} = 3.0\text{ V}$		0.5	0.7	mA
A/D 转换器 基准电压电流	I_{ADREF}				75		μA
D/A 转换器 操作电流	I_{DAC} 注 5,9	每个 D/A 转换器通道				1.5	mA
比较器操作电流	I_{CMP} 注 6,9	$V_{DD} = 5.0\text{ V}$, 稳压器输出电压 $= 2.1\text{ V}$	窗口比较器模式		12.5		μA
			高速比较器模式		6.5		μA
			低速比较器模式		1.7		μA
		$V_{DD} = 5.0\text{ V}$, 稳压器输出电压 $= 1.8\text{ V}$	窗口比较器模式		8.0		μA
			高速比较器模式		4.0		μA
			低速比较器模式		1.3		μA
温度传感器操作电 流	I_{TMPS}				75		μA
LVD 操作电流	I_{LVI} 注 7				0.08		μA
BGO 操作电流	I_{BGO} 注 8				2.50	12.20	mA

- 注 1.** 仅流入实时时钟的电流（不包括 XT1 振荡器的操作电流）。当实时时钟工作于操作模式或 HALT 模式时，RL78/G14 的电流的典型值为 I_{DD1} 或 I_{DD2} 与 I_{RTC} 的典型值之和。 I_{DD1} 或 I_{DD2} 的最大值也包括实时时钟操作电流。然而， I_{DD2} 副系统时钟操作时包括实时时钟的操作电流。
- 2.** 当高速片上振荡器和高速系统时钟停止工作时。
- 3.** 仅流入看门狗定时器的电流（包括低速片上振荡器的操作电流）。当看门狗定时器工作于 STOP 模式时，RL78/G14 的电流值为 I_{DD1} 、 I_{DD2} 或 I_{DD3} 与 I_{WDT} 之和。
- 4.** 仅流入 A/D 转换器的电流。当 A/D 转换器工作于操作模式或 HALT 模式时，RL78/G14 的电流值为 I_{DD1} 或 I_{DD2} 与 I_{ADC} 之和。
- 5.** 仅流入 D/A 转换器的电流。当 D/A 转换器工作于操作模式或 HALT 模式时，RL78/G14 的电流值为 I_{DD1} 或 I_{DD2} 与 I_{DAC} 之和。
- 6.** 仅流入比较器电路的电流。当比较器电路工作于 HALT 或 STOP 模式时，RL78/G14 的电流值为 I_{DD1} 、 I_{DD2} 或 I_{DD3} 与 I_{CMP} 之和。
- 7.** 仅流入 LVD 电路的电流。当 LVD 电路工作于 HALT 或 STOP 模式时，RL78/G14 的电流值为 I_{DD1} 、 I_{DD2} 或 I_{DD3} 与 I_{CMP} 之和。
- 8.** 仅流入 BGO 的电流。当 BGO 工作于操作模式时，RL78/G14 的电流值为 I_{DD1} 或 I_{DD2} 与 I_{BGO} 之和。
- 9.** 比较器和 D/A 转换器安装在代码闪存大于或等于 96 KB 的产品上。

- 备注 1.** f_{IL} : 低速片上振荡器时钟频率
- 2.** f_{SUB} : 副系统时钟频率 (XT1 时钟振荡频率)
- 3.** f_{CLK} : CPU/外围硬件时钟频率
- 4.** 典型值的温度条件为 $T_A = 25^{\circ}\text{C}$

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.5 AC 特性

34.5.1 基本操作

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$) (1/2)

项目	符号	条件		最小值	典型值	最大值	单位	
指令周期 (最小指令执行时间)	T _{CY}	主系统时钟 (f _{MAIN})操作	高速主模式	2.7 V ≤ V _{DD} ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ V _{DD} < 2.7 V	0.0625		1	μs
			低电压主模式	1.6 V ≤ V _{DD} ≤ 5.5 V	0.25		1	μs
			低速主模式	1.8 V ≤ V _{DD} ≤ 5.5 V	0.125		1	μs
		副系统时钟 (f _{SUB})操作		1.8 V ≤ V _{DD} ≤ 5.5 V	28.5	30.5	31.3	μs
		自编程模式	高速主模式	2.7 V ≤ V _{DD} ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ V _{DD} < 2.7 V	0.0625		1	μs
			低电压主模式	1.8 V ≤ V _{DD} ≤ 5.5 V	0.25		1	μs
			低速主模式	1.8 V ≤ V _{DD} ≤ 5.5 V	0.125		1	μs
外部主系统时钟频率	f _{EX}	2.7 V ≤ V _{DD} ≤ 5.5 V		1.0		20.0	MHz	
		1.8 V ≤ V _{DD} < 2.7 V		1.0		8.0	MHz	
		1.6 V ≤ V _{DD} < 1.8 V		1.0		4.0	MHz	
	f _{EXS}			32		35	kHz	
外部主系统时钟输入高电位，低电位宽幅	t _{EXH} , t _{EXL}	2.7 V ≤ V _{DD} ≤ 5.5 V		24			ns	
		1.8 V ≤ V _{DD} < 2.7 V		60			ns	
		1.6 V ≤ V _{DD} < 1.8 V		120			ns	
	t _{EXHS} , t _{EXLS}			13.7			μs	
TI00 至 TI03, TI10 至 TI13 输入高电位，低电位宽幅	t _{TIH} , t _{TIL}			1/f _{MCK} +10 [※]			ns	
定时器 RJ 输入周期	f _C	TRJIO	2.7 V ≤ EV _{DD0} ≤ 5.5 V	100			ns	
			1.8 V ≤ EV _{DD0} < 2.7 V	300			ns	
			1.6 V ≤ EV _{DD0} < 1.8 V	500			ns	
定时器 RJ 输入高电位，低电位宽幅	f _{WH} , f _{WL}	TRJIO	2.7 V ≤ EV _{DD0} ≤ 5.5 V	40			ns	
			1.8 V ≤ EV _{DD0} < 2.7 V	120			ns	
			1.6 V ≤ EV _{DD0} < 1.8 V	200			ns	

注 当 $\text{EV}_{\text{DD}0} < \text{V}_{\text{DD}}$ 时的低电压接口需满足如下的条件：

$1.8\text{ V} \leq \text{EV}_{\text{DD}0} < 2.7\text{ V}$: 最小值 125 ns

$1.6\text{ V} \leq \text{EV}_{\text{DD}0} < 1.8\text{ V}$: 最小值 250 ns

备注 f_{MCK} : 定时器阵列单元的操作时钟频率。

(由定时器模式寄存器 mn (TMRmn) 的 CKSmn 位设置的操作时钟。m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3))

(T_A = -40 至 +85°C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V) (2/2)

项目	符号	条件	最小值	典型值	最大值	单位
TO00 至 TO03, TO10 至 T13 输出频率	f _{TO}	高速主模式	4.0 V ≤ EV _{DD0} ≤ 5.5 V		16	MHz
			2.7 V ≤ EV _{DD0} < 4.0 V		8	MHz
			1.8 V ≤ EV _{DD0} < 2.7 V		4	MHz
			1.6 V ≤ EV _{DD0} < 1.8 V		2	MHz
		低电压主模式	1.6 V ≤ EV _{DD0} ≤ 5.5 V		2	MHz
		低速 主模式	1.8 V ≤ EV _{DD0} ≤ 5.5 V		4	MHz
			1.6 V ≤ EV _{DD0} < 1.8 V		2	MHz
PCLBUZ0, PCLBUZ1 输出频率	f _{PCL}	高速 主模式	4.0 V ≤ EV _{DD0} ≤ 5.5 V		16	MHz
			2.7 V ≤ EV _{DD0} < 4.0 V		8	MHz
			1.8 V ≤ EV _{DD0} < 2.7 V		4	MHz
			1.6 V ≤ EV _{DD0} < 1.8 V		2	MHz
		低电压主模式	1.8 V ≤ EV _{DD0} ≤ 5.5 V		4	MHz
			1.6 V ≤ EV _{DD0} < 1.8 V		2	MHz
		低速 主模式	1.8 V ≤ EV _{DD0} ≤ 5.5 V		4	MHz
			1.6 V ≤ EV _{DD0} < 1.8 V		2	MHz
中断输入高电位, 低电位宽幅	t _{INTH} , t _{INTL}	INTP0	1.6 V ≤ V _{DD} ≤ 5.5 V	1		μs
		INTP1 至 INTP11	1.6 V ≤ EV _{DD0} ≤ 5.5 V	1		μs
按键中断输入 低电位宽幅	t _{KR}	1.8 V ≤ EV _{DD0} ≤ 5.5 V	250			ns
		1.6 V ≤ EV _{DD0} < 1.8 V	1			μs
RESET 低电位宽幅	t _{RSL}		10			μs

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.6 外围功能特性

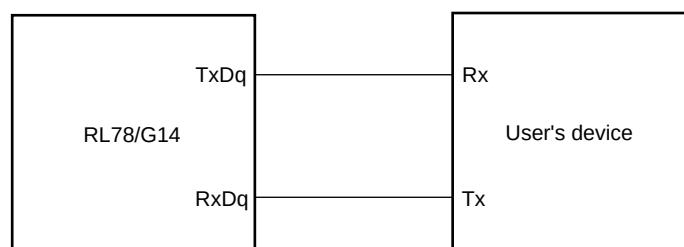
34.6.1 串行阵列单元

(1) 相同电位通信时(UART 模式) (专用波特率生成器输出)

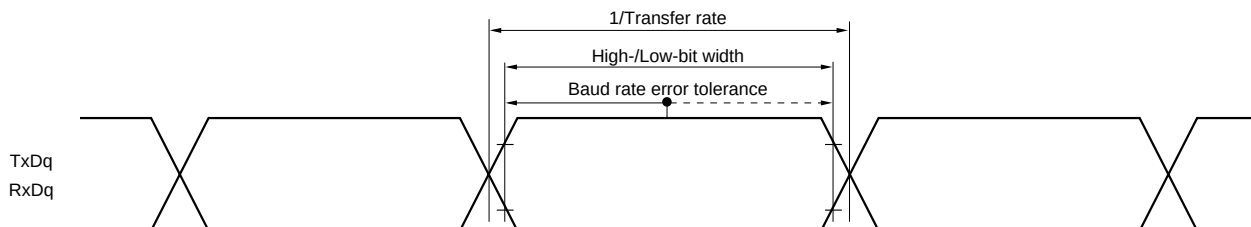
($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq 5.5\text{ V}$, $\text{Vss} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
传送(速)率 ^{注1}					$f_{\text{MCK}}/6$ ^{注2}	bps
		最大传送(速)率理论值 $f_{\text{CLK}} = 32\text{ MHz}$, $f_{\text{MCK}} = f_{\text{CLK}}$			5.3	Mbps

UART 模式连接图 (相同电位通信时)



UART 模式位宽度(相同电位通信时) (参考)



注 1. SNOOZE 模式下的传送(速)率为 max. 9600 bps, min. 4800 bps。

2. 当 $\text{EVDD0} < \text{VDD}$ 时的低电压接口需满足如下的条件:

$2.4\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$: 最大值 2.6 Mbps

$1.8\text{ V} \leq \text{EVDD0} < 2.4\text{ V}$: 最大值 1.3 Mbps

$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$: 最大值 0.6 Mbps

注意事项 使用端口输入模式寄存器 **g** (PIMg)和端口输出模式寄存器 **g** (POMg), **RxDq** 引脚选择正常输入缓冲器, **TxDq** 引脚选择正常输出模式。

备注 1. q: UART 编号 (q = 0 至 3), g: PIM 和 POM 编号 (g = 0, 1, 5, 14)

2. f_{MCK} : 串行阵列单元的操作时钟频率

(由串行模式寄存器 mn (SMRmn)的 CKSmn 位设置的操作时钟。 m: 单元编号,

n: 通道编号 (mn = 00 至 03, 10 至 13))

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(2) 相同电位通信时(CSI 模式) (主模式($f_{MCK}/2$), $\overline{SCKp}$... 间隔时钟输出)

($T_A = -40$ 至 $+85^\circ\text{C}$, $2.7\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
$\overline{SCKp}$ 周期	t_{KCY1}	$2.7\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$	62.5 ^{注1}			ns
$\overline{SCKp}$ 高电位/低电位宽幅	$t_{KH1,}$	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$	$t_{KCY1}/2 - 7$			ns
	t_{KL1}	$2.7\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$	$t_{KCY1}/2 - 10$			ns
Sip 准备时间 (至 $\overline{SCKp}\uparrow$) ^{注2}	t_{SIK1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$	23			ns
		$2.7\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$	33 ^{注5}			ns
Sip 保持时间 (从 $\overline{SCKp}\uparrow$) ^{注3}	t_{KSI1}	$2.7\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$	10			ns
从 $\overline{SCKp}\downarrow$ 至 Sop 输出的延迟时间 ^{注4}	t_{KSO1}	$C = 20\text{ pF}$ ^{注6}			10	ns

注 1. 且需设定为 $2/f_{CLK}$ 或更高的值。

2. 当 $DAPmn = 0$ 和 $CKPmn = 0$ ，或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。 $DAPmn = 0$ 和 $CKPmn = 1$ ，或 $DAPmn = 1$ 和 $CKPmn = 0$ 时，Sip 准备时间变为“至 $\overline{SCKp}\downarrow$ ”。

3. 当 $DAPmn = 0$ 和 $CKPmn = 0$ ，或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。 $DAPmn = 0$ 和 $CKPmn = 1$ ，或 $DAPmn = 1$ 和 $CKPmn = 0$ 时，Sip 保持时间变为“从 $\overline{SCKp}\downarrow$ ”。

4. 当 $DAPmn = 0$ 和 $CKPmn = 0$ ，或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。 $DAPmn = 0$ 和 $CKPmn = 1$ ，或 $DAPmn = 1$ 和 $CKPmn = 0$ 时，Sop 输出的延迟时间变为“从 $\overline{SCKp}\uparrow$ ”。

5. 在 24 MHz 以下使用 f_{MCK} 。

6. C 为 $\overline{SCKp}$ 和 Sop 输出线路的负载电容。

注意事项 使用端口输入模式寄存器 g (PIMg)和端口输出模式寄存器 g (POMg)，Sip 引脚选择正常输入缓冲器，Sop 引脚和 $\overline{SCKp}$ 引脚选择正常输出模式。

备注 1. 仅当未使用 CSI00 的外围 I/O 重定向功能时，该规格才有效。

2. p: CSI 编号 (p = 00), m: 单元编号 (m = 0), n: 通道编号 (n = 0),
g: PIM 和 POM 编号 (g = 1)

3. f_{MCK} : 串行阵列单元的操作时钟频率

(由串行模式寄存器 mn (SMRmn)的 CKSmn 位设置的操作时钟。m: 单元编号,
n: 通道编号 (mn = 00))

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(3) 相同电位通信时 (CSI 模式) (主模式 (f_{MCK}/4), $\overline{\text{SCKp}}$... 内部时钟输出)

(T_A = -40 至 +85°C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

参数	符号	条件	最小值	典型值	最大值	单位
SCKp 周期	t _{KCY1}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	125 ^{※1}			ns
		2.4 V ≤ EV _{DD0} ≤ 5.5 V	250 ^{※1}			ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	500 ^{※1}			ns
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	1000 ^{※1}			ns
SCKp 高电位/低电位宽幅	t _{KH1} , t _{KL1}	4.0 V ≤ EV _{DD0} ≤ 5.5 V	t _{KCY1} /2 - 12			ns
		2.7 V ≤ EV _{DD0} ≤ 5.5 V	t _{KCY1} /2 - 18			ns
		2.4 V ≤ EV _{DD0} ≤ 5.5 V	t _{KCY1} /2 - 38			ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	t _{KCY1} /2 - 50			ns
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	t _{KCY1} /2 - 100			ns
Sip 准备时间 (至 $\overline{\text{SCKp}}\uparrow$) ^{※2}	t _{SIK1}	4.0 V ≤ EV _{DD0} ≤ 5.5 V	44			ns
		2.7 V ≤ EV _{DD0} ≤ 5.5 V	44			ns
		2.4 V ≤ EV _{DD0} ≤ 5.5 V	75			ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	110			ns
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	220			ns
Sip 保持时间 (从 $\overline{\text{SCKp}}\uparrow$) ^{※3}	t _{KSI1}		19			ns
从 $\overline{\text{SCKp}}\downarrow$ 至 Sop 输出的迟延时间 ^{※4}	t _{KSO1}	C = 30 pF ^{※5}			25	ns

注 1. 且需设定为 4/f_{CLK} 或更高的值。

- 当 DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1 或 DAPmn = 1 和 CKPmn = 0 时，Sip 准备时间变为“至 $\overline{\text{SCKp}}\downarrow$ ”。
- 当 DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1 或 DAPmn = 1 和 CKPmn = 0 时，Sip 保持时间变为“从 $\overline{\text{SCKp}}\downarrow$ ”。
- 当 DAPmn = 0 和 CKPmn = 0 或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1 或 DAPmn = 1 和 CKPmn = 0 时，Sop 输出的迟延时间变为“从 $\overline{\text{SCKp}}\uparrow$ ”。
- C 为 $\overline{\text{SCKp}}$ 和 Sop 输出线路的负载电容。

注意事项 使用端口输入模式寄存器 g (PIMg)和端口输出模式寄存器 g (POMg)，Sip 引脚选择正常输入缓冲器，Sop 引脚和 $\overline{\text{SCKp}}$ 引脚选择正常输出模式。

- 备注 1.** p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3),
g: PIM 编号 (g = 0, 1, 3 至 5, 14)
- f_{MCK}: 串行阵列单元的操作时钟频率。
(由串行模式寄存器 mn (SMRmn)的 CKSmn 位设置的操作时钟。m: 单元编号,
n: 通道编号 (mn = 00 至 03, 10 至 13))

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(4) 相同电位通信时 (CSI 模式) (从属模式, $\overline{\text{SCKp}}$... 外部时钟输入) (1/2)

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
$\overline{\text{SCKp}}$ 周期 ^{※5}	t_{KCY2}	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	$20\text{ MHz} < f_{\text{MCK}}$	$8/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 20\text{ MHz}$	$6/f_{\text{MCK}}$		ns
		$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$	$16\text{ MHz} < f_{\text{MCK}}$	$8/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 16\text{ MHz}$	$6/f_{\text{MCK}}$		ns
		$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$	$16\text{ MHz} < f_{\text{MCK}}$	$8/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 16\text{ MHz}$	$6/f_{\text{MCK}}$		ns
		$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$	$6/f_{\text{MCK}}$			ns
$\overline{\text{SCKp}}$ 高电位/低电位宽幅	t_{KH2} , t_{KL2}	$1.6\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	$t_{\text{KCY2}}/2$			ns
Slp 准备时间 (至 $\overline{\text{SCKp}}\uparrow$) ^{※1}	t_{SIK2}	$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	$1/f_{\text{MCK}}+20$			ns
		$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$	$1/f_{\text{MCK}}+30$			ns
		$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$	$1/f_{\text{MCK}}+40$			ns
Slp 保持时间 (从 $\overline{\text{SCKp}}\uparrow$) ^{※2}	t_{KS12}	$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	$1/f_{\text{MCK}}+31$			ns
		$2.4\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$	$1/f_{\text{MCK}}+31$			ns
		$1.8\text{ V} \leq \text{EVDD0} < 2.4\text{ V}$	$1/f_{\text{MCK}}+31$			ns
		$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$	$1/f_{\text{MCK}}+$ 250			ns
从 $\overline{\text{SCKp}}\downarrow$ 至 Sop 输出的迟延 时间 ^{※3}	t_{KS02}	$C = 30\text{ pF}$ ^{※4}	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$		$2/f_{\text{MCK}}+44$	ns
			$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$		$2/f_{\text{MCK}}+44$	ns
			$2.4\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$		$2/f_{\text{MCK}}+75$	ns
			$1.8\text{ V} \leq \text{EVDD0} < 2.4\text{ V}$		$2/f_{\text{MCK}}+110$	ns
			$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$		$2/f_{\text{MCK}}+$ 220	ns

- 注 1.** 当 $\text{DAPmn} = 0$ 和 $\text{CKPmn} = 0$ 或 $\text{DAPmn} = 1$ 和 $\text{CKPmn} = 1$ 时。 $\text{DAPmn} = 0$ 和 $\text{CKPmn} = 1$ 或 $\text{DAPmn} = 1$ 和 $\text{CKPmn} = 0$ 时，Slp 准备时间变为“至 $\overline{\text{SCKp}}\downarrow$ ”。
- 2.** 当 $\text{DAPmn} = 0$ 和 $\text{CKPmn} = 0$ 或 $\text{DAPmn} = 1$ 和 $\text{CKPmn} = 1$ 时。 $\text{DAPmn} = 0$ 和 $\text{CKPmn} = 1$ 或 $\text{DAPmn} = 1$ 和 $\text{CKPmn} = 0$ 时，Slp 保持时间变为“从 $\overline{\text{SCKp}}\downarrow$ ”。
- 3.** 当 $\text{DAPmn} = 0$ 和 $\text{CKPmn} = 0$ 或 $\text{DAPmn} = 1$ 和 $\text{CKPmn} = 1$ 时。 $\text{DAPmn} = 0$ 和 $\text{CKPmn} = 1$ 或 $\text{DAPmn} = 1$ 和 $\text{CKPmn} = 0$ 时，Sop 输出的迟延时间变为“从 $\overline{\text{SCKp}}\uparrow$ ”。
- 4.** C 为 Sop 输出线路的负载容量。
- 5.** SNOOZE 模式下的传送(速)率为最大值 1 Mbps。

注意事项 使用端口输入模式寄存器 g (PIMg)和端口输出模式寄存器 g (POMg)，Slp 引脚和 $\overline{\text{SCKp}}$ 引脚选择 TTL 输入缓冲器，Sop 引脚选择正常输出模式。

- 备注 1.** p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m: 单元编号 (m = 0, 1),
n: 通道编号 (n = 0 至 3), g: PIM 编号 (g = 0, 1, 3 至 5, 14)
- 2.** f_{MCK} : 串行阵列单元的操作时钟频率。
(由串行模式寄存器 mn (SMRmn) 的 CKSmn 位设置的操作时钟。m: 单元编号, n: 通道编号 (mn = 00 至 03, 10 至 13))

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(4) 相同电位通信时 (CSI 模式) (从属模式, $\overline{\text{SCKp}}$... 外部时钟输入)(2/2)

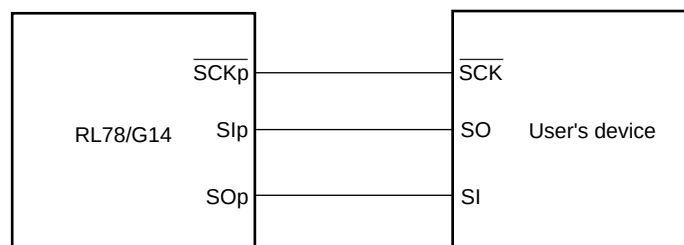
($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
SSI00 准备时间	t_{SSIK}	DAPmn = 0	$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	120		ns
			$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$	200		ns
			$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$	400		ns
	DAPmn = 1	$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	$1/f_{\text{MCK}} + 120$			ns
		$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$	$1/f_{\text{MCK}} + 200$			ns
		$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$	$1/f_{\text{MCK}} + 400$			ns
SSI00 保持时间	t_{KSSL}	DAPmn = 0	$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	$1/f_{\text{MCK}} + 120$		ns
			$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$	$1/f_{\text{MCK}} + 200$		ns
			$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$	$1/f_{\text{MCK}} + 400$		ns
	DAPmn = 1	$2.7\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	120			ns
		$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$	200			ns
		$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$	400			ns

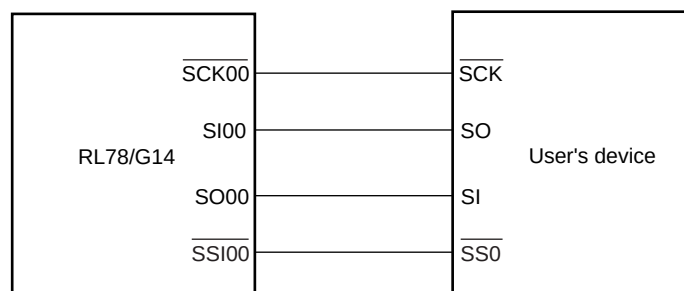
注意事项 使用端口输入模式寄存器(PIMg)和端口输出模式寄存器 g (POMg)，Sip 引脚选择正常输入缓冲器，Sop 引脚和 $\overline{\text{SCKp}}$ 正常输出模式。

备注 p: CSI 编号 (p = 00), m: 单元编号 (m = 0), n: 通道编号 (n = 0),
g: PIM 编号 (g = 3, 5)

CSI 模式连接图 (相同电位通信时)



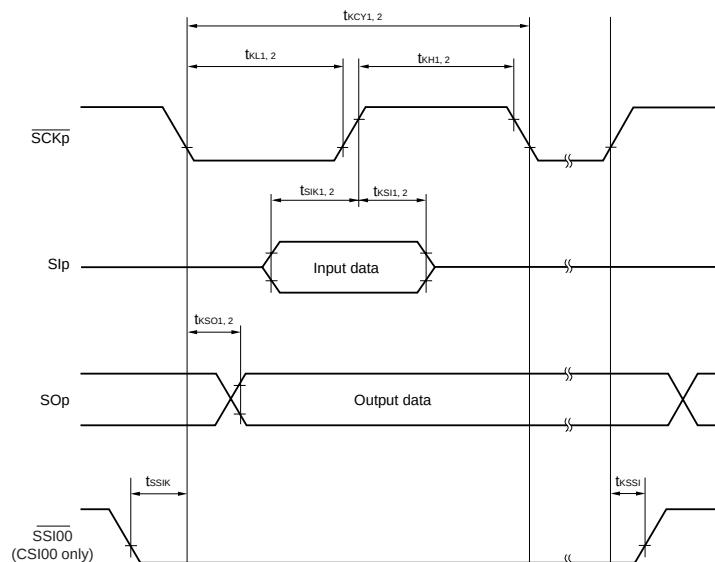
CSI 模式连接图 (相同电位通信时)
(从属选择输入功能(CSI00)的从属传送时)



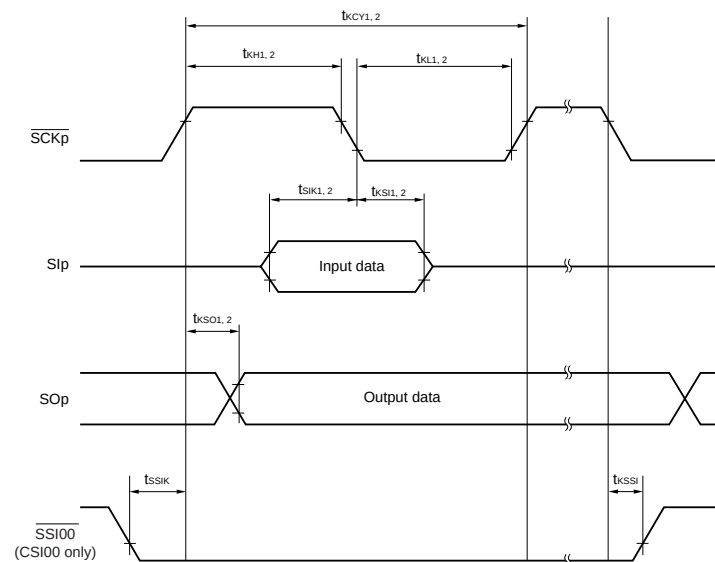
备注 1. p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
2. m: 单元编号, n: 通道编号 (mn = 00 至 03, 10 至 13)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

CSI 模式串行传送时序 (相同电位通信时)
(DAPmn = 0 和 CKPmn = 0, 或 DAPmn = 1 和 CKPmn = 1 时)



CSI 模式串行传送时序 (相同电位通信时)
(DAPmn = 0 和 CKPmn = 1, 或 DAPmn = 1 和 CKPmn = 0 时)



- 备注**
1. p: CSI 编号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
 2. m: 单元编号, n: 通道编号 (mn = 00 至 03, 10 至 13)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(5) 相同电位通信时 (简易 I²C 模式)

(T_A = -40 至+85°C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

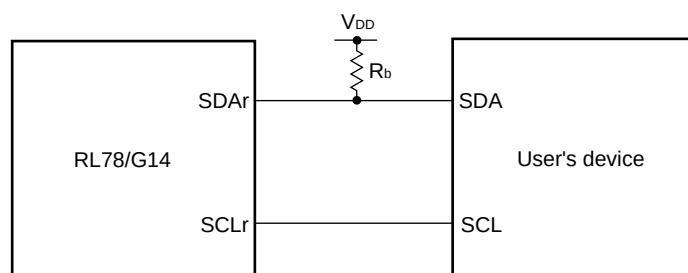
参数	符号	条件	最小值	最大值	单位
SCLr 时钟频率	f _{SCL}	2.7 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ		1000	kHz
		1.8 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ		400	kHz
		1.8 V ≤ EV _{DD0} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ		300	kHz
		1.6 V ≤ EV _{DD0} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ		250	kHz
SCLr = “L”时的保持时间	t _{LOW}	2.7 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	475		ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		ns
		1.8 V ≤ EV _{DD0} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1550		ns
		1.6 V ≤ EV _{DD0} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	1850		ns
SCLr = “H”时的保持时间	t _{HIGH}	2.7 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	475		ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		ns
		1.8 V ≤ EV _{DD0} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1550		ns
		1.6 V ≤ EV _{DD0} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	1850		ns
数据准备时间 (接收)	t _{SU:DAT}	2.7 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 85 注		ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 145 注		ns
		1.8 V ≤ EV _{DD0} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1/f _{MCK} + 230 注		ns
		1.6 V ≤ EV _{DD0} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	1/f _{MCK} + 290 注		ns
数据保持时间 (传送)	t _{HD:DAT}	2.7 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	0	355	ns
		1.8 V ≤ EV _{DD0} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	0	405	ns
		1.6 V ≤ EV _{DD0} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	0	405	ns

注 请将 f_{MCK} 值设定为不超过 SCLr = “L”和 SCLr = “H”的保持时间的数值。

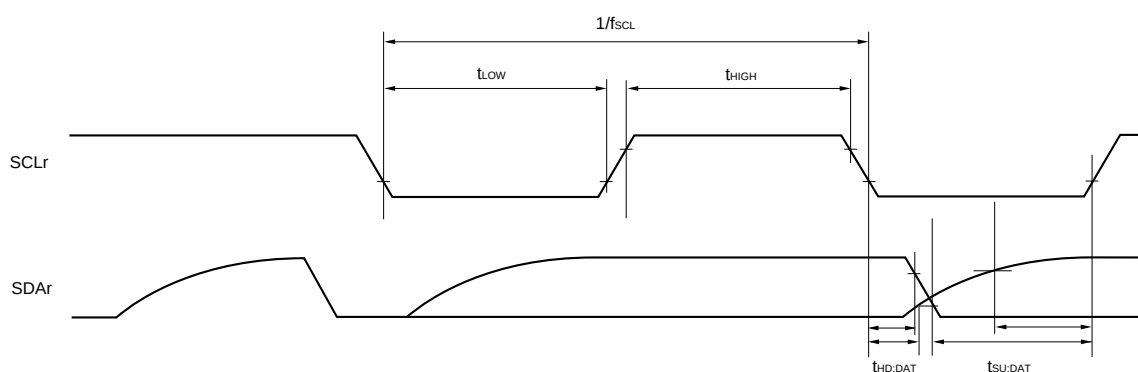
(注意事项 和备注如下页所述)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚(端口以外的引脚)”。

简易 I²C 模式连接图 (相同电位通信时)



简易 I²C 模式串行传送时序 (相同电位通信时)



注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 h (POMh), SDAr 选择 TTL 输入缓冲器和 N 沟道开路漏极输出 (EVDD0 耐压)模式, SCLr 引脚选择 N 沟道开路漏极输出 (EVDD0 耐压)模式。

- 备注 1.** $R_b[\Omega]$: 通信线路 (SDAr) 上拉电阻, $C_b[F]$: 通信线路 (SDAr, SCLr) 负载电容
- 2.** r: IIC 编号 (r = 00, 01, 10, 11, 20, 21, 30, 31), g: PIM 编号 (g = 0, 1, 3 至 5, 14),
h: POM 编号 (h = 0, 1, 3 至 5, 7, 14)
- 3.** f_{MCK} : 串行阵列单元的操作时钟频率。
(由串行模式寄存器 mn (SMRmn) 的 CKSmn 位设置的操作时钟。 m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0, 2), mn = 00 至 03, 10 至 13)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(6) 不同电位通信时(2.5 V, 3 V) (UART 模式) (专用波特率生成器输出) (1/2)

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.8\text{ V} \leq E_{VDD0} = E_{VDD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = E_{VSS0} = E_{VSS1} = 0\text{ V}$)

参数	符号	条件		最小值	典型值	最大值	单位
传送(速)率 注 1, 2		接收	4.0 V $\leq$ $E_{VDD0} \leq 5.5\text{ V}$, 2.7 V $\leq V_b \leq 4.0\text{ V}$			$f_{MCK}/6$ 注 1	bps
				最大传送(速)率理论值 $f_{CLK} = 32\text{ MHz}$, $f_{MCK} = f_{CLK}$		5.3	Mbps
			2.7 V $\leq E_{VDD0} < 4.0\text{ V}$, 2.3 V $\leq V_b \leq 2.7\text{ V}$			$f_{MCK}/6$ 注 1	bps
				最大传送(速)率理论值 $f_{CLK} = 32\text{ MHz}$, $f_{MCK} = f_{CLK}$		5.3	Mbps
			1.8 V $\leq E_{VDD0} < 3.3\text{ V}$, 1.6 V $\leq V_b \leq 2.0\text{ V}$			$f_{MCK}/6$ 注 1 至 3	bps
				最大传送(速)率理论值 $f_{CLK} = 8\text{ MHz}$, $f_{MCK} = f_{CLK}$		1.3	Mbps

注 1. SNOOZE 模式下的传送(速)率为 最大值 9600 bps, 最小值 4800 bps。

2. 请在 $E_{VDD0} \geq V_b$ 下使用。

3. 当 $E_{VDD0} < V_{DD}$ 时的低电压接口需满足如下的条件:

2.4 V $\leq E_{VDD0} < 2.7\text{ V}$: 最大值 2.6 Mbps

1.8 V $\leq E_{VDD0} < 2.4\text{ V}$: 最大值 1.3 Mbps

1.6 V $\leq E_{VDD0} < 1.8\text{ V}$: 最大值 0.6 Mbps

注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg), RxDq 引脚选择 TTL 输入缓冲器, TxDq 引脚选择 N 沟道开路漏极输出 (E_{VDD0} 耐压)模式。

备注 1. $V_b[V]$: 通信线路电压

2. q: UART 编号 (q = 0 至 3), g: PIM 和 POM 编号 (g = 0, 1, 5, 14)

3. f_{MCK} : 串行阵列单元的操作时钟频率

(由串行模式寄存器 mn (SMRmn)的 CKSmn 位设置的操作时钟。m:单元编号,

n: 通道编号 (mn = 00 至 03, 10 至 13))

4. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在 UART 模式下以不同电位通信时的 AC 特性的观察点。

4.0 V $\leq E_{VDD0} \leq 5.5\text{ V}$, 2.7 V $\leq V_b \leq 4.0\text{ V}$: $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

2.7 V $\leq E_{VDD0} < 4.0\text{ V}$, 2.3 V $\leq V_b \leq 2.7\text{ V}$: $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

1.8 V $\leq E_{VDD0} < 3.3\text{ V}$, 1.6 V $\leq V_b \leq 2.0\text{ V}$: $V_{IH} = 1.50\text{ V}$, $V_{IL} = 0.32\text{ V}$

5. 当外围 I/O 重定向寄存器 0 (PIOR0) 的第 1 位(PIOR01)置“1”时, UART2 不能以不同电位通信。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(6) 不同电位(2.5 V, 3 V)通信时 (UART 模式) (专用波特率生成器输出) (2/2)

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.8\text{ V} \leq E_{VDD0} = E_{VDD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = E_{VSS0} = E_{VSS1} = 0\text{ V}$)

参数	符号	条件		最小值	典型值	最大值	单位
传送(速)率		传送	$4.0\text{ V} \leq E_{VDD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$			注 1, 2	bps
			最大传送(速)率的理论值 $C_b = 50\text{ pF}$, $R_b = 1.4\text{ k}\Omega$, $V_b = 2.7\text{ V}$			$2.8^{\#3}$	Mbps
			$2.7\text{ V} \leq E_{VDD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$			注 2, 4	bps
			最大传送(速)率的理论值 $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$, $V_b = 2.3\text{ V}$			$1.2^{\#5}$	Mbps
			$1.8\text{ V} \leq E_{VDD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$			注 2, 6, 7	bps
			最大传送(速)率的理论值 $C_b = 50\text{ pF}$, $R_b = 5.5\text{ k}\Omega$, $V_b = 1.6\text{ V}$			$0.43^{\#8}$	Mbps

注 1. 利用 $f_{MCK}/6$ 或以下表达式得到的较小的最大传送速率为有效的最大传送速率。
当 $4.0\text{ V} \leq E_{VDD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ 时的传送(速)率计算公式示例

$$\text{最大传送(速)率} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{波特率误差(理论值)} = \frac{\frac{1}{\text{Transfer rate} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{Transfer rate}}) \times \text{传送位数量}} \times 100 \text{ [%]}$$

* 该值为发送端与接收端之间的理论相对差值。

2. SNOOZE 模式下的传送(速)率为 最大值 9600 bps, 最小值 4800 bps。
3. 举例来说，在“条件”栏中所列条件得到满足时计算该值。请参阅上面的注 1，以了解如何在自定义条件下计算最大传送速率。
4. 利用 $f_{MCK}/6$ 或以下表达式得到的较小的最大传送速率为有效的最大传送速率。
当 $2.7\text{ V} \leq E_{VDD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ 时的传送(速)率计算公式示例

$$\text{最大传送(速)率} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{波特率误差(理论值)} = \frac{\frac{1}{\text{Transfer rate} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{Transfer rate}}) \times \text{传送位数}} \times 100 \text{ [%]}$$

* 该值为发送方与接收方之间相对差的理论值。

5. 举例来说，在“条件”栏中所列条件得到满足时计算该值。请参阅上面的注 4，以了解如何在自定义条件下计算最大传送速率。
6. 请在 $E_{VDD0} \geq V_b$ 下使用。

- 注 7. 利用 $f_{MCK}/6$ 或以下表达式得到的较小的最大传送速率为有效的最大传送速率。
当 $1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 时的传送(速)率计算公式示例

$$\text{最大传送(速)率} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{波特率误差(理论值)} = \frac{\frac{1}{\text{Transfer rate} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{Transfer rate}}) \times \text{传送位数}} \times 100 \text{ [%]}$$

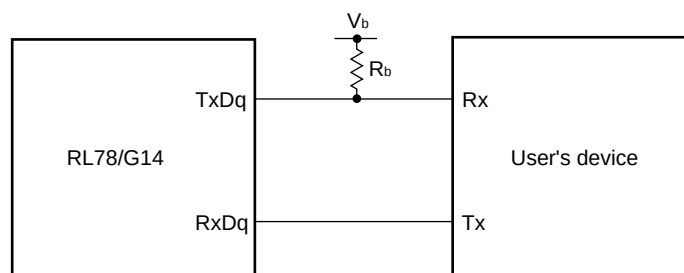
* 该值为发送方与接收方之间相对差的理论值。

8. 举例来说, 在“条件”栏中所列条件得到满足时计算该值。请参阅上面的注 7, 以了解如何在自定义条件下计算最大传送速率。

注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg), RxDq 引脚选择 TTL 输入缓冲器, TxDq 引脚选择 N 沟道开路漏极输出 (EV_{DD0} 耐压) 模式。

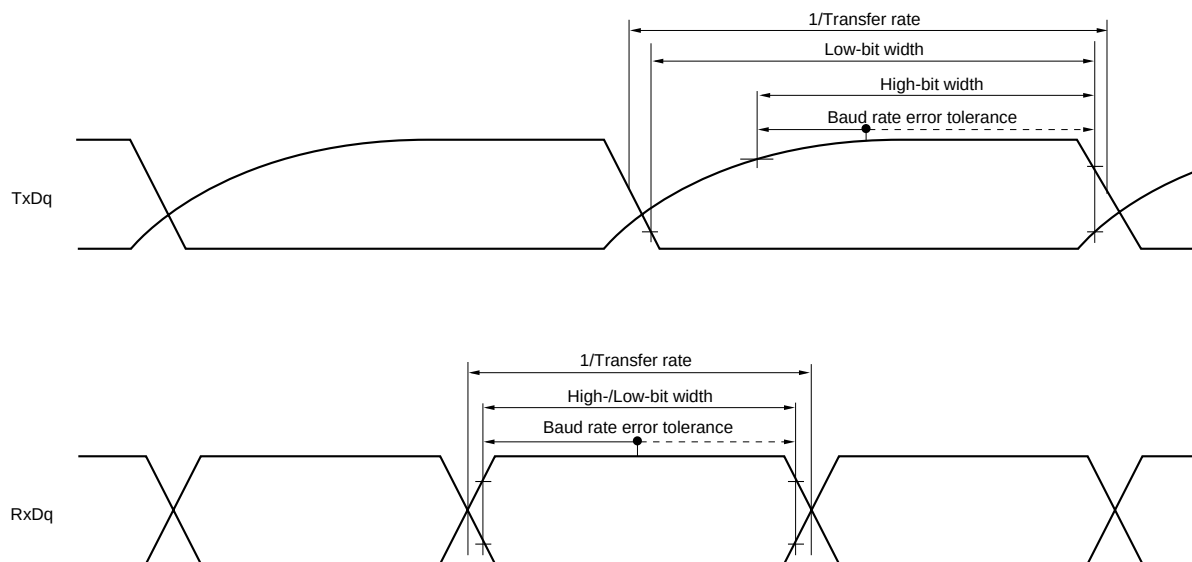
- 备注 1. $R_b[\Omega]$: 通信线路(TxDq) 上拉电阻,
 $C_b[F]$: 通信线路(TxDq) 负载电容, $V_b[V]$: 通信线路电压
2. q: UART 编号 (q = 0 至 3), g: PIM 和 POM 编号 (g = 0, 1, 5, 14)
3. f_{MCK} : 串行阵列单元的操作时钟频率。
(由串行模式寄存器 mn (SMRmn) 的 CKSmn 位设置操作时钟。
m: 单元编号, n: 通道编号 (mn = 00 至 03, 10 至 13))
4. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在 UART 模式下以不同电位通信时的 AC 特性的观察点。
 $4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$: $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$
 $2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$: $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$
 $1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$: $V_{IH} = 1.50\text{ V}$, $V_{IL} = 0.32\text{ V}$
5. 当外围 I/O 重定向寄存器(PIOR)的位 1(PIOR1)是 1 时, 不能执行 UART2 通信。

UART 模式连接图 (不同电位通信时)



注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

UART 模式位宽度 (不同电位通信时) (参考)



注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，Rx Dq 引脚选择 TTL 输入缓冲器，Tx Dq 引脚选择 N 沟道开路漏极输出 (EV_{DD0} 耐压) 模式。

- 备注 1.** $R_b[\Omega]$: 通信线路(TxDq)上拉电阻, $V_b[V]$: 通信线路电压
- 2.** q: UART 编号 (q = 0 至 3), g: PIM 和 POM 编号 (g = 0, 1, 5, 14)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(7) 不同电位(2.5 V, 3 V) ($f_{MCK}/2$)通信时 (CSI 模式) (主模式, $\overline{SCKp}$... 内部时钟输出)

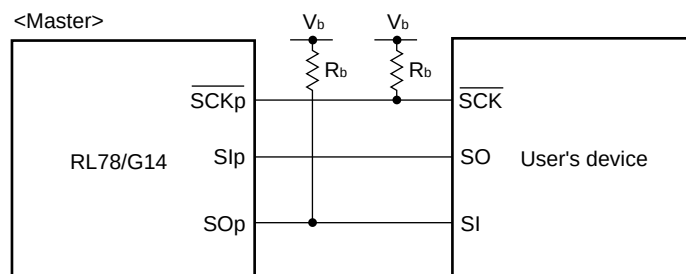
($T_A = -40$ 至 $+85^\circ\text{C}$, $2.7\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
$\overline{SCKp}$ 周期时间	t_{KCY1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	200 ^{註1}			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	300 ^{註1}			ns
$\overline{SCKp}$ 高电位宽幅	t_{KH1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	$t_{KCY1}/2 - 50$			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	$t_{KCY1}/2 - 120$			ns
$\overline{SCKp}$ 低电位宽幅	t_{KL1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	$t_{KCY1}/2 - 7$			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	$t_{KCY1}/2 - 10$			ns
Slp 准备时间 (至 $\overline{SCKp}\uparrow$) ^{註2}	t_{SIK1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	58			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	121			ns
Slp 保持时间 (从 $\overline{SCKp}\uparrow$) ^{註2}	t_{KS1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	10			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	10			ns
从 $\overline{SCKp}\downarrow$ 至 Sop 输出的迟延时间 ^{註2}	t_{KSO1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$			60	ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$			130	ns
Slp 准备时间 (至 $\overline{SCKp}\downarrow$) ^{註3}	t_{SIK1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	23			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	33			ns
Slp 保持时间 (从 $\overline{SCKp}\downarrow$) ^{註3}	t_{KS1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	10			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	10			ns
从 $\overline{SCKp}\uparrow$ 至 Sop 输出的迟延时间 ^{註3}	t_{KSO1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$			10	ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$			10	ns

(注, 注意事项 和备注如下页所述)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

CSI 模式连接图 (不同电位通信时)



- 注**
1. 且需设定为 $2/f_{CLK}$ 或更高的值。
 2. 当 $DAPmn = 0$ 和 $CKPmn = 0$ ，或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。
 3. 当 $DAPmn = 0$ 和 $CKPmn = 1$ ，或 $DAPmn = 1$ 和 $CKPmn = 0$ 时。

注意事项 使用端口输入模式寄存器 **g** (PIMg) 和端口输出模式寄存器 **g** (POMg)，Slp 引脚选择 TTL 输入缓冲器，SO 引脚和 SCKp 引脚选择 N 沟道开路漏极输出(EV_{DD0} 耐压) 模式。

- 备注**
1. $R_b[\Omega]$: 通信线路 ($\overline{SCKp}$, SOp) 上拉电阻, $C_b[F]$: 通信线路 ($\overline{SCKp}$, SOp) 负载电容, $V_b[V]$: 通信线路电压
 2. p: CSI 编号 ($p = 00, 01, 10, 20, 30, 31$), m: 单元编号 ($m = 0, 1$), n: 通道编号 ($n = 0$ 至 3), g: PIM 和 POM 编号 ($g = 0, 1, 3$ 至 5, 14)
 3. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在 CSI 模式下以不同电位通信时的 AC 特性的观察点。
 $4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}, 2.7\text{ V} \leq V_b \leq 4.0\text{ V}: V_{IH} = 2.2\text{ V}, V_{IL} = 0.8\text{ V}$
 $2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}, 2.3\text{ V} \leq V_b \leq 2.7\text{ V}: V_{IH} = 2.0\text{ V}, V_{IL} = 0.5\text{ V}$
 4. 48、52、64 针产品的 CSI01、CSI11 和 CSI21 不能以不同电位通信。若要以不同电位通信，必须使用其它 CSI。
 5. 仅当未使用 CSI00 的外围 I/O 重定向功能时，该规格才有效。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(8) 不同电位(2.5 V, 3 V)通信时 ($f_{MCK}/4$) (CSI 模式) (主模式, $\overline{SCKp}$... 内部时钟输出) (1/2)

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.8\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
$\overline{SCKp}$ 周期	t_{KCY1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	300 ^注			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	500 ^注			ns
		$1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$	1150 ^注			ns
$\overline{SCKp}$ 高电位宽幅	t_{KH1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	$t_{KCY1}/2 - 75$			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	$t_{KCY1}/2 - 170$			ns
		$1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$	$t_{KCY1}/2 - 458$			ns
$\overline{SCKp}$ 低电位宽幅	t_{KL1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	$t_{KCY1}/2 - 12$			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	$t_{KCY1}/2 - 18$			ns
		$1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$	$t_{KCY1}/2 - 50$			ns

注 且需设定为 $4/f_{CLK}$ 或更高的值。

注意事项 1. 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg), $\overline{Slp}$ 引脚选择 TTL 输入缓冲器, $\overline{Sop}$ 引脚和 $\overline{SCKp}$ 引脚选择 N 沟道开路漏极输出 (EV_{DD0} 耐压) 模式。
2. 使用 $EV_{DD0} \geq V_b$ 的值。

备注 1. $R_b[\Omega]$: 通信线路 ($\overline{SCKp}$, $\overline{Sop}$) 上拉电阻, $C_b[\text{F}]$: 通信线路 ($\overline{SCKp}$, $\overline{Sop}$) 负载电容, $V_b[\text{V}]$: 通信线路电压
2. p: CSI 编号 (p = 00, 01, 10, 20, 30, 31), m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), g: PIM 和 POM 编号 (g = 0, 1, 3 至 5, 14)
3. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在 CSI 模式下以不同电位通信时的 AC 特性的观察点。
 $4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$: $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$
 $2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$: $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$
 $1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$: $V_{IH} = 1.50\text{ V}$, $V_{IL} = 0.32\text{ V}$
4. 48、52、64 针产品的 CSI01、CSI11 和 CSI21 不能以不同电位通信。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(8) 不同电位(2.5 V, 3 V)通信时 ($f_{MCK}/4$) (CSI 模式) (主模式, $\overline{SCKp}$... 内部时钟输出) (2/2)

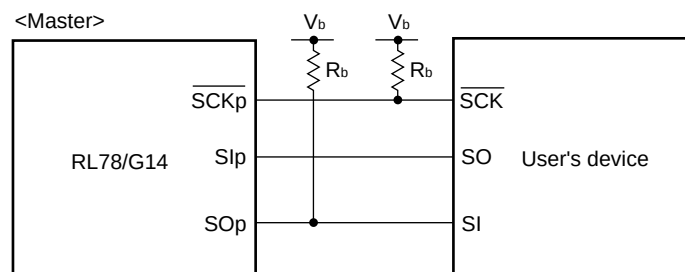
($T_A = -40$ 至 $+85^\circ\text{C}$, $1.8\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
Slp 准备时间 (至 $\overline{SCKp}\uparrow$) ^{注1}	t_{SIK1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	81			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	177			ns
		$1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$	479			ns
Slp 保持时间 (从 $\overline{SCKp}\uparrow$) ^{注1}	t_{KS1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	19			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	19			ns
		$1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$	19			ns
从 $\overline{SCKp}\downarrow$ 至 Sop 输出的迟延时间 ^{注1}	t_{KSO1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$			100	ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$			195	ns
		$1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$			483	ns
Slp 准备时间 (至 $\overline{SCKp}\downarrow$) ^{注2}	t_{SIK1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	44			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	44			ns
		$1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$	110			ns
Slp 保持时间 (从 $\overline{SCKp}\downarrow$) ^{注2}	t_{KS1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	19			ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	19			ns
		$1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$	19			ns
从 $\overline{SCKp}\uparrow$ 至 Sop 输出的迟延时间 ^{注2}	t_{KSO1}	$4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$			25	ns
		$2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$			25	ns
		$1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$			25	ns

(注, 注意事项 和备注如下页所述)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

CSI 模式连接图 (不同电位通信时)



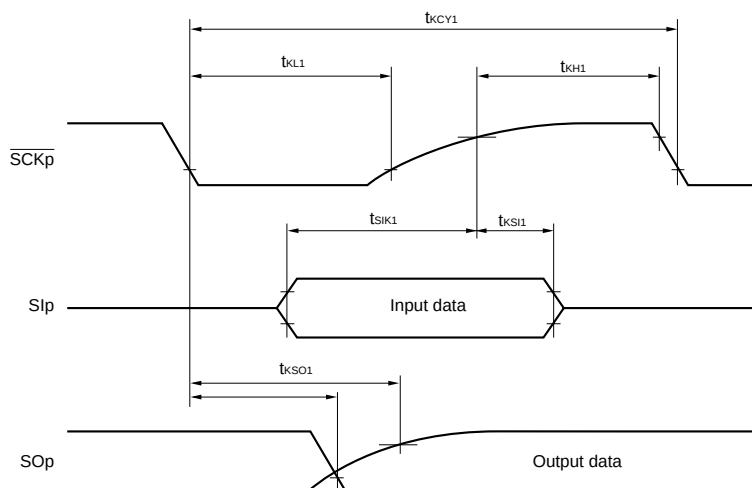
- 注 1.** 当 DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。
2. 当 DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时。

注意事项 1. 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，Slp 引脚选择 TTL 输入缓冲器，SOp 引脚和 SCKp 引脚选择 N 沟道开路漏极输出(EV_{DD0} 耐压) 模式。
2. 请在 EV_{DD0} ≥ V_b 下使用。

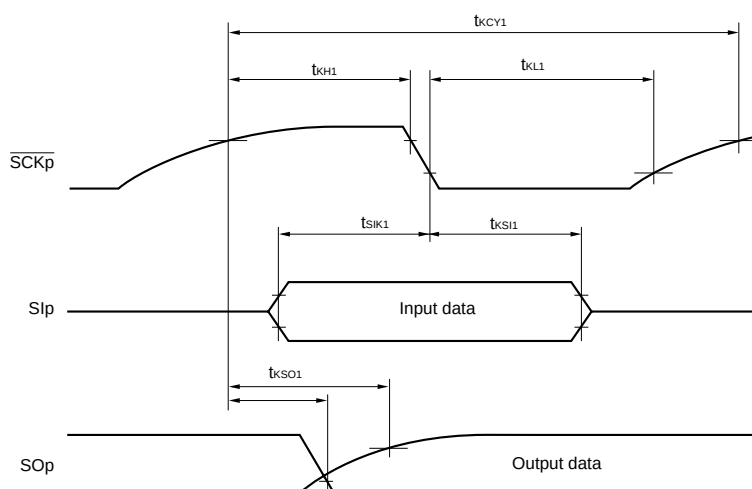
- 备注 1.** R_b[Ω]: 通信线路 (SCKp, SOp) 上拉电阻, C_b[F]: 通信线路 (SCKp, SOp)负载电容, V_b[V]: 通信线路电压
2. p: CSI 编号 (p = 00, 01, 10, 20, 30, 31), m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3),
 g: PIM 和 POM 编号 (g = 0, 1, 3 至 5, 14)
3. 下列 V_{IH} 和 V_{IL} 作为串行阵列单元的 CSI 模式下不同电位通信时 AC 特性的观测点。
 4.0 V ≤ EV_{DD0} ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 V: V_{IH} = 2.2 V, V_{IL} = 0.8 V
 2.7 V ≤ EV_{DD0} < 4.0 V, 2.3 V ≤ V_b ≤ 2.7 V: V_{IH} = 2.0 V, V_{IL} = 0.5 V
 1.8 V ≤ EV_{DD0} < 3.3 V, 1.6 V ≤ V_b ≤ 2.0 V: V_{IH} = 1.50 V, V_{IL} = 0.32 V
4. 48、52、64 针产品的 CSI01、CSI11 和 CSI21 不能以不同电位通信。若要以不同电位通信，必须使用其它 CSI。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

CSI 模式串行传送时序(主模式) (不同电位通信时)
(DAPmn = 0 和 CKPmn = 0, 或 DAPmn = 1 和 CKPmn = 1 时)



CSI 模式串行传送时序(主模式) (不同电位通信时)
(DAPmn = 0 和 CKPmn = 1, 或 DAPmn = 1 和 CKPmn = 0 时)



注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，Slp 引脚选择 TTL 输入缓冲器，SOp 引脚和 SCKp 引脚选择 N 沟道开路漏极输出(EVDD0 耐压) 模式。

- 备注 1.** p: CSI 编号 (p = 00, 01, 10, 20, 30, 31), m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3),
g: PIM 和 POM 编号 (g = 0, 1, 3 至 5, 14)
- 2.** 48、52、64 针产品的 CSI01、CSI11 和 CSI21 不能以不同电位通信。若要以不同电位通信，必须使用其它 CSI。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(9) 不同电位(2.5 V, 3 V)通信时 (CSI 模式) (从属模式, $\overline{\text{SCKp}}$... 外部时钟输入)

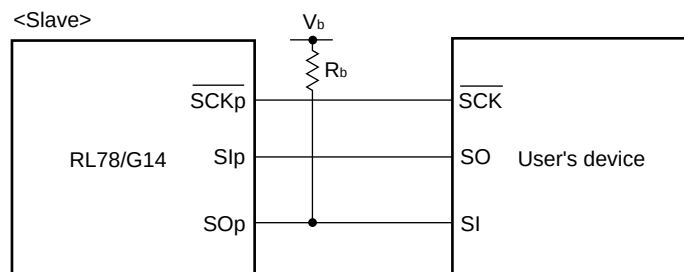
($T_A = -40$ 至 $+85^\circ\text{C}$, $1.8\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
$\overline{\text{SCKp}}$ 周期时间 ^{註1}	t_{KCY2}	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq \text{Vb} \leq 4.0\text{ V}$	$24\text{ MHz} \leq f_{\text{MCK}}$	$14/f_{\text{MCK}}$		ns
			$20\text{ MHz} < f_{\text{MCK}} \leq 24\text{ MHz}$	$12/f_{\text{MCK}}$		ns
			$8\text{ MHz} < f_{\text{MCK}} \leq 20\text{ MHz}$	$10/f_{\text{MCK}}$		ns
			$4\text{ MHz} < f_{\text{MCK}} \leq 8\text{ MHz}$	$8/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 4\text{ MHz}$	$6/f_{\text{MCK}}$		ns
		$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$, $2.3\text{ V} \leq \text{Vb} \leq 2.7\text{ V}$	$24\text{ MHz} \leq f_{\text{MCK}}$	$20/f_{\text{MCK}}$		ns
			$20\text{ MHz} < f_{\text{MCK}} \leq 24\text{ MHz}$	$16/f_{\text{MCK}}$		ns
			$16\text{ MHz} < f_{\text{MCK}} \leq 20\text{ MHz}$	$14/f_{\text{MCK}}$		ns
			$8\text{ MHz} < f_{\text{MCK}} \leq 16\text{ MHz}$	$12/f_{\text{MCK}}$		ns
			$4\text{ MHz} < f_{\text{MCK}} \leq 8\text{ MHz}$	$8/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 4\text{ MHz}$	$6/f_{\text{MCK}}$		ns
		$1.8\text{ V} \leq \text{EVDD0} < 3.3\text{ V}$, $1.6\text{ V} \leq \text{Vb} \leq 2.0\text{ V}$ ^{註2}	$24\text{ MHz} \leq f_{\text{MCK}}$	$48/f_{\text{MCK}}$		ns
			$20\text{ MHz} < f_{\text{MCK}} \leq 24\text{ MHz}$	$36/f_{\text{MCK}}$		ns
			$16\text{ MHz} < f_{\text{MCK}} \leq 20\text{ MHz}$	$32/f_{\text{MCK}}$		ns
			$8\text{ MHz} < f_{\text{MCK}} \leq 16\text{ MHz}$	$26/f_{\text{MCK}}$		ns
			$4\text{ MHz} < f_{\text{MCK}} \leq 8\text{ MHz}$	$16/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 4\text{ MHz}$	$10/f_{\text{MCK}}$		ns
$\overline{\text{SCKp}}$ 高电位/低电位宽幅	t_{KH2} , t_{KL2}	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq \text{Vb} \leq 4.0\text{ V}$	$t_{\text{KCY2}}/2 - 12$			ns
		$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$, $2.3\text{ V} \leq \text{Vb} \leq 2.7\text{ V}$	$t_{\text{KCY2}}/2 - 18$			ns
		$1.8\text{ V} \leq \text{EVDD0} < 3.3\text{ V}$, $1.6\text{ V} \leq \text{Vb} \leq 2.0\text{ V}$ ^{註2}	$t_{\text{KCY2}}/2 - 50$			ns
Slp 准备时间 (至 $\overline{\text{SCKp}}\uparrow$) ^{註3}	t_{SIK2}	$2.7\text{ V} \leq \text{EVDD0} < 5.5\text{ V}$	$1/f_{\text{MCK}} + 20$			ns
		$1.8\text{ V} \leq \text{EVDD0} < 3.3\text{ V}$	$1/f_{\text{MCK}} + 30$			ns
Slp 保持时间 (从 $\overline{\text{SCKp}}\uparrow$) ^{註4}	t_{KSI2}		$1/f_{\text{MCK}} + 31$			ns
从 $\overline{\text{SCKp}}\downarrow$ 至 Sop 输出的延迟时间 ^{註5}	t_{KSO2}	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq \text{Vb} \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	$1/f_{\text{MCK}} + 250$		$2/f_{\text{MCK}} + 120$	ns
		$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$, $2.3\text{ V} \leq \text{Vb} \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$			$2/f_{\text{MCK}} + 214$	ns
		$1.8\text{ V} \leq \text{EVDD0} < 3.3\text{ V}$, $1.6\text{ V} \leq \text{Vb} \leq 2.0\text{ V}$ ^{註2} , $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$			$2/f_{\text{MCK}} + 573$	ns

(注, 注意事项 和备注如下页所述)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

CSI 模式连接图(不同电位通信时)



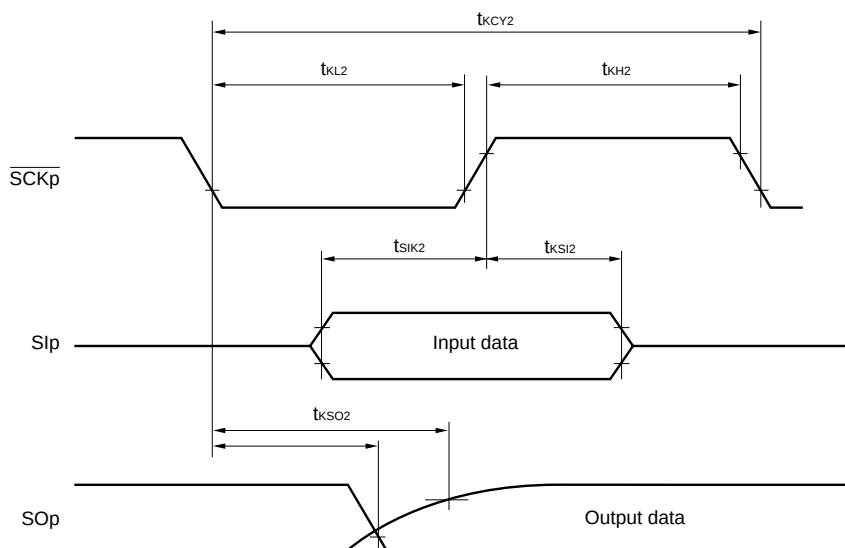
- 注 1.** SNOOZE 模式下的传送(速)率为最大值 1 Mbps。
- 2.** 请在 $EV_{DD0} \geq V_b$ 下使用。
- 3.** 当 $DAPmn = 0$ 和 $CKPmn = 0$ 或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。 $DAPmn = 0$ 和 $CKPmn = 1$ 或 $DAPmn = 1$ 和 $CKPmn = 0$ 时， Slp 准备时间变为“至 $\overline{SCKp}\downarrow$ ”。
- 4.** 当 $DAPmn = 0$ 和 $CKPmn = 0$ 或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。 $DAPmn = 0$ 和 $CKPmn = 1$ 或 $DAPmn = 1$ 和 $CKPmn = 0$ 时， Slp 保持时间变为“从 $\overline{SCKp}\downarrow$ ”。
- 5.** 当 $DAPmn = 0$ 和 $CKPmn = 0$ 或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。 $DAPmn = 0$ 和 $CKPmn = 1$ 或 $DAPmn = 1$ 和 $CKPmn = 0$ 时， Sop 输出的迟延时间变为“从 $\overline{SCKp}\uparrow$ ”。

注意事项 使用端口输入模式寄存器 (PIMg) 和端口输出模式寄存器 g (POMg)， Slp 引脚和 $\overline{SCKp}$ 引脚选择 TTL 输入缓冲器， Sop 引脚选择 N 沟道开路漏极输出 (EV_{DD0} 耐压) 模式。

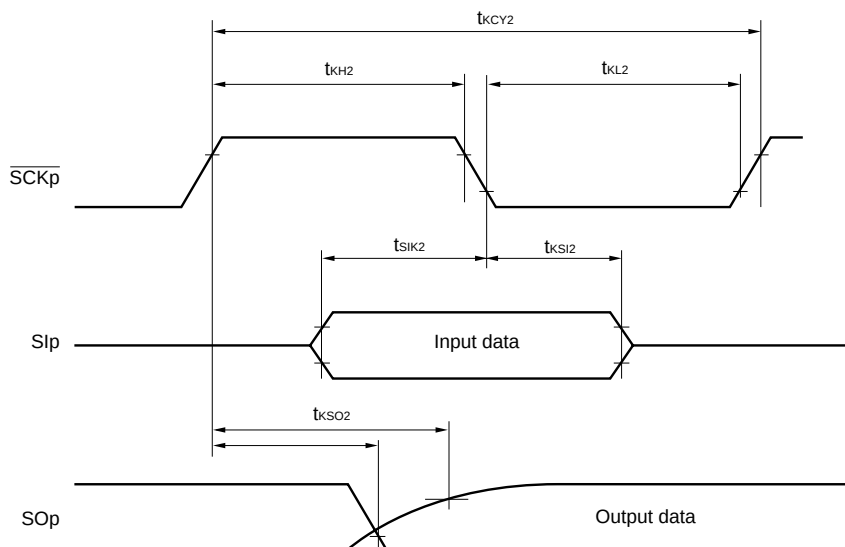
- 备注 1.** $R_b[\Omega]$: 通信线路 (SO_p) 上拉电阻， $C_b[F]$: 通信线路 (SO_p) 负载电容， $V_b[V]$: 通信线路电压
- 2.** p: CSI 编号 (p = 00, 01, 10, 20, 30, 31), m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3), g: PIM 和 POM 编号 (g = 0, 1, 3 至 5, 14)
- 3.** f_{MCK} : 串行阵列单元的操作时钟频率。
(由串行模式寄存器 mn (SMRmn) 的 CKSmn 位设置的操作时钟。)
m: 单元编号, n: 通道编号 (mn = 00, 02, 10))
- 4.** 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在 CSI 模式下以不同电位通信时的 AC 特性的观察点。
 $4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}, 2.7\text{ V} \leq V_b \leq 4.0\text{ V}$: $V_{IH} = 2.2\text{ V}, V_{IL} = 0.8\text{ V}$
 $2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}, 2.3\text{ V} \leq V_b \leq 2.7\text{ V}$: $V_{IH} = 2.0\text{ V}, V_{IL} = 0.5\text{ V}$
 $1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}, 1.6\text{ V} \leq V_b \leq 2.0\text{ V}$: $V_{IH} = 1.50\text{ V}, V_{IL} = 0.32\text{ V}$
- 5.** 48、52、64 针产品的 CSI01、CSI11 和 CSI21 不能以不同电位通信。若要以不同电位通信，必须使用其它 CSI。
并且， 带有从属选择功能的时钟同步串行通信时， 不能以不同电位通信。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

CSI 模式串行传送时序(从属模式) (不同电位通信时)
(DAPmn = 0 和 CKPmn = 0, 或 DAPmn = 1 和 CKPmn = 1 时)



CSI 模式串行传送时序(从属模式) (不同电位通信时)
(DAPmn = 0 和 CKPmn = 1, 或 DAPmn = 1 和 CKPmn = 0 时)



注意事项 使用端口输入模式寄存器 (PIMg) 和端口输出模式寄存器 g (POMg)，Slp 引脚和 SCKp 引脚选择 TTL 输入缓冲器，SOp 引脚选择 N 沟道开路漏极输出 (EVDD0 耐压) 模式。

- 备注 1.** p: CSI 编号 (p = 00, 01, 10, 20, 30, 31), m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0 至 3),
g: PIM 和 POM 编号 (g = 0, 1, 3 至 5, 14)
- 2.** 48、52、64 针产品的 CSI01、CSI11 和 CSI21 不能以不同电位通信。若要以不同电位通信，必须使用其它 CSI。
并且，带有从属选择功能的时钟同步串行通信时，不能以不同电位通信。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(10) 不同电位(2.5 V, 3 V)通信时 (简易 I²C 模式) (1/2)

(T_A = -40 至+85°C, 1.8 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

参数	符号	条件	最小值	最大值	单位
SCLr 时钟频率	f _{SCL}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ		1000	kHz
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ		1000	kHz
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ		400	kHz
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		400	kHz
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{※1} , C _b = 100 pF, R _b = 5.5 kΩ		300	kHz
SCLr = “L”的保持时间	t _{LOW}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	475		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	475		ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1150		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1150		ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{※1} , C _b = 100 pF, R _b = 5.5 kΩ	1550		ns
SCLr = “H”时的保持时间	t _{HIGH}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	245		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	200		ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	675		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	600		ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{※1} , C _b = 100 pF, R _b = 5.5 kΩ	610		ns

(注，注意事项 和备注如下页所述)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(10) 不同电位(2.5 V, 3 V)通信时 (简易 I²C 模式) (2/2)

(T_A = -40 至+85°C, 1.8 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

参数	符号	条件	最小值	最大值	单位
数据准备时间 (接收)	t _{SU:DAT}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 135 ^{注 2}		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 135 ^{注 2}		ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 190 ^{注 2}		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 190 ^{注 2}		ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注 1} , C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 190 ^{注 2}		ns
数据保持时间 (传送)	t _{HD:DAT}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	355	ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	355	ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注 1} , C _b = 100 pF, R _b = 5.5 kΩ	0	405	ns

注 1. 请在 EV_{DD0} ≥ V_b 下使用。

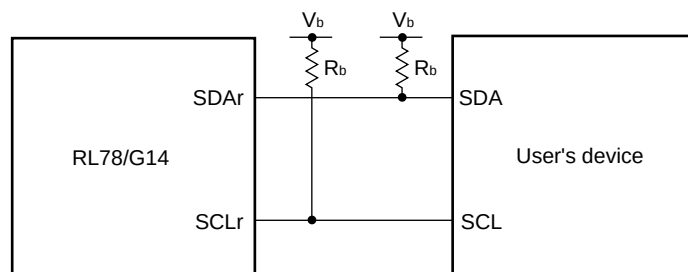
2. 请将 f_{MCK} 值设定为不超过 SCLr = "L" 和 SCLr = "H" 的保持时间的数值。

注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，SDAr 引脚选择 TTL 输入缓冲器和 N 沟道开路漏极输出(EV_{DD0} 耐压) 模式，SCLr 引脚选择 N 沟道开路漏极输出(EV_{DD0} 耐压) 模式。

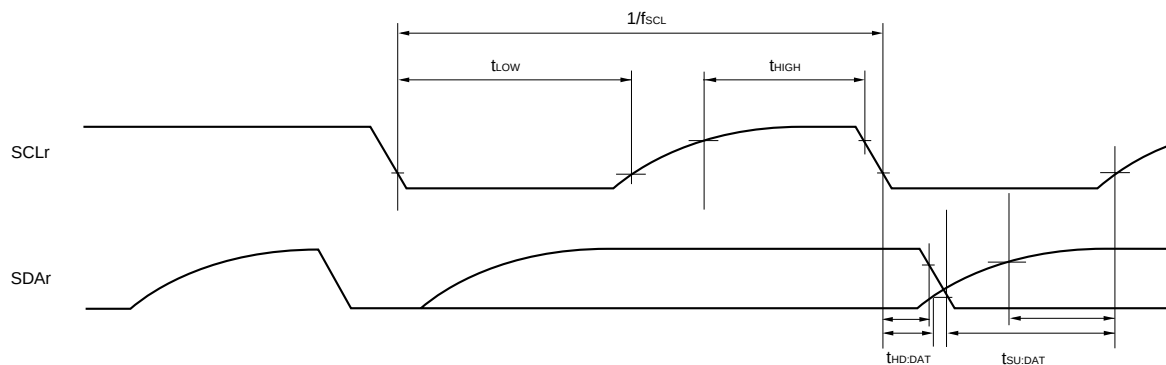
(备注如下页所述)

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

简易 I²C 模式连接图 (不同电位通信时)



简易 I²C 模式串行传送时序 (不同电位通信时)



注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，SDAr 引脚选择 TTL 输入缓冲器和 N 沟道开路漏极输出(EV_{DD0} 耐压) 模式，SCLr 引脚选择 N 沟道开路漏极输出(EV_{DD0} 耐压) 模式。

- 备注**
1. $R_b[\Omega]$: 通信线路 (SDAr, SCLr) 上拉电阻, $C_b[F]$: 通信线路 (SDAr, SCLr) 负载电容, $V_b[V]$: 通信线路电压
 2. r: IIC 编号 (r = 00, 01, 10, 11, 20, 30, 31), g: PIM, POM 编号 (g = 0, 1, 3 至 5, 14)
 3. f_{MCK} : 串行阵列单元的操作时钟频率
(由串行模式寄存器 mn (SMRmn) 的 CKSmn 位设置的操作时钟。m: 单元编号 (m = 0, 1), n: 通道编号 (n = 0, 3), mn = 00 至 03, 10, 12, 13)
 4. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在简化 I²C 模式下以不同电位通信时的 AC 特性的观察点。
 $4.0\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}, 2.7\text{ V} \leq V_b \leq 4.0\text{ V}: V_{IH} = 2.2\text{ V}, V_{IL} = 0.8\text{ V}$
 $2.7\text{ V} \leq EV_{DD0} < 4.0\text{ V}, 2.3\text{ V} \leq V_b \leq 2.7\text{ V}: V_{IH} = 2.0\text{ V}, V_{IL} = 0.5\text{ V}$
 $1.8\text{ V} \leq EV_{DD0} < 3.3\text{ V}, 1.6\text{ V} \leq V_b \leq 2.0\text{ V}: V_{IH} = 1.50\text{ V}, V_{IL} = 0.32\text{ V}$

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.6.2 串行接口 IICA

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

参数	符号	条件	标准模式		快速模式		增强型快速模式		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
SCLA0 时钟频率	f_{SCL}	增强型快速模式: $f_{\text{CLK}} \geq 10\text{ MHz}$					0	1000	kHz
		快速模式: $f_{\text{CLK}} \geq 3.5\text{ MHz}$			0	400			kHz
		标准模式: $f_{\text{CLK}} \geq 1\text{ MHz}$	0	100					kHz
重启条件的准备时间 ^{注1}	$t_{\text{SU:STA}}$		4.7		0.6		0.26		μs
保持时间	$t_{\text{HD:STA}}$		4.0		0.6		0.26		μs
SCLA0 = “L”时的保持时间	t_{LOW}		4.7		1.3		0.5		μs
SCLA0 = “H”时的保持时间	t_{HIGH}		4.0		0.6		0.26		μs
数据准备时间 (接收)	$t_{\text{SU:DAT}}$		250		100		50		ns
数据保持时间 (传送) ^{注2}	$t_{\text{HD:DAT}}$		0	3.45	0	0.9	0		μs
停止条件的准备时间	$t_{\text{SU:STO}}$		4.0		0.6		0.26		μs
总线自由时间	t_{BUF}		4.7		1.3		0.5		μs

注 1. 在检测到开始/重启条件时，将在该周期之后产生第一个时钟脉冲。

注 2. $t_{\text{HD:DAT}}$ 的最大值为正常传送过程中的值，一个等待状态被插入 $\overline{\text{ACK}}$ （应答）时序。

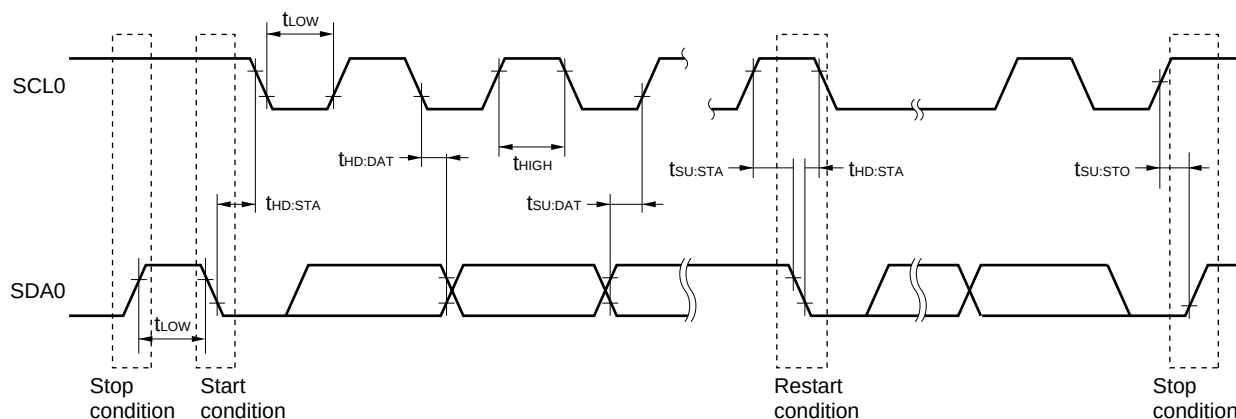
备注 此时，各种模式下的 C_b （通信线路电容）的最大值以及 R_b （通信线路上拉电阻）的值如下所示：

标准模式: $C_b = 400\text{ pF}$, $R_b = 2.7\text{ k}\Omega$

快速模式: $C_b = 320\text{ pF}$, $R_b = 1.1\text{ k}\Omega$

增强型快速模式: $C_b = 120\text{ pF}$, $R_b = 1.1\text{ k}\Omega$

IICA 串行传送时序



注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.6.3 片上调试 (UART)

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.8\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
传送(速)率			115.2 k		1 M	bps

34.7 模拟特性

34.7.1 A/D 转换特性

(1) 选择 $\text{AV}_{\text{REF}}(+)=\text{AV}_{\text{REFP}}/\text{ANI0}$ ($\text{ADREFP1}=0$, $\text{ADREFP0}=1$), $\text{AV}_{\text{REF}}(-)=\text{AV}_{\text{REFM}}/\text{ANI1}$ ($\text{ADREFM}=1$)时, 对象 ANI 引脚: ANI2 至 ANI14 (以 V_{DD} 为电源的 ANI 引脚)

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$, 基准电压 (+) = AV_{REFP} , 基准电压 (-) = $\text{AV}_{\text{REFM}} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
分辨率	RES		8		10	bit
整体误差 ^{注 1,2}	AINL	10 位分辨率 $\text{AV}_{\text{REFP}} = \text{V}_{\text{DD}}$	$1.8\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$	1.2	± 3.5	LSB
			$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$	1.2	± 7.0	LSB
转换时间	t_{CONV}	10 位分辨率 $\text{AV}_{\text{REFP}} = \text{V}_{\text{DD}}$	$3.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$	2.125	39	μs
			$2.7\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$	3.1875	39	μs
			$1.8\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$	17	39	μs
			$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$	57	95	μs
零刻度误差 ^{注 1,2}	EVS	10 位分辨率 $\text{AV}_{\text{REFP}} = \text{V}_{\text{DD}}$	$1.8\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 0.25	%FSR
			$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 0.50	%FSR
满刻度误差 ^{注 1,2}	EFS	10 位分辨率 $\text{AV}_{\text{REFP}} = \text{V}_{\text{DD}}$	$1.8\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 0.25	%FSR
			$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 0.50	%FSR
积分线性误差 ^{注 1}	ILE	10 位分辨率 $\text{AV}_{\text{REFP}} = \text{V}_{\text{DD}}$	$1.8\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 2.5	LSB
			$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 5.0	LSB
微分线性误差 ^{注 1}	DLE	10 位分辨率 $\text{AV}_{\text{REFP}} = \text{V}_{\text{DD}}$	$1.8\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 1.5	LSB
			$1.6\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 2.0	LSB
基准电压 (+)	AV_{REFP}		1.6		V_{DD}	V
模拟输入电压	V_{AIN}		0		AV_{REFP}	V
	V_{BGR}	$2.4\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, HS (高速主)模式	1.38	1.45	1.5	V

注 1. 不包括量化误差 ($\pm 1/2$ LSB)。

2. 该值表示针对满刻度值的比率 (%FSR)。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(2) 选择 $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0$, $ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 时, 目标 ANI 引脚: ANI16 至 ANI20 (以 EV_{DD0} 为电源的 ANI 引脚)

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基准电压 (+) = AV_{REFP} , 基准电压 (-) = $AV_{REFM} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
分辨率	RES		8		10	bit
整体误差 ^{注 1, 2}	AINL	10 位分辨率 $AV_{REFP} = V_{DD}$	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.2	± 5.0	LSB
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.2	± 8.5	LSB
转换时间	t_{CONV}	10 位分辨率 $AV_{REFP} = V_{DD}$	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125	39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875	39	μs
			$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17	39	μs
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	57	95	μs
零刻度误差 ^{注 1, 2}	EVS	10 位分辨率 $AV_{REFP} = V_{DD}$	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 0.35	%FSR
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 0.60	%FSR
满刻度误差 ^{注 1, 2}	EFS	10 位分辨率 $AV_{REFP} = V_{DD}$	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 0.35	%FSR
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 0.60	%FSR
积分线性误差 ^{注 1}	ILE	10 位分辨率 $AV_{REFP} = V_{DD}$	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 3.5	LSB
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 6.0	LSB
微分线性误差 ^{注 1}	DLE	10 位分辨率 $AV_{REFP} = V_{DD}$	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 2.0	LSB
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 2.5	LSB
基准电压 (+)	AV_{REFP}		1.6		V_{DD}	V
模拟输入电压	V_{AIN}		0		AV_{REFP} 和 EV_{DD0}	V
	V_{BGR}	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速主)模式	1.38	1.45	1.5	V

注 1. 不包括量化误差($\pm 1/2$ LSB)。

2. 该值表示针对满刻度值的比率 (%FSR)。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(3) 选择 $AV_{REF}(+) = V_{DD}$ ($ADREFP1 = 0$, $ADREFP0 = 0$), $AV_{REF}(-) = V_{SS}$ ($ADREFM = 0$) 时, 对象 ANI 引脚: ANI0 至 ANI14, ANI16 至 ANI20

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.6\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基准电压 (+) = V_{DD} , 基准电压 (-) = V_{SS})

参数	符号	条件		最小值	典型值	最大值	单位
分辨率	RES			8		10	bit
整体误差 ^{注 1, 2}	AINL	10 位分辨率	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		1.2	± 7.0	LSB
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		1.2	± 10.5	LSB
转换时间	t_{CONV}	10 位分辨率	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125		39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875		39	μs
			$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	57		95	μs
零刻度误差 ^{注 1, 2}	EVS	10 位分辨率	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.60	%FSR
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.85	%FSR
满刻度误差 ^{注 1, 2}	EFS	10 位分辨率	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.60	%FSR
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.85	%FSR
积分线性误差 ^{注 1}	ILE	10 位分辨率	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 4.0	LSB
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 6.5	LSB
微分线性误差 ^{注 1}	DLE	10 位分辨率	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.0	LSB
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.5	LSB
模拟输入电压	V_{AIN}	ANI0 至 ANI14		0		V_{DD}	V
		ANI16 至 ANI20		0		EV_{DD0}	V
	V_{BGR}	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速主)模式		1.38	1.45	1.5	V

注 1. 不包括量化误差($\pm 1/2$ LSB)。

2. 该值表示针对满刻度值的比率 (%FSR)。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

(4) 选择 $AV_{REF}(+) =$ 内部基准电压 ($ADREFP1 = 1$, $ADREFP0 = 0$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 时, 目标 ANI 引脚: ANI0 至 ANI14, ANI16 至 ANI20

($T_A = -40$ 至 $+85^{\circ}\text{C}$, $2.4\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基准电压 (+) = V_{BGR} , 基准电压 (-) = $AV_{REFM} = 0\text{ V}$, HS (高速主)模式)

参数	符号	条件		最小值	典型值	最大值	单位
分辨率	R_{ES}			8			bit
转换时间	t_{CONV}	8 位分辨率	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
零刻度误差 ^{注 1, 2}	E_{ZS}	8 位分辨率	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.60	%FSR
积分线性误差 ^{注 1}	I_{LE}	8 位分辨率	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.0	LSB
微分线性误差 ^{注 1}	D_{LE}	8 位分辨率	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 1.0	LSB
基准电压 (+)	V_{BGR}			1.38	1.45	1.5	V
基准电压 (-)	AV_{REFM}			V_{SS}			V
模拟输入电压	V_{AIN}			0		V_{BGR}	V

注 1. 不包括量化误差($\pm 1/2$ LSB).

2. 该值表示针对满刻度值的比率 (%FSR)。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.7.2 温度传感器特性

($T_A = -40$ 至 $+85^{\circ}\text{C}$, $2.4\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$, HS (高速主)模式)

参数	符号	条件	最小值	典型值	最大值	单位
温度传感器输出电压	V_{TMPS25}	设置 ADS 寄存器 = 80H, $T_A = +25^{\circ}\text{C}$		1.05		V
参考输出电压	V_{CONST}	设置 ADS 寄存器 = 81H	1.38	1.45	1.5	V
温度系数	F_{VTMPS}	取决于温度传感器电压的温度		-3.6		mV/C
操作稳定等待时间	t_{AMP}				5	μs

34.7.3 D/A 转换器特性

($T_A = -40$ 至 $+85^{\circ}\text{C}$, $1.6\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

参数	符号	条件	最小值	典型值	最大值	单位
分辨率	R_{ES}				8	bit
整体误差	A_{INL}	$\text{R}_{\text{load}} = 4\text{ M}\Omega$	$1.8\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 2.5	LSB
		$\text{R}_{\text{load}} = 8\text{ M}\Omega$	$1.8\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		± 2.5	LSB
稳定时间	t_{SET}	$\text{C}_{\text{load}} = 20\text{ pF}$	$2.7\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$		3	μs
			$1.6\text{ V} \leq \text{V}_{\text{DD}} < 2.7\text{ V}$		6	μs

34.7.4 比较器

(T_A = -40 至+85°C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

参数	符号	条件	最小值	典型值	最大值	单位
输入电压范围	lvref		0		EV _{DD0} - 1.4	V
	lvcmp		-0.3		EV _{DD0} + 0.3	V
输出迟延	td	V _{DD} = 3.0 V 输入转换速率 > 50 mV/ s			1.2	μs
		高速比较器模式, 标准模式			2.0	μs
		高速比较器模式, 窗口模式		3		μs
高电位判断电压	VTW+	高速比较器模式, 窗口模式		0.76V _{DD}		V
低电位判断电压	VTW-	高速比较器模式, 窗口模式		0.24V _{DD}		V

34.7.5 POR 电路特性

(T_A = -40 至+85°C, V_{SS} = 0 V)

参数	符号	条件	最小值	典型值	最大值	单位
检测电压	V _{POR}	电源上升时间		1.51	1.54	V
	V _{PDR}	电源下降时间		1.50	1.53	V
最小脉冲宽幅	T _{PW}		300			μs
检测迟延时间					350	μs

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.7.6 LVD 电路特性

($T_A = -40$ 至 $+85^\circ\text{C}$, $V_{PDR} \leq V_{DD0} = V_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = V_{SS0} = V_{SS1} = 0\text{ V}$)

参数		符号	条件	最小值	典型值	最大值	单位
检测电压	电源电压电位	V _{LV10}	电源上升时间	3.98	4.06	4.14	V
			电源下降时间	3.90	3.98	4.06	V
		V _{LV11}	电源上升时间	3.68	3.75	3.82	V
			电源下降时间	3.60	3.67	3.74	V
		V _{LV12}	电源上升时间	3.07	3.13	3.19	V
			电源下降时间	3.00	3.06	3.12	V
		V _{LV13}	电源上升时间	2.96	3.02	3.08	V
			电源下降时间	2.90	2.96	3.02	V
		V _{LV14}	电源上升时间	2.86	2.92	2.97	V
			电源下降时间	2.80	2.86	2.91	V
		V _{LV15}	电源上升时间	2.76	2.81	2.87	V
			电源下降时间	2.70	2.75	2.81	V
		V _{LV16}	电源上升时间	2.66	2.71	2.76	V
			电源下降时间	2.60	2.65	2.70	V
		V _{LV17}	电源上升时间	2.56	2.61	2.66	V
			电源下降时间	2.50	2.55	2.60	V
		V _{LV18}	电源上升时间	2.45	2.50	2.55	V
			电源下降时间	2.40	2.45	2.50	V
		V _{LV19}	电源上升时间	2.05	2.09	2.13	V
			电源下降时间	2.00	2.04	2.08	V
		V _{LV110}	电源上升时间	1.94	1.98	2.02	V
			电源下降时间	1.90	1.94	1.98	V
		V _{LV111}	电源上升时间	1.84	1.88	1.91	V
			电源下降时间	1.80	1.84	1.87	V
		V _{LV112}	电源上升时间	1.74	1.77	1.81	V
			电源下降时间	1.70	1.73	1.77	V
		V _{LV113}	电源上升时间	1.64	1.67	1.70	V
			电源下降时间	1.60	1.63	1.66	V
最小脉冲宽幅		t _{LW}		300			μs
检测迟延时间		t _{LD}				300	μs

备注 $V_{LV(n-1)} > V_{LVn}$: $n = 1$ 至 13

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

中断请求和复位模式的 LVD 检测电压

($T_A = -40$ 至 $+85^\circ\text{C}$, $V_{PDR} \leq V_{DD0} = V_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = V_{SS0} = V_{SS1} = 0\text{ V}$)

参数	符号	条件		最小值	典型值	最大值	单位
中断&复位模式	V _{LVI13}	V _{POC0} , V _{POC1} , V _{POC2} = 0, 0, 0, 下降复位电压: 1.6 V		1.60	1.63	1.66	V
	V _{LVI12}	LVIS0, LVIS1 = 1, 0 (+0.1 V)	上升复位解除电压	1.74	1.77	1.81	V
			下降中断电压	1.70	1.73	1.77	V
	V _{LVI11}	LVIS0, LVIS1 = 0, 1 (+0.2 V)	上升复位解除电压	1.84	1.88	1.91	V
			下降中断电压	1.80	1.84	1.87	V
	V _{LVI4}	LVIS0, LVIS1 = 0, 0 (+1.2 V)	上升复位解除电压	2.86	2.92	2.97	V
			下降中断电压	2.80	2.86	2.91	V
	V _{LVI11}	V _{POC0} , V _{POC1} , V _{POC2} = 0, 0, 1, 下降复位电压: 1.8 V		1.80	1.84	1.87	V
	V _{LVI10}	LVIS0, LVIS1 = 1, 0 (+0.1 V)	上升复位解除电压	1.94	1.98	2.02	V
			下降中断电压	1.90	1.94	1.98	V
	V _{LVI9}	LVIS0, LVIS1 = 0, 1 (+0.2 V)	上升复位解除电压	2.05	2.09	2.13	V
			下降中断电压	2.00	2.04	2.08	V
	V _{LVI2}	LVIS0, LVIS1 = 0, 0 (+1.2 V)	上升复位解除电压	3.07	3.13	3.19	V
			下降中断电压	3.00	3.06	3.12	V
	V _{LVI8}	V _{POC0} , V _{POC1} , V _{POC2} = 0, 1, 0, 下降复位电压: 2.4 V		2.40	2.45	2.50	V
	V _{LVI7}	LVIS0, LVIS1 = 1, 0 (+0.1 V)	上升复位解除电压	2.56	2.61	2.66	V
			下降中断电压	2.50	2.55	2.60	V
	V _{LVI6}	LVIS0, LVIS1 = 0, 1 (+0.2 V)	上升复位解除电压	2.66	2.71	2.76	V
			下降中断电压	2.60	2.65	2.70	V
	V _{LVI1}	LVIS0, LVIS1 = 0, 0 (+1.2 V)	上升复位解除电压	3.68	3.75	3.82	V
			下降中断电压	3.60	3.67	3.74	V
	V _{LVI5}	V _{POC0} , V _{POC1} , V _{POC2} = 0, 1, 1, 下降复位电压: 2.7 V		2.70	2.75	2.81	V
	V _{LVI4}	LVIS0, LVIS1 = 1, 0 (+0.1 V)	上升复位解除电压	2.86	2.92	2.97	V
			下降中断电压	2.80	2.86	2.91	V
	V _{LVI3}	LVIS0, LVIS1 = 0, 1 (+0.2 V)	上升复位解除电压	2.96	3.02	3.08	V
			下降中断电压	2.90	2.96	3.02	V
	V _{LVI0}	LVIS0, LVIS1 = 0, 0 (+1.2 V)	上升复位解除电压	3.98	4.06	4.14	V
			下降中断电压	3.90	3.98	4.06	V

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.8 电源上升时间

($T_A = -40$ 至 $+85^\circ\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

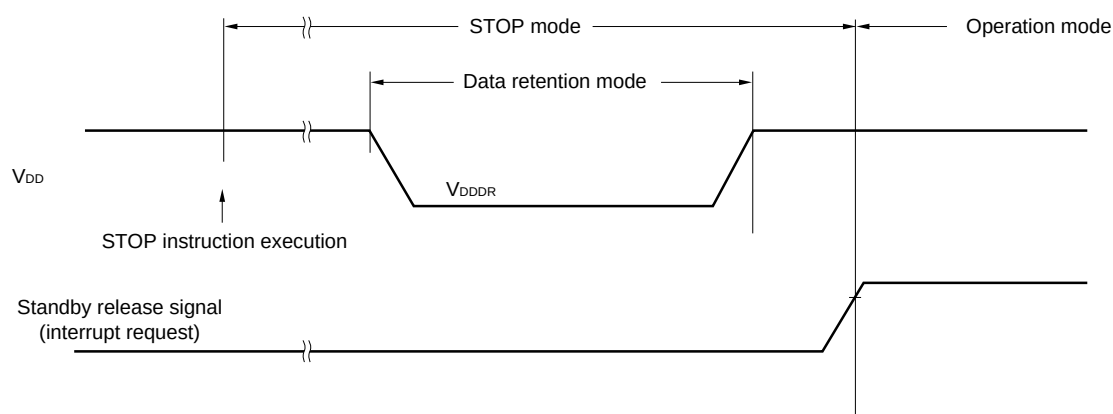
参数	条件	最小值	典型值	最大值	单位
V_{DD} 上升斜率	T_{PUP}			53.0	V/ms

34.9 数据存储器 STOP 模式低电源电压数据保持特性

($T_A = -40$ 至 $+85^\circ\text{C}$)

参数	符号	条件	最小值	典型值	最大值	单位
数据保持电源电压	V_{DDDR}		1.5 [※]		5.5	V

注 取决于 POR 检测电压。当电压下降时，在 POR 复位生效前，数据被保持，但当 POR 复位生效后，则数据不被保持。



34.10 闪存编程特性

($T_A = -40$ 至 $+85^\circ\text{C}$, $1.8\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 = VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)							
参数	符号	条件		最小值	典型值	最大值	单位
系统时钟频率	fCLK	1.8 V ≤ VDD ≤ 5.5 V		1		32	MHz
代码闪存重写次数	Cenwr	1 次擦除 + 擦除后写入 1 次被认为是 1 次重写。 保持年限为重写之后到下次重写为止的间隔。	保持 20 年(自编程/串行编程) [※]	1,000			次
数据闪存重写次数			保持 1 年(自编程/串行编程) [※]		1,000,000		
			保持 5 年(自编程/串行编程) [※]	100,000			

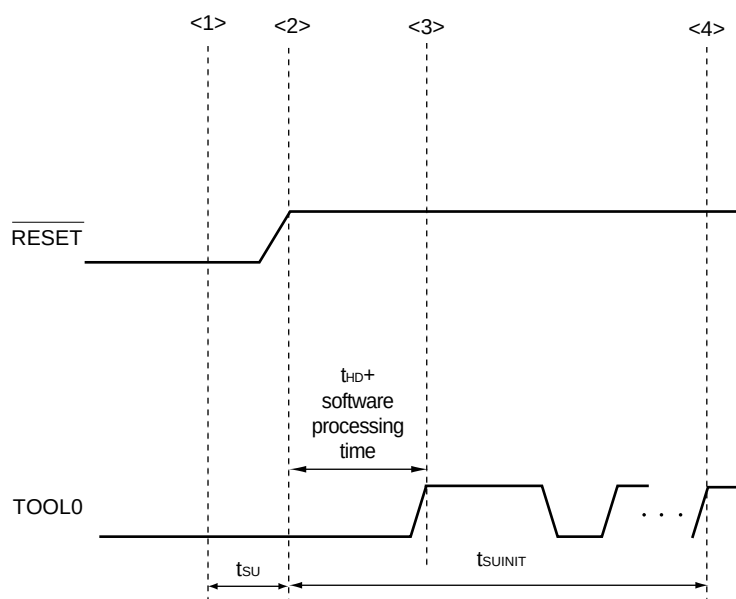
注 当使用闪存编程器和瑞萨电子自编程库时。

备注 在多次更新数据时，请将闪存用于数据的更新。

注意事项 安装的引脚因产品而异。有关详情，请参阅“2.1.1 30 针产品”至“2.1.10 100 针产品”以及“2.1.11 各种产品的引脚（端口引脚以外的引脚）”。

34.11 切换模式时的时序规格

参数	符号	条件	最小值	典型值	最大值	单位
从解除引脚复位到指定初始通信设置为止的时间	t_{SUNIT}	必须在结束引脚复位之前结束 POR 和 LVD 复位。			100	ms
从 TOOL0 引脚被设置为低电平到解除引脚复位的时间	t_{SU}	必须在结束引脚复位之前结束 POR 和 LVD 复位。	10			μs
解除复位后 TOOL0 引脚必须保持低电平的时间。	t_{HD}	必须在结束引脚复位之前结束 POR 和 LVD 复位。	1			ms



- <1> 低电位输入到 TOOL0 引脚。
- <2> 引脚复位结束（必须在结束引脚复位之前结束 POR 和 LVD 复位）。
- <3> 将 TOOL0 引脚设置为高电位。
- <4> 通过 UART 接收设置闪存编程模式，并完成波特率设置。

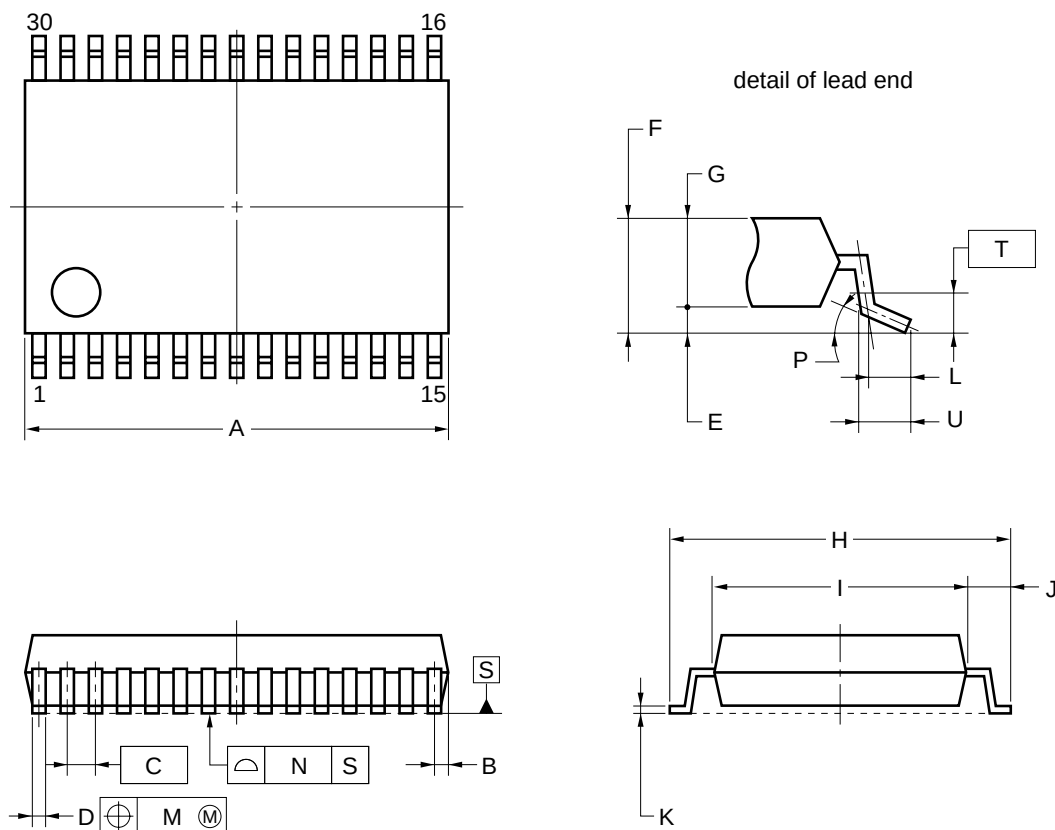
备注 t_{SUNIT} : 该段表示在解除外部和内部复位后须在 100 ms 内完成初始通信设置的指定。
 t_{SU} : 从 TOOL0 引脚被设置为低电平到解除引脚复位的时间
 t_{HD} : 解除外部和内部复位后将 TOOL0 引脚保持为低电平的时间

第三十五章 封装尺寸图

35.1 30 针产品

R5F104AAAASP, R5F104ACASP, R5F104ADASP, R5F104AEASP, R5F104AFASP, R5F104AGASP,
R5F104AADSP, R5F104ACDSP, R5F104ADDSP, R5F104AEDSP, R5F104AFDSP, R5F104AGDSP

30-PIN PLASTIC SSOP (7.62 mm (300))



NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

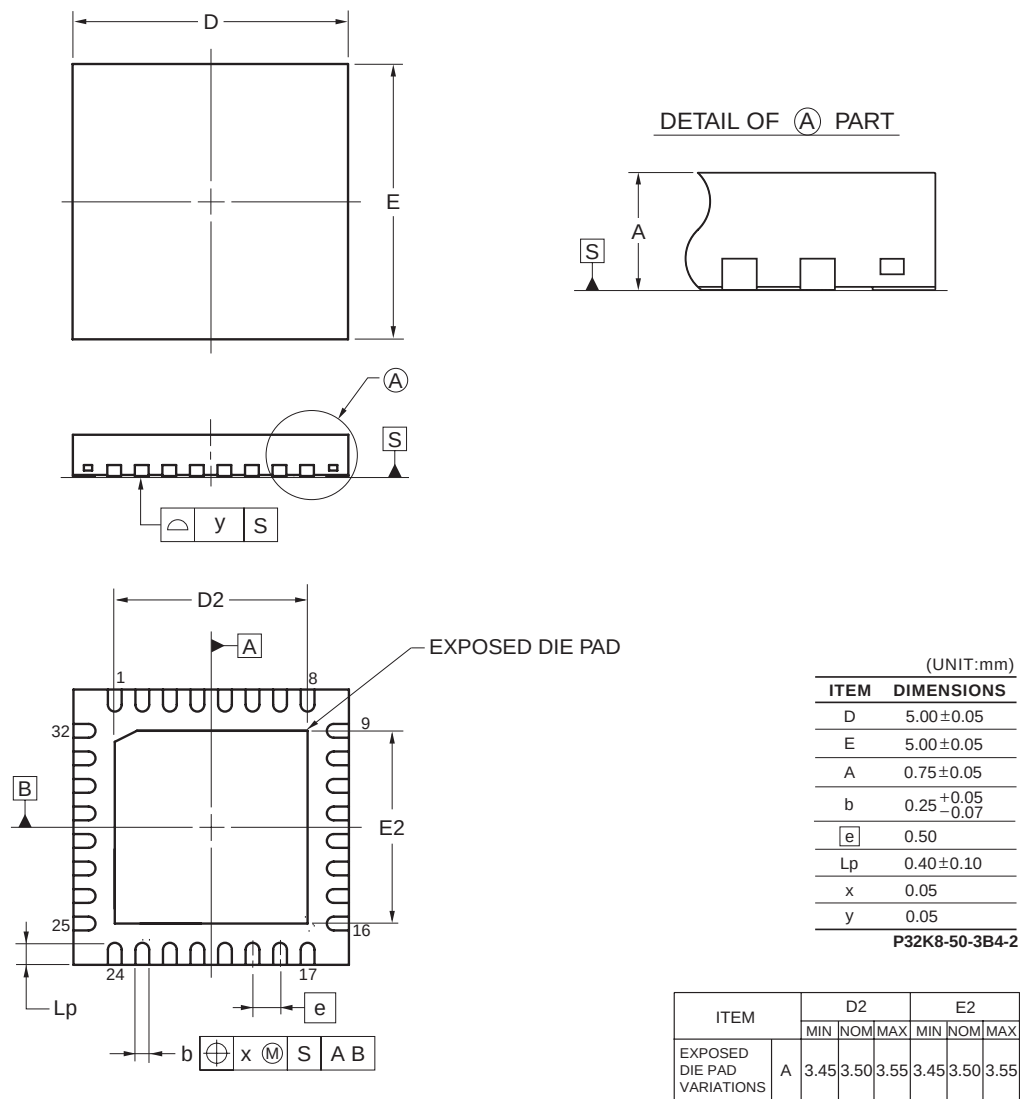
ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

S30MC-65-5A4-2

35.2 32 针产品

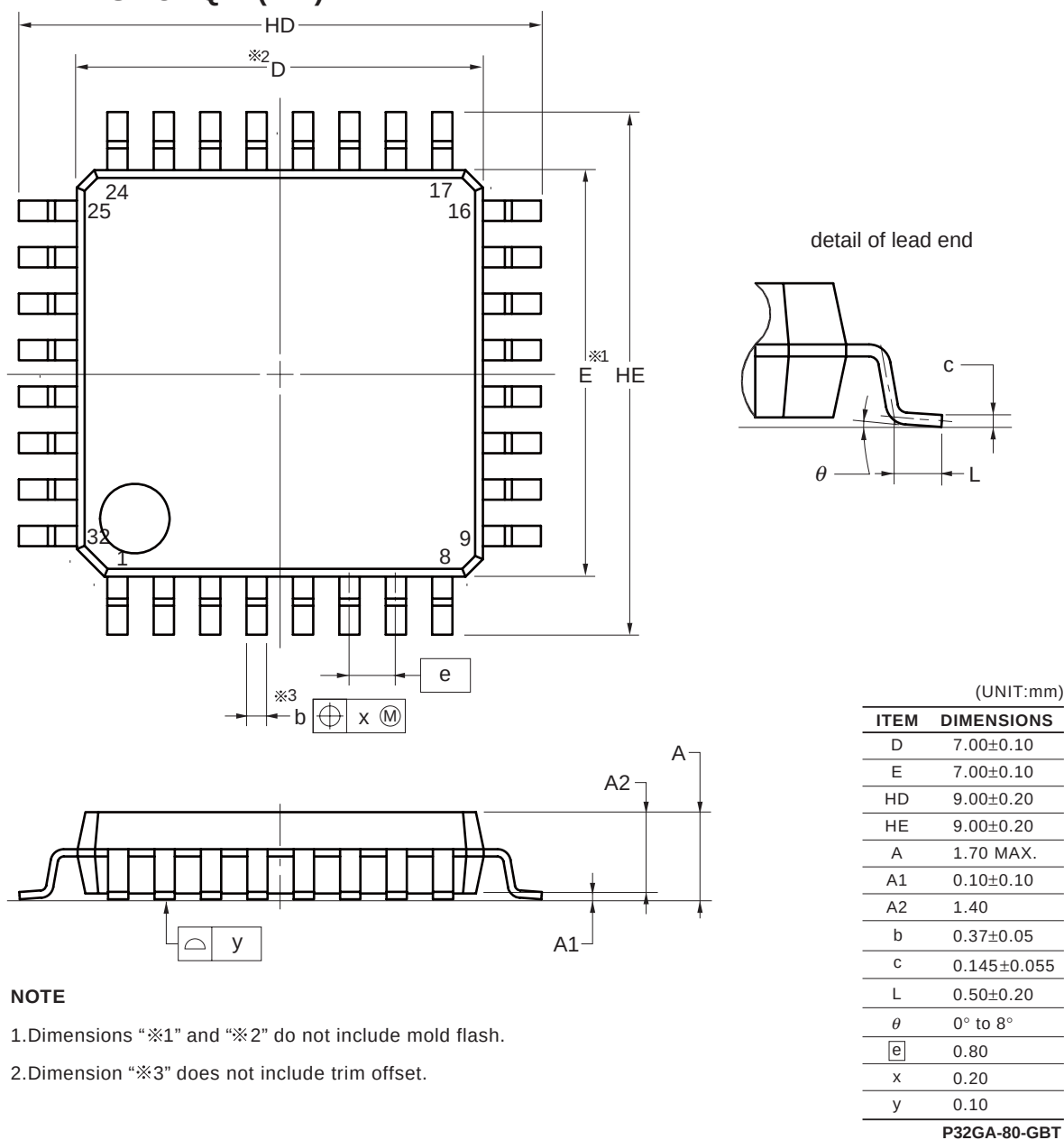
R5F104BAANA, R5F104BCANA, R5F104BDANA, R5F104BEANA, R5F104BFANA, R5F104BGANA,
R5F104BADNA, R5F104BCDNA, R5F104BDDNA, R5F104BEDNA, R5F104BFDNA, R5F104BGDNA

32-PIN PLASTIC WQFN(5x5)



R5F104BAAFP, R5F104BCAFP, R5F104BDAFP, R5F104BEAFP, R5F104BFAFP, R5F104BGAFP,
R5F104BADFP, R5F104BCDFP, R5F104BDDFP, R5F104BEDFP, R5F104BFDFP, R5F104BGDFP

32-PIN PLASTIC LQFP(7x7)



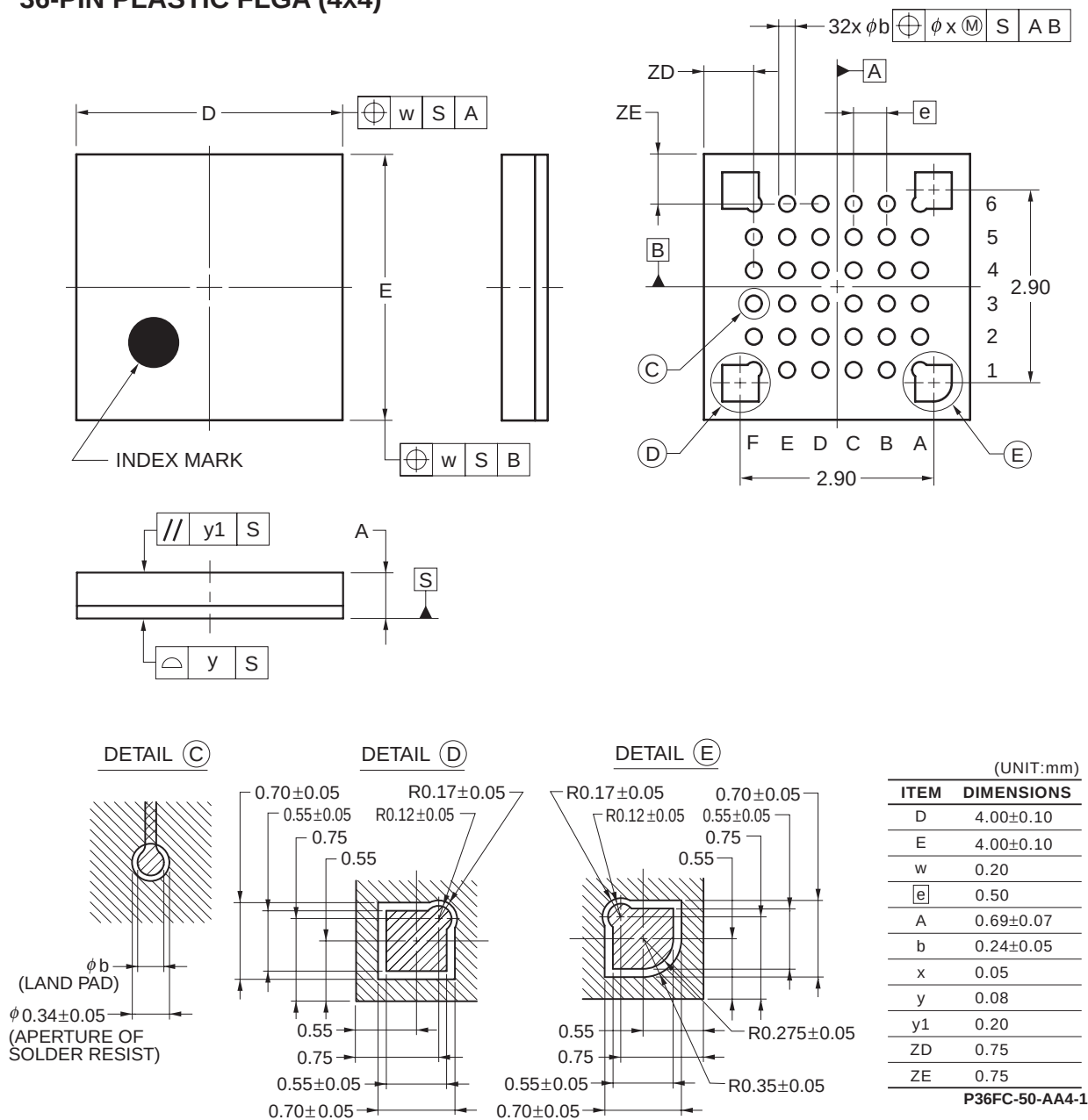
NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

35.3 36 针产品

R5F104CAALA, R5F104CCALA, R5F104CDALA, R5F104CEALA, R5F104CFALA, R5F104CGALA,
R5F104CADLA, R5F104CCDLA, R5F104CDDLA, R5F104CEDLA, R5F104CFDLA, R5F104CGDLA

36-PIN PLASTIC FLGA (4x4)

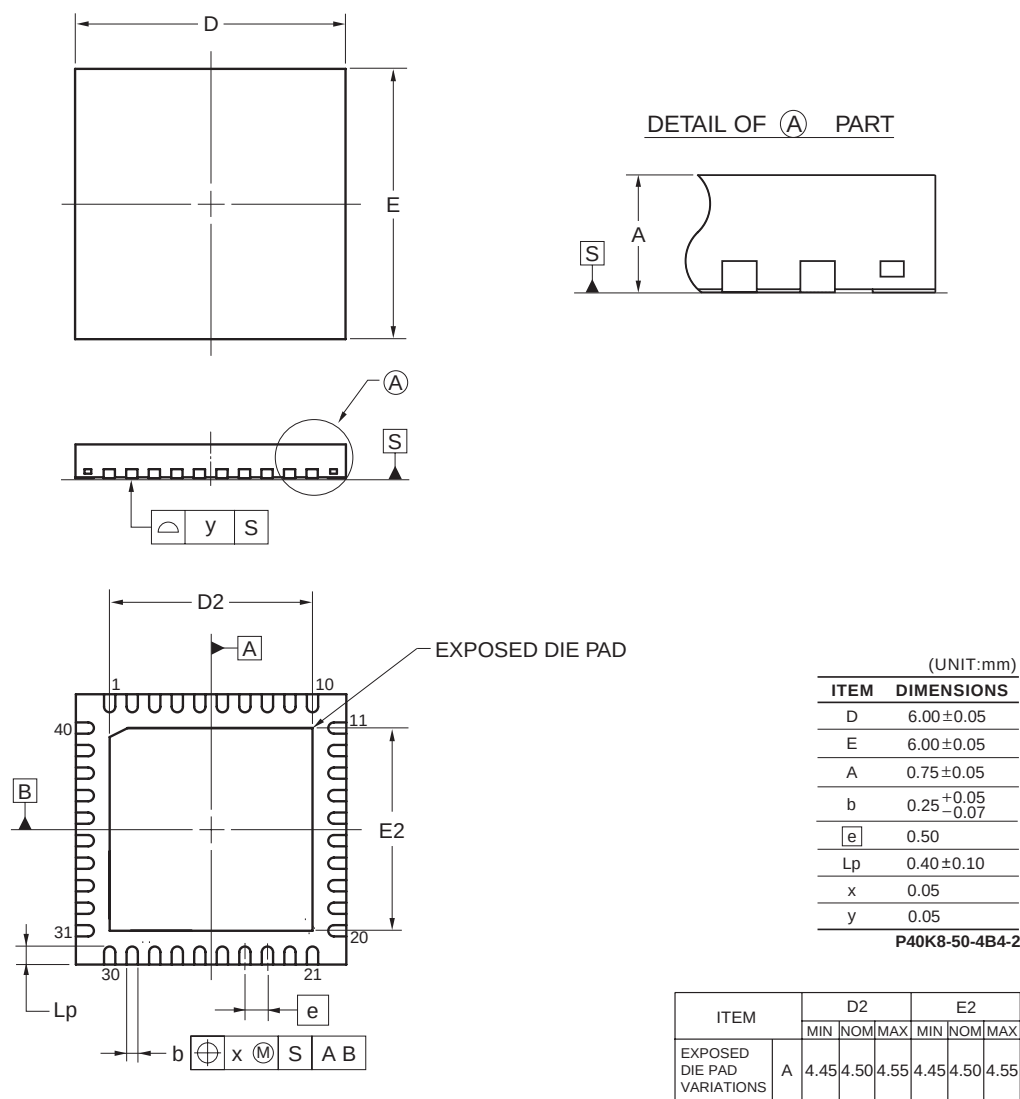


©2010 Renesas Electronics Corporation. All rights reserved.

35.4 40 针产品

R5F104EAANA, R5F104ECANA, R5F104EDANA, R5F104EEANA, R5F104EFANA, R5F104EGANA, R5F104EHANA,
R5F104EADNA, R5F104ECDNA, R5F104EDDNA, R5F104EEDNA, R5F104EFDNA, R5F104EGDNA, R5F104EHDNA

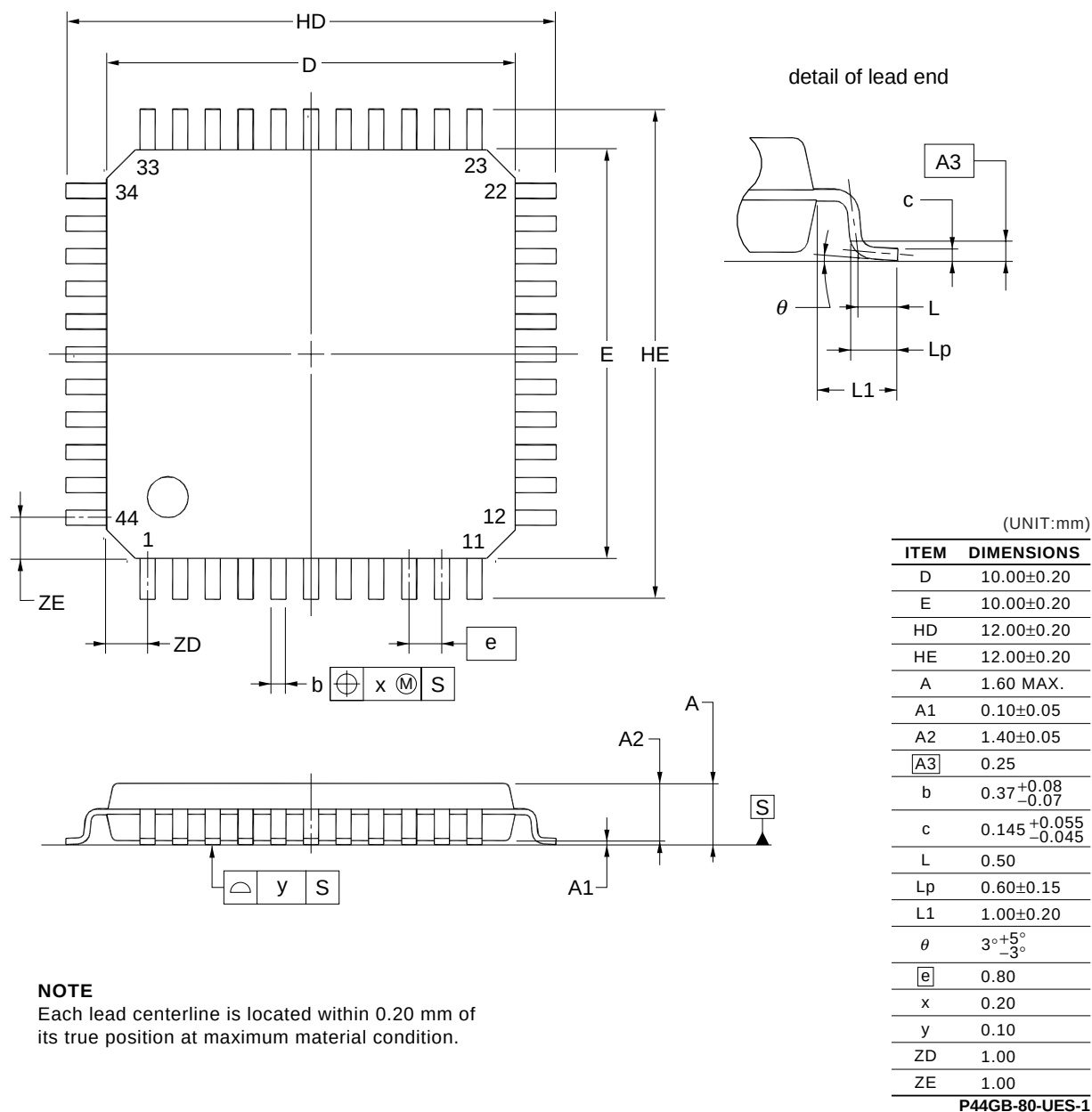
40-PIN PLASTIC WQFN(6x6)



35.5 44 针产品

R5F104FAAFP, R5F104FCAFP, R5F104FDAFP, R5F104FEAFP, R5F104FFAFP, R5F104FGAFP, R5F104FHAFP, R5F104FJAFP, R5F104FADFP, R5F104FCDFP, R5F104FDDFP, R5F104FEDFP, R5F104FFDFP, R5F104FGDFP, R5F104FHDFP, R5F104FJDFP

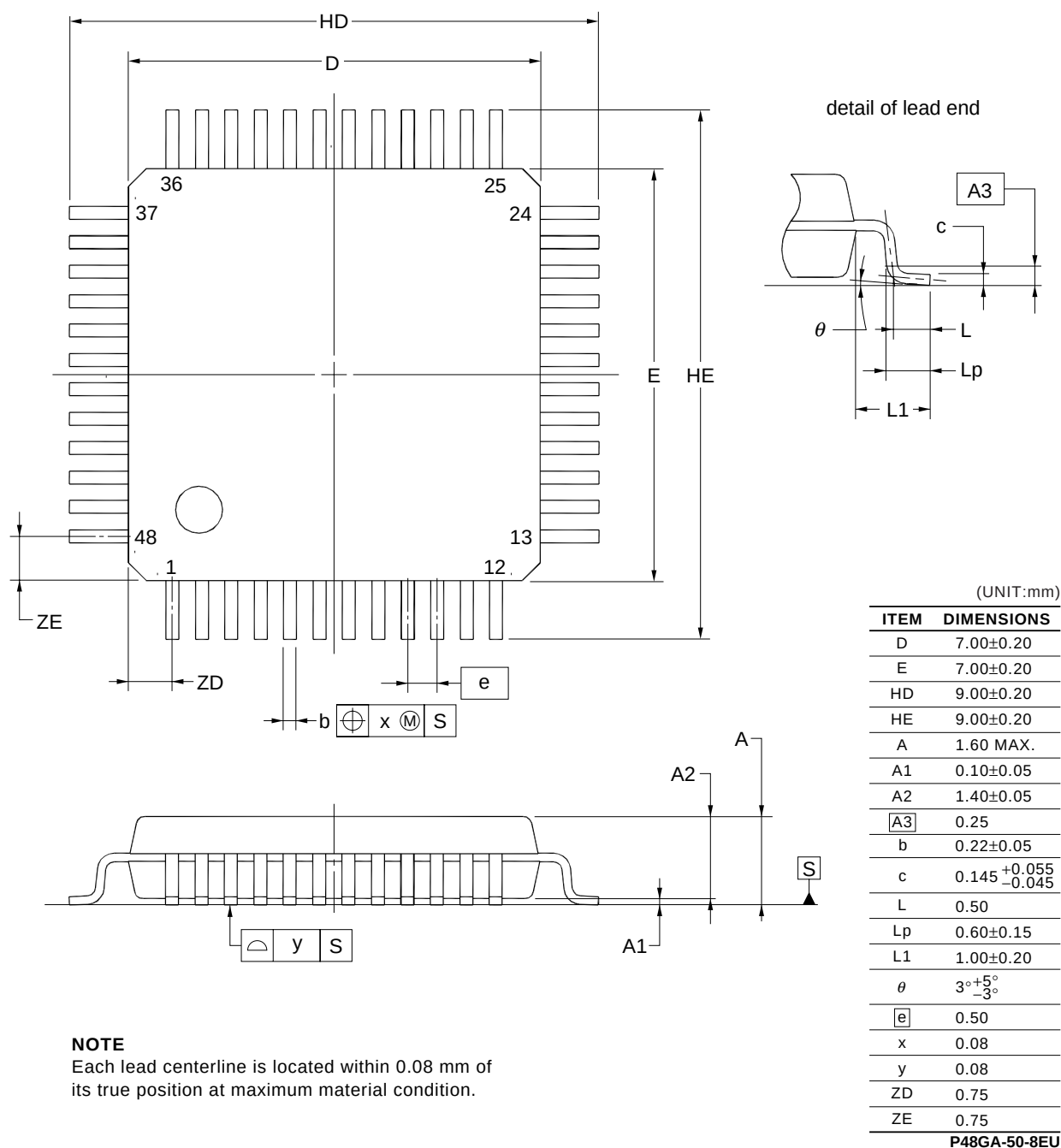
44-PIN PLASTIC LQFP(10x10)



35.6 48 针产品

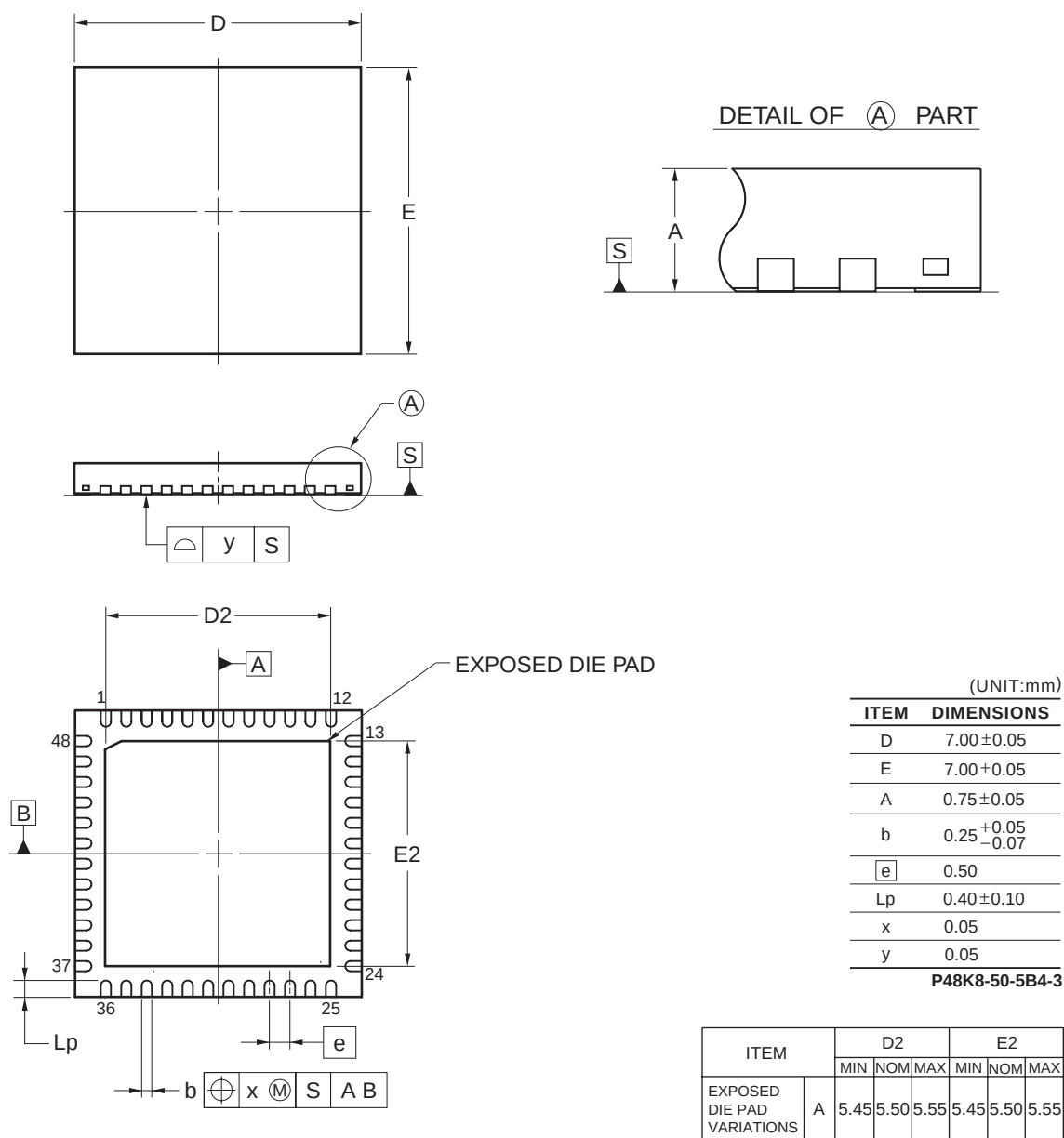
R5F104GAAFB, R5F104GCAFB, R5F104GDABF, R5F104GEAFB, R5F104GFAFB, R5F104GGAFB, R5F104GHAFB, R5F104GJAFB, R5F104GADFB, R5F104GCDFB, R5F104GDDFB, R5F104GEDFB, R5F104GFDFB, R5F104GGDFB, R5F104GHDFB, R5F104GJDFB

48-PIN PLASTIC LQFP (FINE PITCH)(7x7)



R5F104GAANA, R5F104GCANA, R5F104GDANA, R5F104GEANA, R5F104GFANA, R5F104GGANA, R5F104GHANA, R5F104GJANA, R5F104GADNA, R5F104GCDNA, R5F104GDDNA, R5F104GEDNA, R5F104GFDNA, R5F104GGDNA, R5F104GHDNA, R5F104GJDNA

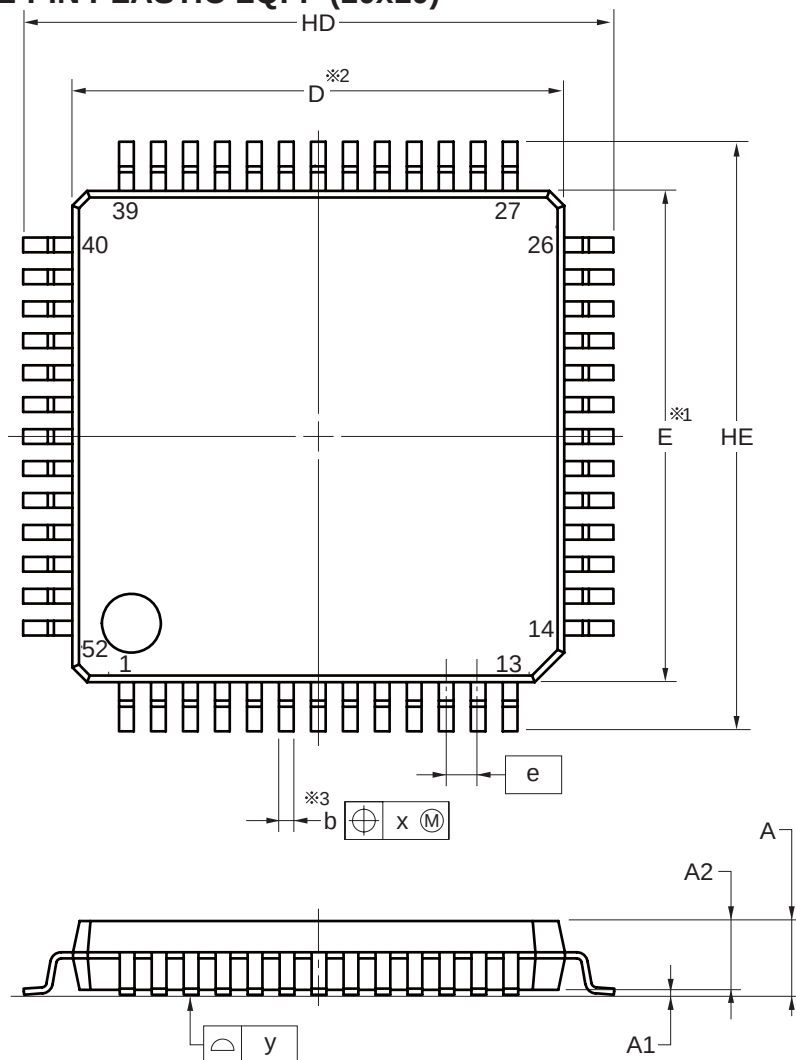
48-PIN PLASTIC WQFN(7x7)



35.7 52 针产品

R5F104JCAFA, R5F104JDAFA, R5F104JEAFA, R5F104JFAFA, R5F104JGAFA, R5F104JHAFA, R5F104JJFAFA,
R5F104JCDAFA, R5F104JDDFA, R5F104JEDFA, R5F104JFDFA, R5F104JGDFA, R5F104JHDFA, R5F104JJDAFA

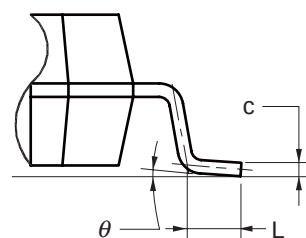
52-PIN PLASTIC LQFP (10x10)



NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

detail of lead end



(UNIT:mm)

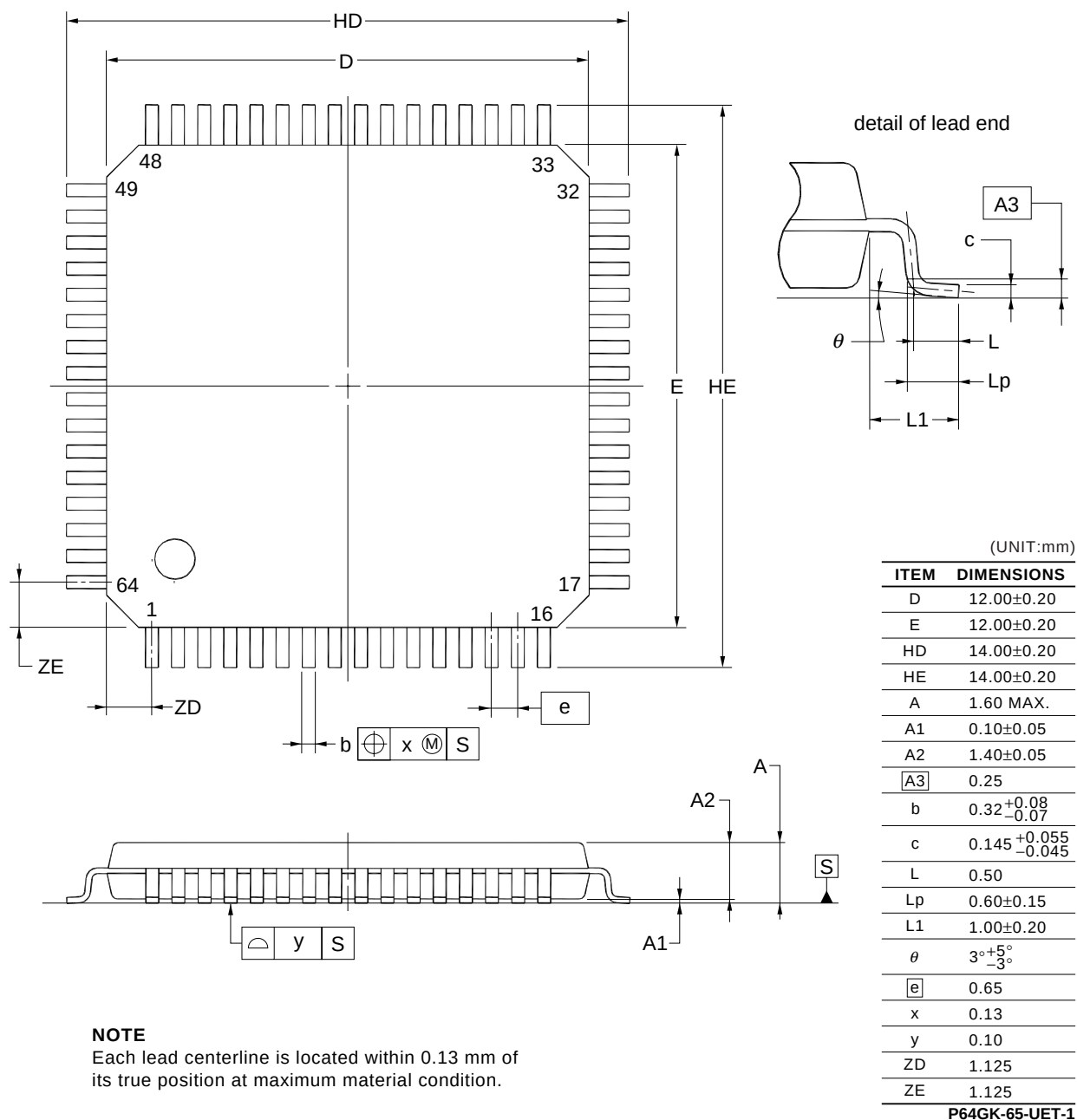
ITEM	DIMENSIONS
D	10.00±0.10
E	10.00±0.10
HD	12.00±0.20
HE	12.00±0.20
A	1.70 MAX.
A1	0.10±0.05
A2	1.40
b	0.32±0.05
c	0.145±0.055
L	0.50±0.15
θ	0° to 8°
e	0.65
x	0.13
y	0.10

P52GB-65-GBS

35.8 64 针产品

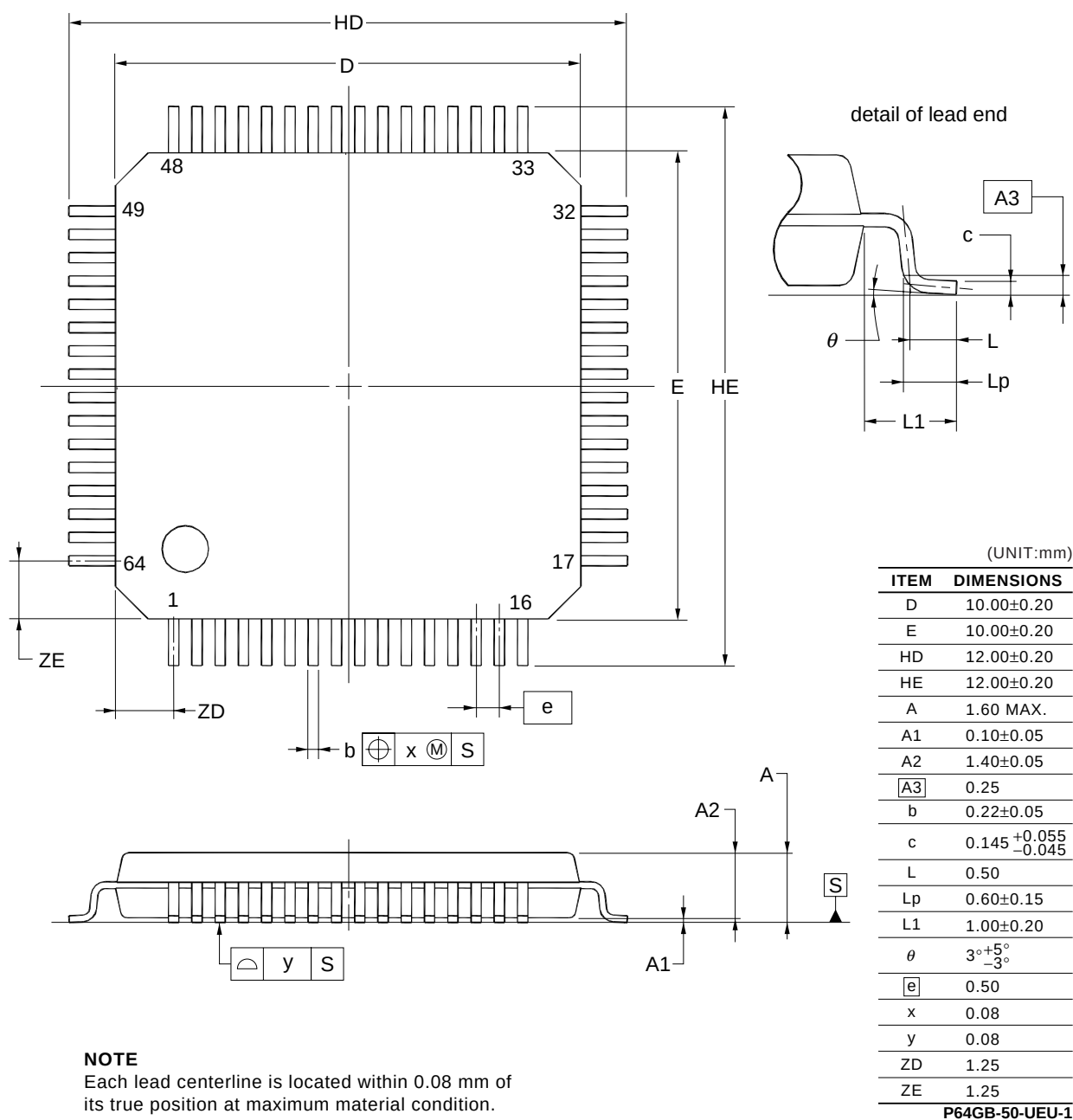
R5F104LCAFA, R5F104LDAFA, R5F104LEAFA, R5F104LFAFA, R5F104LGAFA, R5F104LHAFA, R5F104LJAFA,
R5F104LC DFA, R5F104LDDFA, R5F104LEDFA, R5F104LFDFA, R5F104LG DFA, R5F104LH DFA, R5F104LJ DFA

64-PIN PLASTIC LQFP(12x12)



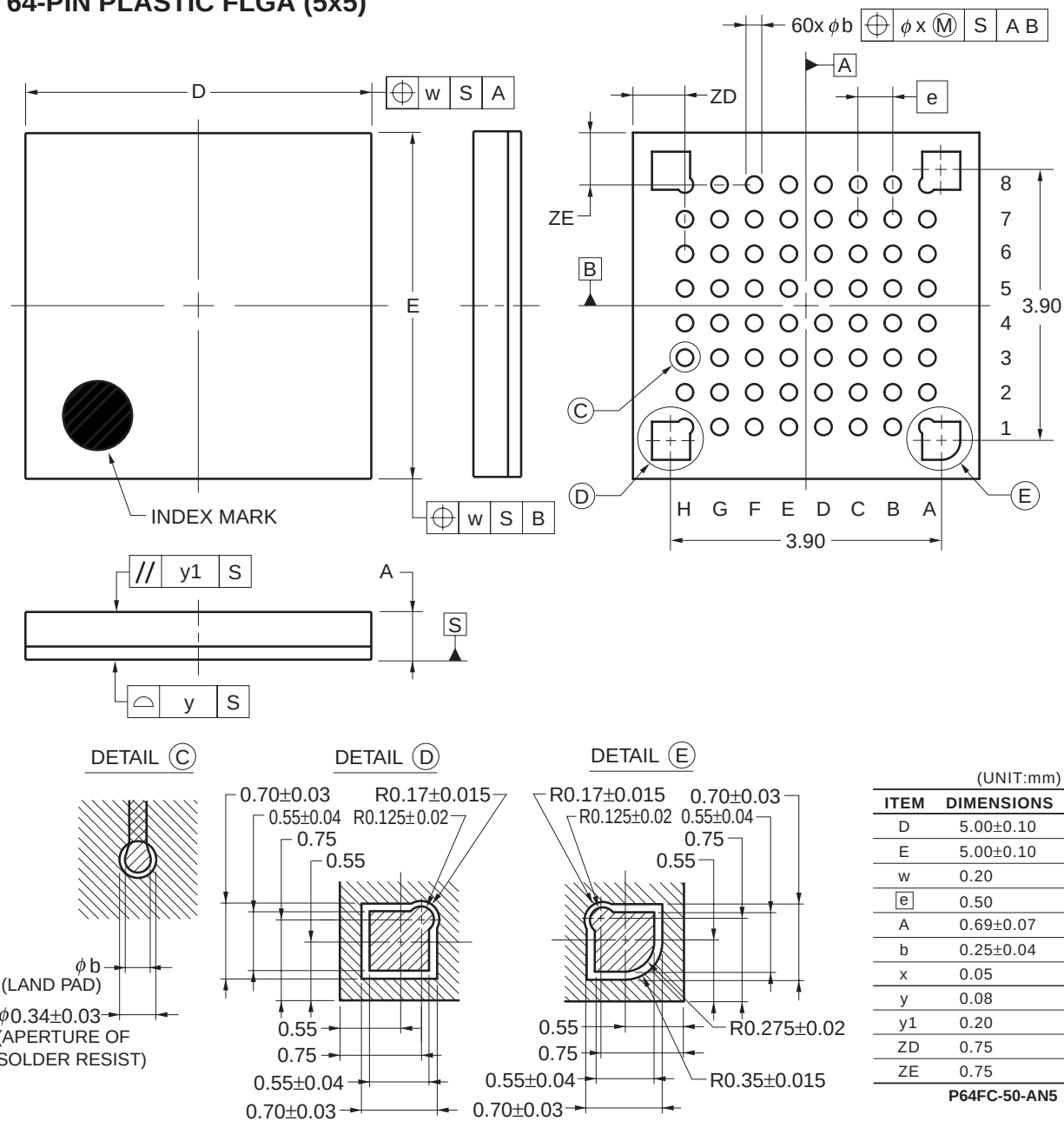
R5F104LCAFB, R5F104LDAFB, R5F104LEAFB, R5F104LFAFB, R5F104LGAFB, R5F104LHAFB, R5F104LJAFB,
R5F104LCDFB, R5F104LDDFB, R5F104LEDFB, R5F104LDFB, R5F104LGDFB, R5F104LHDFB, R5F104LJDFB

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



R5F104LCALA, R5F104LDALA, R5F104LEALA, R5F104LFALA, R5F104LGALA, R5F104LHALA, R5F104LJALA, R5F104LCDLA, R5F104LDDLA, R5F104LEDLA, R5F104LFDLA, R5F104LGDLA, R5F104LHDLA, R5F104LJDLA

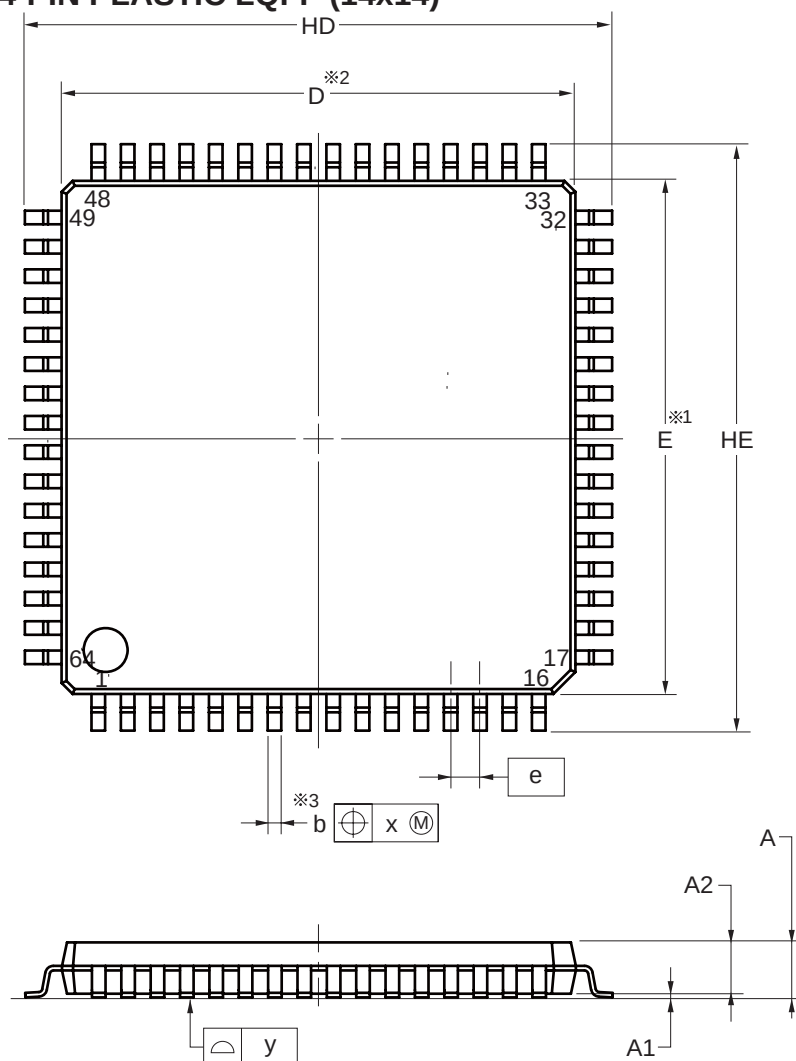
64-PIN PLASTIC FLGA (5x5)



© 2011 Renesas Electronics Corporation. All rights reserved.

R5F104LCAFP, R5F104LDAFP, R5F104LEAFP, R5F104LFAFP, R5F104LGAFP, R5F104LHAFP, R5F104LJAFP,
R5F104LCDFP, R5F104LDDFP, R5F104LEDFP, R5F104LDFP, R5F104LGDFP, R5F104LHDFP, R5F104LJDFP

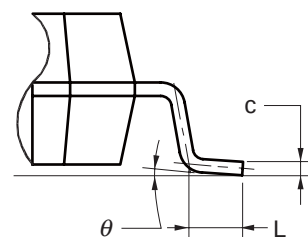
64-PIN PLASTIC LQFP (14x14)



NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

detail of lead end



(UNIT:mm)

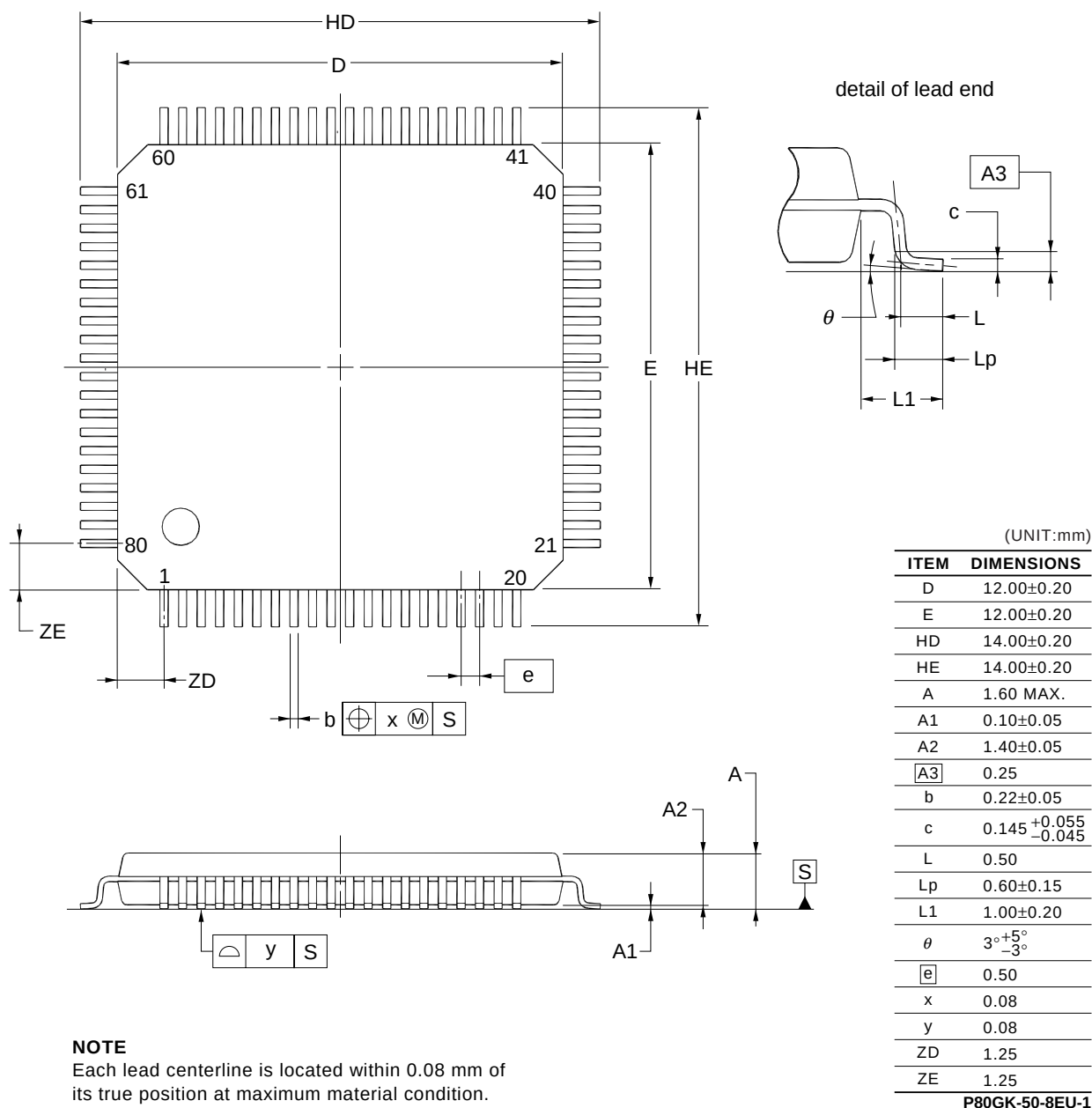
ITEM	DIMENSIONS
D	14.00±0.10
E	14.00±0.10
HD	16.00±0.20
HE	16.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37 ^{+0.08} _{-0.05}
c	0.125 ^{+0.05} _{-0.02}
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

P64GC-80-GBW

35.9 80 针产品

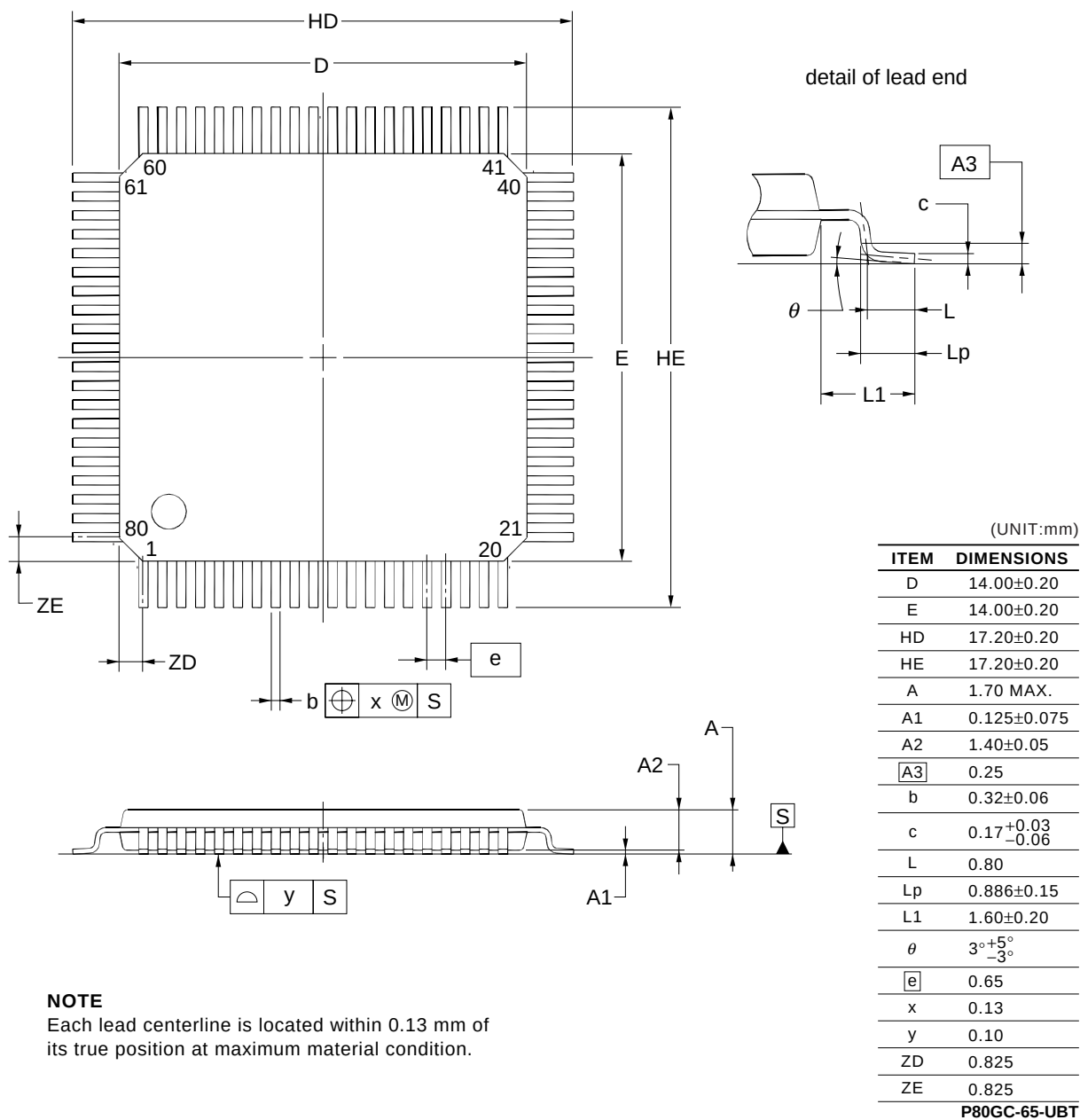
R5F104MFAFB, R5F104MGAFB, R5F104MHAFB, R5F104MJAFB, R5F104MFDFB, R5F104MGDFB, R5F104MHDFB, R5F104MJDFB

80-PIN PLASTIC LQFP(FINE PITCH)(12x12)



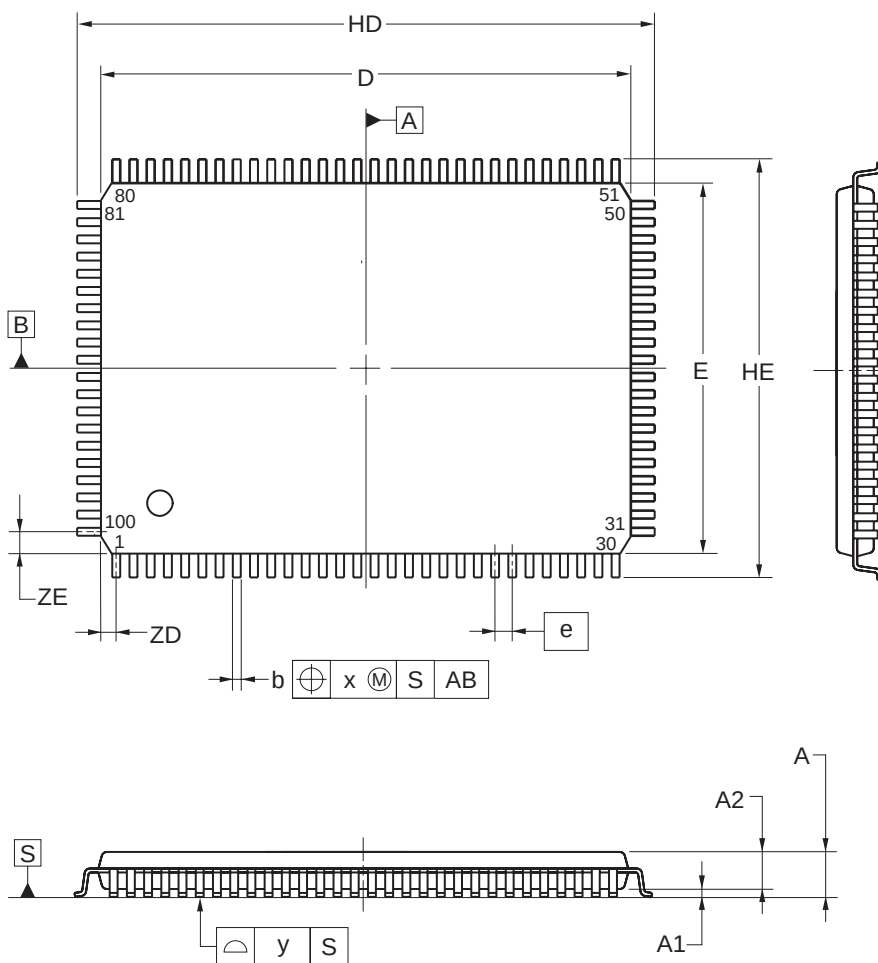
R5F104MFAFA, R5F104MGAFA, R5F104MHAFA, R5F104MJFAFA, R5F104MFDFA, R5F104MGDFA, R5F104MHDFA, R5F104MJDFA

80-PIN PLASTIC LQFP(14x14)

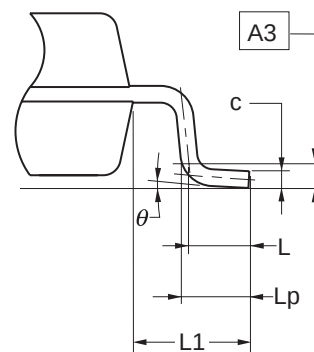


R5F104PFAFA, R5F104PGAFA, R5F104PHAFA, R5F104PJAF A, R5F104PFDFA, R5F104PGDFA, R5F104PHDFA,
R5F104PJ DFA

100-PIN PLASTIC LQFP (14x20)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.32 ^{+0.08} _{-0.07}
c	0.145 ^{+0.055} _{-0.045}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.65
x	0.13
y	0.10
ZD	0.575
ZE	0.825

P100GF-65-GBN

© 2011 Renesas Electronics Corporation. All rights reserved.

附录 A 修订记录

A.1 修订记录

版本	说明	章
Rev.1.00	初次制作	

RL78/G14 用户手册 硬件篇

Publication Date: Rev.1.00 Mar 16, 2012

Published by: Renesas Electronics Corporation



SALES OFFICES

Renesas Electronics Corporation

<http://www.renesas.com>

Refer to "<http://www.renesas.com/>" for the latest and detailed information.

Renesas Electronics America Inc.

2880 Scott Boulevard Santa Clara, CA 95050-2554, U.S.A.
Tel: +1-408-588-6000, Fax: +1-408-588-6130

Renesas Electronics Canada Limited

1101 Nicholson Road, Newmarket, Ontario L3Y 9C3, Canada
Tel: +1-905-898-5441, Fax: +1-905-898-3220

Renesas Electronics Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: +44-1628-585-100, Fax: +44-1628-585-900

Renesas Electronics Europe GmbH

Arcadiastrasse 10, 40472 Düsseldorf, Germany
Tel: +49-211-65030, Fax: +49-211-6503-1327

Renesas Electronics (China) Co., Ltd.

7th Floor, Quantum Plaza, No.27 ZhiChunLu Haidian District, Beijing 100083, P.R.China
Tel: +86-10-8235-1155, Fax: +86-10-8235-7679

Renesas Electronics (Shanghai) Co., Ltd.

Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd., Pudong District, Shanghai 200120, China
Tel: +86-21-5877-1818, Fax: +86-21-6887-7858 / -7898

Renesas Electronics Hong Kong Limited

Unit 1601-1613, 16/F., Tower 2, Grand Century Place, 193 Prince Edward Road West, Mongkok, Kowloon, Hong Kong
Tel: +852-2886-9318, Fax: +852 2886-9022/9044

Renesas Electronics Taiwan Co., Ltd.

13F, No. 363, Fu Shing North Road, Taipei, Taiwan
Tel: +886-2-8175-9600, Fax: +886 2-8175-9670

Renesas Electronics Singapore Pte. Ltd.

1 harbourFront Avenue, #06-10, keppel Bay Tower, Singapore 098632
Tel: +65-6213-0200, Fax: +65-6278-8001

Renesas Electronics Malaysia Sdn.Bhd.

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No. 18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: +60-3-7955-9390, Fax: +60-3-7955-9510

Renesas Electronics Korea Co., Ltd.

11F., Samik Lavied' or Bldg., 720-2 Yeoksam-Dong, Kangnam-Ku, Seoul 135-080, Korea
Tel: +82-2-558-3737, Fax: +82-2-558-5141

RL78/G14



瑞萨电子株式会社

R01UH0186CJ0100